TLVx314-Q1 3MHz、低功耗、内置 EMI 滤波器、RRIO 运算放大器

1 特性

- 符合汽车类应用的 要求
- 具有符合 AEC-Q100 标准的下列结果：
  - 器件温度 1 级：-40℃ 至 +125℃ 的环境运行温度范围
  - 器件 HBM ESD 分类等级 3A
  - 器件 CDM ESD 分类等级 C6
- 低偏移电压：0.75mV（典型值）
- 低输入偏置电流：1pA（典型值）
- 宽电源电压范围：1.8V 至 5.5V
- 轨到轨输入和输出
- 增益带宽：3MHz
- 低 I_Q：每通道 250μA（最大值）
- 低噪声：1kHz 时为 16nV/√Hz
- 内部射频 (RF) 和电磁干扰 (EMI) 滤波器
- 通道数量：
  - TLV314-Q1：1
  - TLV2314-Q1：2
  - TLV4314-Q1：4
- 扩展温度范围：
  -40°C 至 +125°C

2 应用

- 低侧感测
- 电池管理系统
- 无源安全性
- 电容式感测
- 燃油泵

3 说明

TLVx314-Q1 系列单通道、双通道和四通道运算放大器是新一代低功耗、通用运算放大器的典型代表。该系列器件具有轨到轨输入和输出 (RRIO) 摆幅、低静态电流（5V 时典型值为 150μA）、3MHz 高带宽等特性，非常适用于需要在成本与性能间实现良好平衡的各类电池供电型 应用 。TLVx314-Q1 系列可实现 1pA 低输入偏置电流，是高阻抗传感器的理想选择。

TLVx314-Q1 器件采用稳健耐用的设计，方便电路设计人员使用。该器件具有单位增益稳定性、支持轨到轨输入和输出 (RRIO)、容性负载高达 300PF，集成 RF 和 EMI 抑制滤波器，在过驱条件下不会出现反相并且具有高静电放电 (ESD) 保护（4kV 人体模型 (HBM)）。

此类器件经过优化，适合在 1.8V (±0.9V) 至 5.5V (±2.75V) 的低电压状态下工作并可在 -40°C 至 +125°C 的扩展工业温度范围内额定运行。

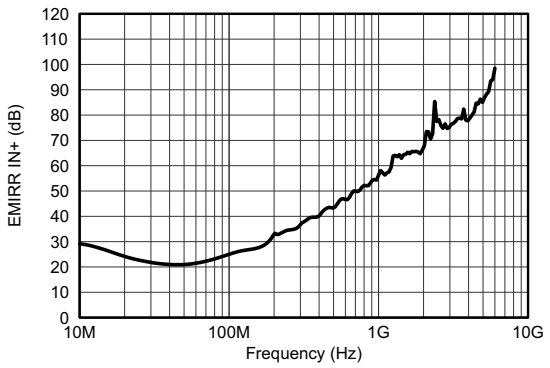
TLV314-Q1（单通道）采用 5 引脚 SC70 和小外形尺寸晶体管 (SOT)-23 封装。TLV2314-Q1（双通道版本）采用 8 引脚小外形尺寸集成电路 (SOIC) 封装和超薄小外形尺寸 (VSSOP) 封装。四通道 TLV4314-Q1 采用 14 引脚薄型小外形尺寸 (TSSOP) 封装。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
TLV314-Q1	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
TLV2314-Q1（预览）	VSSOP (8)	3.00mm × 3.00mm
	SOIC (8)	4.90mm × 3.91mm
TLV4314-Q1	TSSOP (14)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

EMIRR 与频率间的关系



本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。 有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。 TI 不保证翻译的准确性和有效性。 在实际设计之前，请务必参考最新版本的英文版本。

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 6
6.1 绝对最大额定值 ... 6
6.2 ESD 额定值 ... 6
6.3 建议运行条件 ... 6
6.4 热性能信息：TLV314-Q1 ... 7
6.5 热性能信息：TLV2314-Q1 ... 7
6.6 热性能信息：TLV4314-Q1 ... 7
6.7 电气特性 ... 8
6.8 典型特性 ... 9
6.9 典型特性 ... 10
7 详细 说明 ... 13
7.1 概要 ... 13
7.2 功能框图 ... 13
7.3 特性 说明 ... 14
7.4 器件功能模式 ... 15
8 应用和实现 ... 16
8.1 应用信息 ... 16
8.2 典型应用 ... 16
8.3 系统示例 ... 17
9 电源建议 ... 18
9.1 输入和 ESD 保护 ... 18
10 布局 ... 19
10.1 布局指南 ... 19
10.2 布局示例 ... 19
11 器件和文档支持 ... 20
11.1 器件支持 ... 20
11.2 文档支持 ... 20
11.3 相关链接 ... 20
11.4 社区资源 ... 20
11.5 商标 ... 20
11.6 静电放电警告 ... 20
11.7 术语表 ... 20
12 机械、封装和可订购信息 ... 21

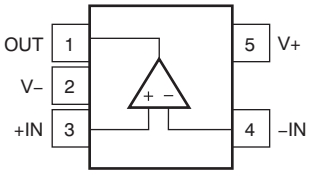
4 修订历史记录

日期	修订版本	说明
2016 年 11 月	*	最初发布版本。

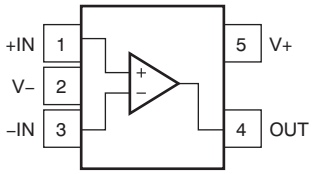
Copyright © 2016, Texas Instruments Incorporated

5 引脚配置和功能

TLV314-Q1 DBV 封装
5 引脚 SOT-23
俯视图



TLV314-Q1 DCK 封装
5 引脚 SC70
俯视图

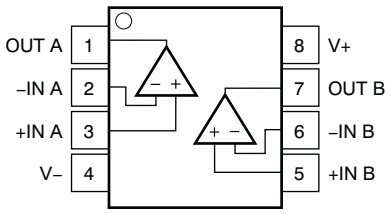


引脚功能：TLV314-Q1

引脚			I/O	说明
名称	DBV (SOT-23)	DCK (SC70)		
–IN	4	3	I	反相输入
+IN	3	1	I	同相输入
OUT	1	4	O	输出
V–	2	2	—	负（最低）电源
V+	5	5	—	正（最高）电源

Copyright © 2016, Texas Instruments Incorporated

TLV2314-Q1 D、DGK 封装(1)
8 引脚 SOIC 或 VSSOP
俯视图



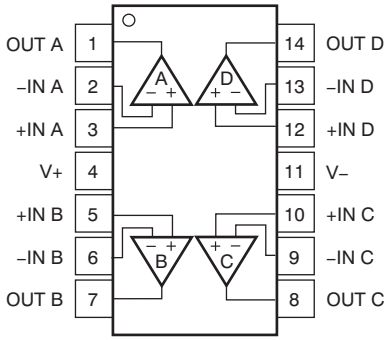
(1) 仅供预览。

引脚功能：TLV2314-Q1

引脚		I/O	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V–	4	—	负（最低）电源
V+	8	—	正（最高）电源

Copyright © 2016, Texas Instruments Incorporated

TLV4314-Q1 PW 封装
14 引脚 TSSOP
俯视图



引脚功能：TLV4314-Q1

引脚		I/O	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
–IN C	9	I	反相输入，通道 C
+IN C	10	I	同相输入，通道 C
–IN D	13	I	反相输入，通道 D
+IN D	12	I	同相输入，通道 D
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
OUT C	8	O	输出，通道 C
OUT D	14	O	输出，通道 D
V–	11	—	负（最低）电源
V+	4	—	正（最高）电源

Copyright © 2016, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）。(1)

		最小值	最大值	单位
电源电压			7	V
信号输入引脚	电压(2)	(V–) – 0.5	(V+) + 0.5	V
	电流(2)	-10	10	mA
输出短路(3)		连续		mA
温度	额定温度，T_A	–40	125	°C
	结温，T_J		150	
	贮存温度，T_{stg}	–65	150	

(1) 超过这些额定值的应力有可能造成永久损坏。长时间处于最大绝对额定情况下会降低设备的可靠性。这些只是应力额定值，在这些值或者任何超过那些所标明的条件下的功能运行并未注明。
(2) 输入引脚被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。
(3) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	±4000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压	单电源	1.8		5.5	V
		双电源	±0.9		±2.75	
	指定温度范围		–40		125	°C

Copyright © 2016, Texas Instruments Incorporated

6.4 热性能信息：TLV314-Q1

热指标(1)		TLV314-Q1		单位
		DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	228.5	281.4	°C/W
$R_{\theta JC(top)}$	结至芯片外壳（顶部）热阻	99.1	91.6	°C/W
$R_{\theta JB}$	结至电路板热阻	54.6	59.6	°C/W
ψ_{JT}	结至顶部特征参数	7.7	1.5	°C/W
ψ_{JB}	结至电路板特征参数	53.8	58.8	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》(SPRA953)。

6.5 热性能信息：TLV2314-Q1

热指标(1)		TLV2314-Q1		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	138.4	191.2	°C/W
$R_{\theta JC(top)}$	结至芯片外壳（顶部）热阻	89.5	61.9	°C/W
$R_{\theta JB}$	结至电路板热阻	78.6	111.9	°C/W
ψ_{JT}	结至顶部特征参数	29.9	5.1	°C/W
ψ_{JB}	结至电路板特征参数	78.1	110.2	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》(SPRA953)。

6.6 热性能信息：TLV4314-Q1

热指标(1)		TLV4314-Q1	单位
		PW (TSSOP)	
		14 引脚	
$R_{\theta JA}$	结至环境热阻	121	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	49.4	°C/W
$R_{\theta JB}$	结至电路板热阻	62.8	°C/W
ψ_{JT}	结至顶部特征参数	5.9	°C/W
ψ_{JB}	结至电路板特征参数	62.2	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》(SPRA953)。

Copyright © 2016, Texas Instruments Incorporated

6.7 电气特性

V_S = 1.8V 至 5.5V；T_A = 25°C 时，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另外注明）(1)

参数			测试条件	最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压		V_{CM} = (V_S+) – 1.3V，T_A = 25°C		±0.75	±3	mV
dV_{OS}/dT	V_{OS} 温漂		T_A = –40°C 至 +125°C		2		µV/°C
PSRR	电源抑制比		V_{CM} = (V_S+) – 1.3V，T_A = 25°C		±30	±135	µV/V
	通道分离，直流		直流时，T_A = 25°C		100		dB
输入电压范围							
V_{CM}	共模电压范围		T_A = 25°C	(V-)-0.2		(V+)+0.2	V
CMRR	共模抑制比		V_S = 5.5V，(V_S–) – 0.2V < V_{CM} < (V_S+) – 1.3V，T_A = 25°C	72	96		dB
			V_S=5.5V，V_{CM}=–0.2V 至 5.7V(2)，T_A = 25°C		75		
输入偏置电流							
I_B	输入偏置电流		T_A = 25°C		±1.0		pA
I_{OS}	输入失调电流		T_A = 25°C		±1.0		pA
噪声							
	输入电压噪声（峰峰值）		f = 0.1Hz 至 10Hz，T_A = 25°C		5		μV_{PP}
e_n	输入电压噪声密度		f = 10kHz，T_A = 25°C		15		nV/√Hz
			f = 1kHz，T_A = 25°C		16		
i_n	输入电流噪声密度		f = 1kHz，T_A = 25°C		6		fA/√Hz
输入电容							
C_{IN}	输入电容	差动	V_S = 5V，T_A = 25°C		1		pF
		共模	V_S = 5V，T_A = 25°C		5		
开环增益							
A_{OL}	开环电压增益		V_S = 1.8V 至 5.5V，0.2V < V_O < (V+) – 0.2V，R_L = 10kΩ，T_A = 25°C	85	115		dB
			V_S = 1.8V 至 5.5V，0.5V < V_O < (V+) – 0.5V，R_L = 2kΩ(2)，T_A = 25°C	85	100		
	相补角		V_S = 5V，G = 1，R_L = 10kΩ，T_A = 25°C		65		°
频率响应							
GBW	增益带宽积		V_S = 1.8V，R_L = 10kΩ，C_L = 10pF，T_A = 25°C		2.7		MHz
			V_S = 5V，R_L = 10kΩ，C_L = 10pF，T_A = 25°C		3		
SR	压摆率(3)		V_S = 5V，G = 1，T_A = 25°C		1.5		V/µs
t_S	建立时间		至 0.1%，V_S = 5V，2V 步进，G = 1，T_A = 25°C		3		µs
	过载恢复时间		V_S = 5V，V_{IN} × 增益 > V_S，T_A = 25°C		8		µs
THD+N	总谐波失真 + 噪声(4)		V_S = 5V，V_O = 1V_{RMS}，G = 1，f = 1kHz，R_L = 10kΩ，T_A = 25°C		0.005%		
输出							
V_O	相对于电源轨的电压输出摆幅		V_S = 1.8V 至 5.5V，R_L = 10kΩ，T_A = 25°C		5	25	mV
			V_S = 1.8V 至 5.5V，R_L = 2kΩ，T_A = 25°C		22	45	
I_{SC}	短路电流		V_S = 5V，T_A = 25°C		±20		mA
R_O	开环输出阻抗		V_S = 5.5V，f = 100Hz，T_A = 25°C		570		Ω
电源							
V_S	额定电压范围			1.8		5.5	V
I_Q	每个放大器的静态电流，过热		V_S = 5V，I_O = 0mA，T_A = –40°C 至 +125°C		150	250	µA
温度							
	额定温度范围			–40		125	°C
T_{stg}	贮存温度			–65		150	°C

(1) 除非另外注明，否则具有最大或最小规格限值的参数均在 25ºC 下经过 100% 生产检测。过热限值基于特性和统计分析。
(2) 由设计和特性指定；未经生产测试。
(3) 表示正或负转换率的较低值。
(4) 三阶滤波器；-3dB 时的带宽 = 80kHz。

Copyright © 2016, Texas Instruments Incorporated

6.8 典型特性

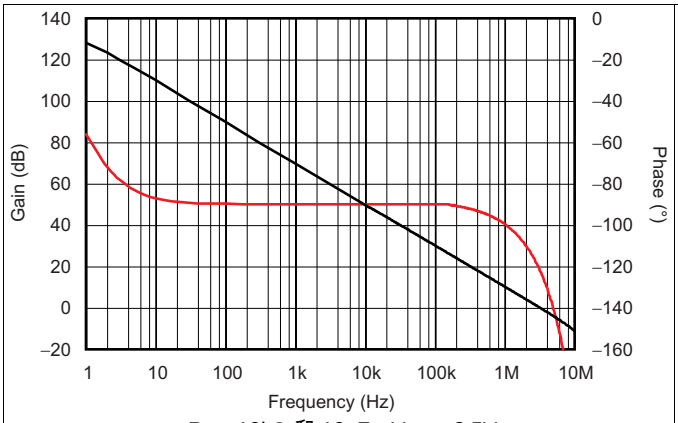
表 1. 图形列表

标题	图表
开环增益和相位与频率间的关系	图 1
静态电流与电源电压间的关系	图 2
失调电压产生分布图	图 3
失调电压与共模电压间的关系（最大电源）	图 4
输入电压噪声频谱密度与频率间的关系 (1.8V，5.5V)	图 5
输入偏置和失调电流与温度间的关系	图 6
输出电压摆幅与输出电流间的关系（过热）	图 7
小信号过冲与负载电容间的关系	图 8
小信号阶跃响应，同相 (1.8V)	图 9
大信号阶跃响应，同相 (1.8V)	图 10
无相位反转	图 11
通道分离与频率间的关系（双路）	图 12
电磁干扰抑制比 (EMIRR)	图 13

版权 © 2016, Texas Instruments Incorporated

6.9 典型特性

T_A = 25°C 时，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另外注明）



R_L = 10kΩ 和 10pF，V_S = ±2.5V

图 1. 开环增益和相位与频率间的关系

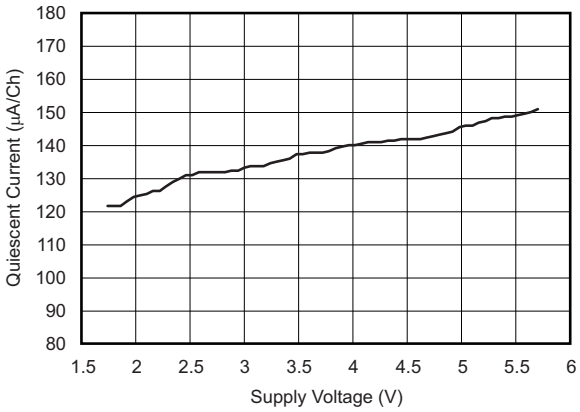


图 2. 静态电流与电源间的关系

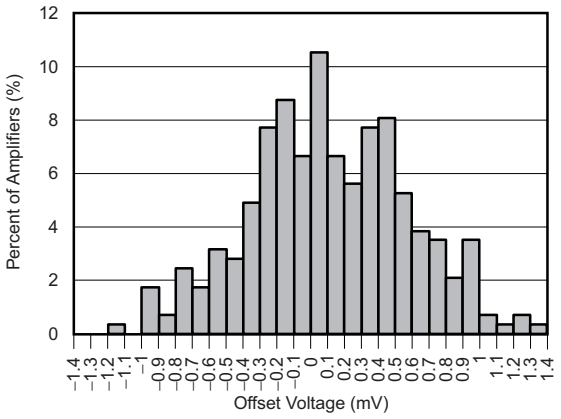
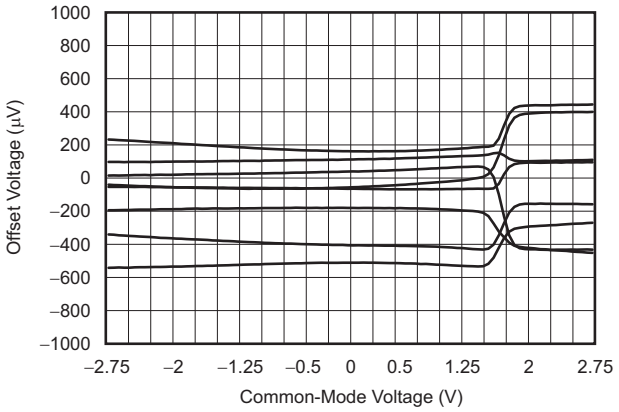


图 3. 失调电压产生分布图



典型单位，V_S = ±2.75V

图 4. 偏移电压与共模电压间的关系

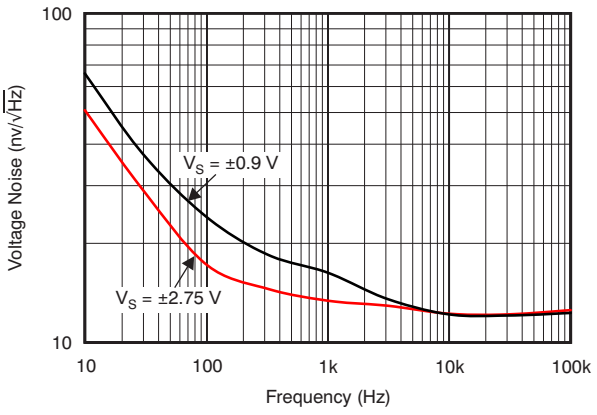


图 5. 输入电压噪声频谱密度与频率间的关系

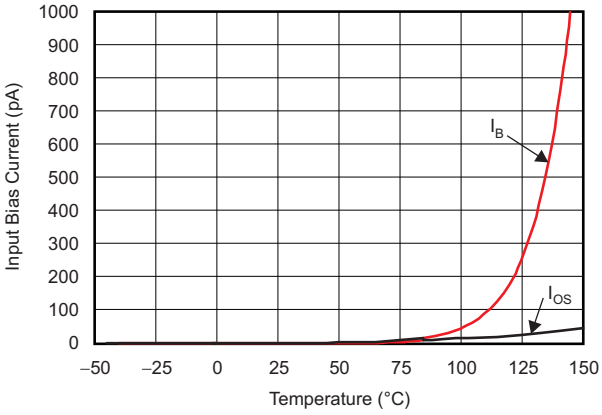
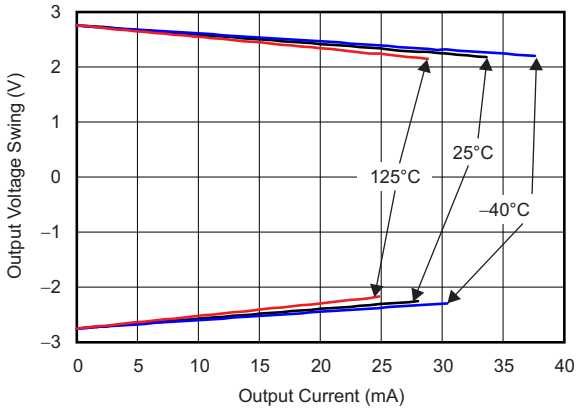


图 6. 输入偏置和失调电流与温度间的关系

版权 © 2016, Texas Instruments Incorporated

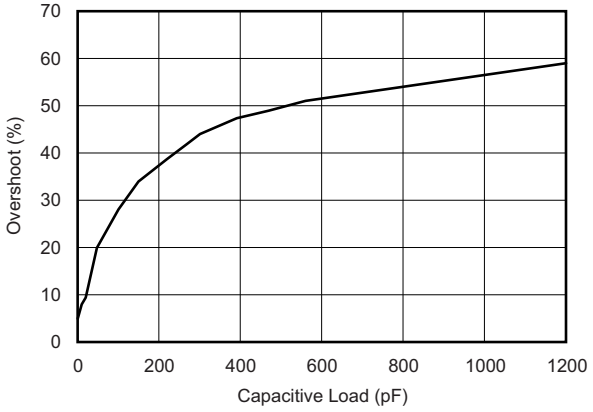
典型特性 (接下页)

T_A = 25°C 时，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另外注明）



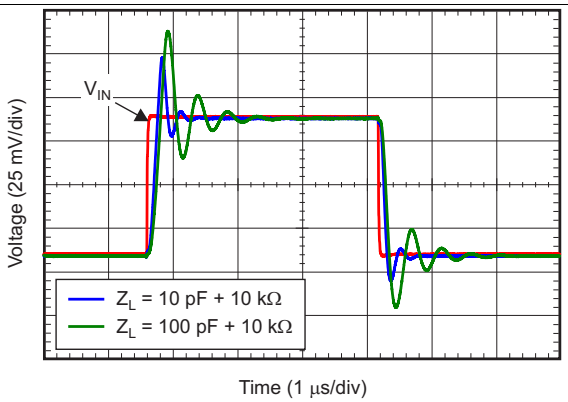
V_S = ±2.75V

图 7. 输出电压摆幅与输出电流间的关系（过热）



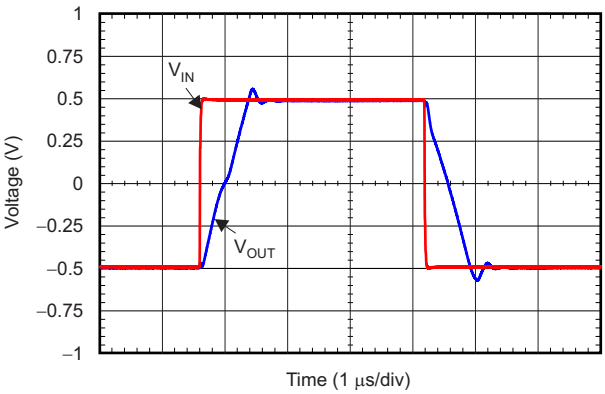
V_S = ±2.75V　　增益 = 1V/V　　R_L = 10kΩ

图 8. 小信号过冲与负载电容间的关系



V_S = ±0.9V　　增益 = 1V/V　　R_F = 10kΩ

图 9. 小信号脉冲响应（同相）



V_S = ±0.9V　　增益 = 1V/V　　R_L = 10kΩ

图 10. 大信号脉冲响应（同相）

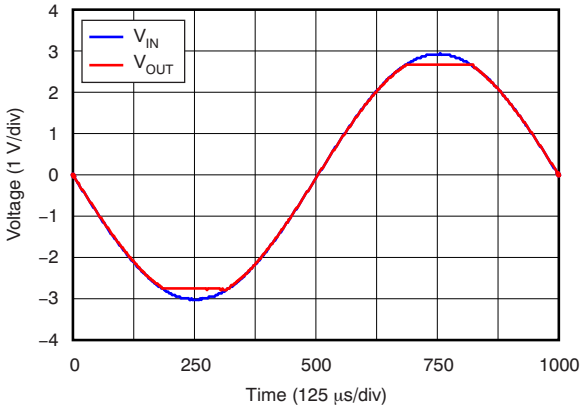
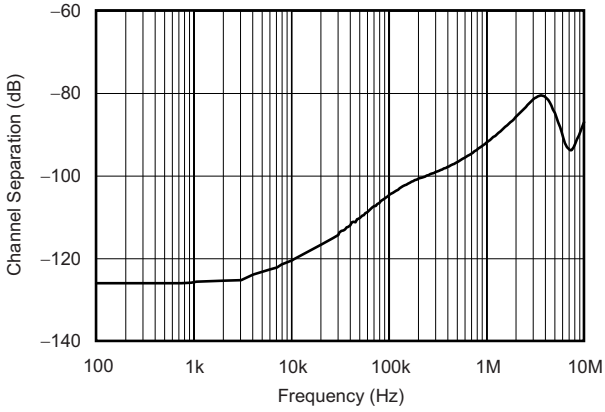


图 11. 无相位反转

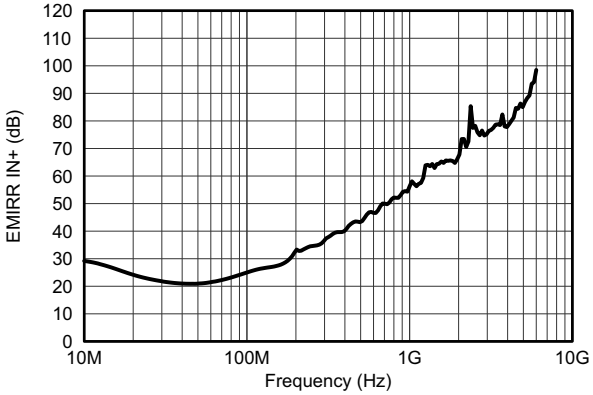


V_S = ±2.75V

图 12. 通道分离与频率间的关系 (TLV2314)

典型特性 (接下页)

T_A = 25°C 时，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另外注明）



P_{RF} = –10dBm　　V_S = ±2.5V　　V_{CM} = 0V

图 13. 以同相输入为参考的
电磁干扰抑制比 (EMIRR IN+) 与频率间的关系

版权 © 2016, Texas Instruments Incorporated

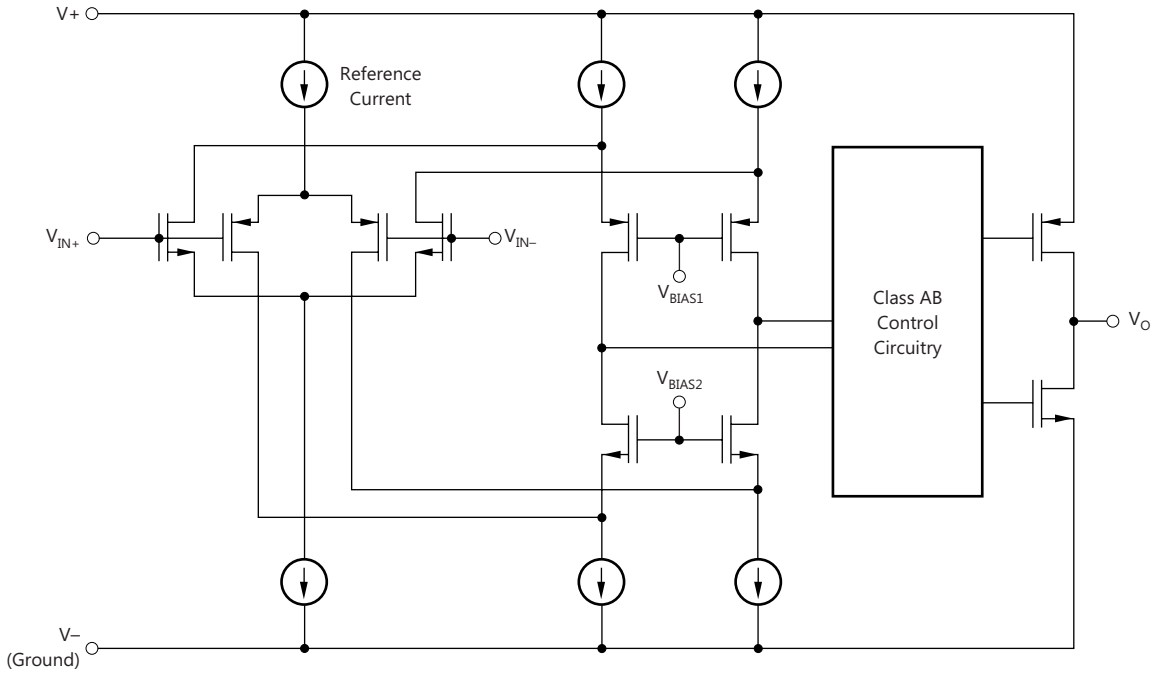
7 详细 说明

7.1 概要

TLVx314-Q1 是专为便携式应用而设计的一系列低功耗、轨至轨输入和输出运算 放大器。这些器件的工作电压介于 1.8V 至 5.5V，单位增益稳定，并且适合广泛的通用 应用。AB 类输出级能够驱动连接至 V+ 和接地间任一点的小于或等于 10kΩ 的负载。输入共模电压范围包括两个电源轨，并支持将 TLVx314-Q1 用于几乎任何单电源应用。轨至轨输入和输出摆幅可大幅扩大动态范围（尤其在低电源 应用中），因此这些器件是驱动采样模数转换器 (ADC) 的理想器件。

TLVx314-Q1 系列 具有 3MHz 带宽和 1.5V/μs 压摆率，且每个通道仅有 150μA 的电源电流，从而在功耗极低的情况下提供良好的交流性能。在直流 应用 中也具有良好性能，其输入噪声电压极低（在 1kHz 时为 14nV/√Hz），输入偏置电流低 (0.2pA)，且典型的输入失调电压为 0.5mV。

7.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 工作电压

TLVx314-Q1 系列运算放大器在 1.8V 至 5.5V 的额定电压范围内可保证运行。此外，许多规格在 –40°C 至 +125°C 温度下适用。*典型特性* 部分中提供了随工作电压或温度而显著变化的参数。用 0.01μF 陶瓷电容器旁路电源引脚。

7.3.2 轨至轨输入

TLVx314-Q1 系列的输入共模电压范围在电源轨基础上向外扩展了 200mV。此性能由一个互补输入级实现：一个 N 沟道输入差分对和一个与之并联的 P 沟道差分对，如*功能框图* 所示。当输入电压靠近正轨（通常为 (V+) – 1.3V 到高于正电源电压 200mV）时，N 沟道对有效；当输入为低于负电源电压 200mV 到大约 (V+) – 1.3V 范围时，P 沟道对打开。在一个通常介于 (V+) – 1.4V 到 (V+) – 1.2V 的小转换区域内，两个对都打开。此 200mV 转换区域可能会随工艺不同而变化高达 300mV。因此，此转换区域（两个级都打开）在低端上的范围介于 (V+) – 1.7V 和 (V+) – 1.5V 之间，在高端上的范围高达 (V+) – 1.1V 至 (V+) – 0.9V。在此转换区域内，与器件在该区域外运行相比，PSRR、CMRR、失调电压、温漂和 THD 等性能可能会下降。

7.3.3 轨至轨输出

TLVx314-Q1 器件设计为一种微功耗、低噪声运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管的 AB 类输出级可实现完全的轨至轨输出摆幅功能。对于高达 10kΩ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 5mV 以内。不同的负载情况会改变放大器向靠近电源轨附近摆动的能力，如图 7所示。

7.3.4 共模抑制比 (CMRR)

TLVx314-Q1 的 CMRR 是以多种方式指定的，因此对于给定的应用可以使用最佳匹配项；请参阅*电气特性* 表。首先，给出了低于转换区域 [V_{CM} < (V+) – 1.3 V] 的共模范围内的器件 CMRR。当应用需要使用差分输入对之一时，此规格是器件功能的最佳指标。其次，指定了在（V_{CM} = –0.2V 至 5.7V）时整个共模范围内的 CMRR。最后的这个值包含转换区域内测得的变化，如图 4 所示。

版权 © 2016, Texas Instruments Incorporated

特性 说明 (接下页)

7.3.5 容性负载和稳定性

TLVx314-Q1 专用于 需要驱动 容性负载的应用。与所有运算放大器一样，可能存在会使 TLVx314-Q1 变得不稳定的特定情况。在确定放大器的运行是否稳定时，需要考虑特定的运算放大器电路配置、布局、增益和输出负载等因素。与增益更高的放大器相比，
在单位增益 (1V/V) 缓冲器配置下驱动电容负载的运算放大器更容易出现不稳定的情况。电容负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相补角降级的极点。当电容负载增加时，相补角的降级会增大。在单位增益配置下运行时，TLVx314-Q1 在纯容性负载高达大约 1nF 时仍然保持稳定。某些较大的电容器（电容值大于 1μF 的 C_L 电容器）的等效串联电阻 (ESR) 足以改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。如果在电压增益更高时测出放大器的过冲响应，可发现此能力的增长十分明显，如图 8 所示。

插入一个小电阻器（通常为 10Ω 至 20Ω）可以增加采用单位增益配置的放大器的容性负载驱动能力（如图 14 所示）。这个电阻器大大减少了与大电容负载相关的过冲和振铃。然而，这个技巧的一个可能问题是这个增加的串联电阻和任一与负载电容并联的连接电阻会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

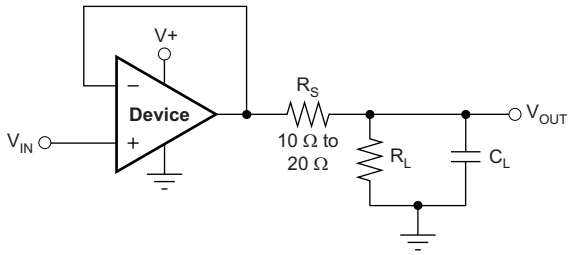


图 14. 改进容性负载驱动

7.3.6 EMI 敏感性和输入滤波

各种运算放大器对于电磁干扰 (EMI) 的易感性会有所不同。如果传导 EMI 进入运算放大器，放大器输出中的直流失调电压在有 EMI 时可能偏离标称值。这个偏离是内部半导体结相关的信号整流引起的。虽然 EMI 可能影响所有的运算放大器引脚功能，但是信号输入引脚可能是最易受影响的。TLVx314-Q1 运算放大器系列整合了内部输入低通滤波器，该滤波器可减少放大器对 EMI 的响应。此滤波器提供共模和差分模式滤波。此滤波器针对大约 80MHz (-3dB) 的截止频率而设计，具有每十倍频 20dB 的下降率。

德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。EMI 抑制比 (EMIRR) 指标允许将运算放大器直接与 EMI 抗扰度进行比较。图 13 显示了 TLVx314-Q1 的测试结果。有关更多详细信息，请参阅*《运算放大器的 EMI 抑制比》*(SBOA128)，下载地址为 www.ti.com.cn。

7.4 器件功能模式

TLVx314-Q1 系列具有单功能模式。只要电源电压在 1.8V (±0.9V) 与 5.5V (±2.75V) 之间，这些器件就会启动。

8 应用和实现

注

以下应用部分中的 信息 不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 应用信息

TLVx314-Q1 器件是专为便携式应用设计的一种低功耗、轨至轨输入和输出运算 放大器。这些器件的工作电压介于 1.8V 至 5.5V，单位增益稳定，并且适合广泛的通用 应用。AB 类输出级能够驱动连接至 V+ 和接地间任一点的小于或等于 10kΩ 的负载。输入共模电压范围包括两个电源轨，并支持将 TLVx314-Q1 系列用于几乎任何单电源应用。轨至轨输入和输出摆幅可大幅扩大动态范围（尤其在低电源 应用中），因此该器件是驱动采样模数转换器 (ADC) 的理想器件。

TLVx314-Q1 具有 3MHz 带宽和 1.5V/μs 压摆率，且每个通道仅有 150μA 的电源电流，从而在功耗极低的情况下提供良好的交流性能。在直流 应用 中也具有良好性能，其输入噪声电压极低（在 1kHz 时为 14nV/√Hz），输入偏置电流低 (0.2pA)，且典型的输入失调电压为 0.5mV。

8.2 典型应用

运算放大器的典型应用是反相放大器（如 图 15 中所示）。反相放大器在输入端采用正电压，然后输出与输入端反相的信号，生成相同幅度的负电压。这种放大器还以相同方式使负输入电压在输出端变为正电压。此外，通过选择输入电阻器 (R_I) 和反馈电阻器 (R_F)，可以增加放大效果。

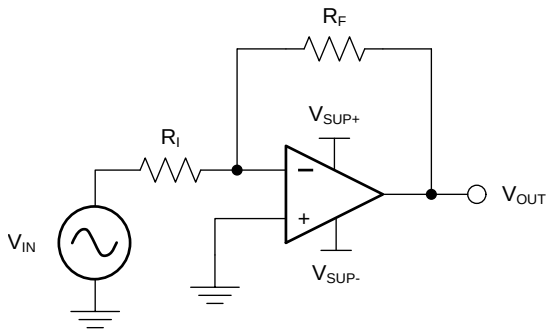


图 15. 应用电路原理图

8.2.1 设计要求

选择的电源电压必须大于输入电压范围和期望输出范围。还必须考虑输入共模范围的限值 (V_{CM}) 以及相对于电源轨的输出电压摆幅 (V_O)。例如，此应用将 ±0.5V (1V) 的信号扩展到 ±1.8V (3.6V)。将电源设置在 ±2.5V 就足以适应此应用。

8.2.2 详细设计流程

请使用公式 1 和公式 2 来计算反相放大器需要的增益：

$$A_V = \frac{V_{OUT}}{V_{IN}} \tag{1}$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \tag{2}$$

确定所需增益后，请选择 R_I 或 R_F 的值。由于放大器电路使用毫安级的电流，因此通用 应用 需要选择千欧姆范围的值。此毫安电流范围确保了该器件不会消耗过多电流。需要权衡的是，极大的电阻器（十万欧姆级别）消耗的电流最小，但产生的噪声最大。极小的电阻器（百欧姆级别）生成的噪声小，但消耗电流大。此示例使用的 R_I 为 10kΩ，且 R_F 为 36kΩ。这些值通过公式 3 计算得出：

$$A_V = -\frac{R_F}{R_I} \tag{3}$$

版权 © 2016, Texas Instruments Incorporated

典型应用 (接下页)

8.2.3 应用曲线

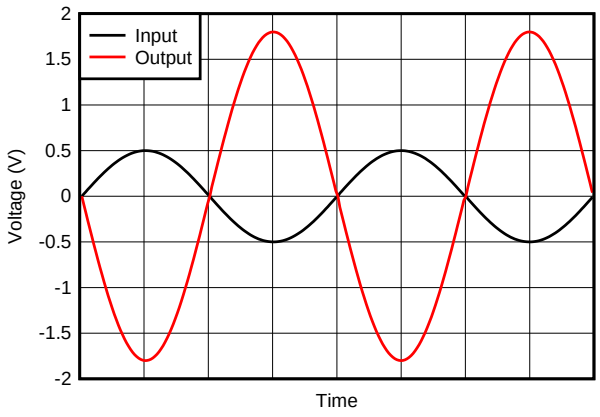


图 16. 反相放大器输入和输出

8.3 系统示例

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。建立这个受限带宽的最简单的方法是在放大器的同相端子上放置一个 RC 滤波器，如 图 17中所示。

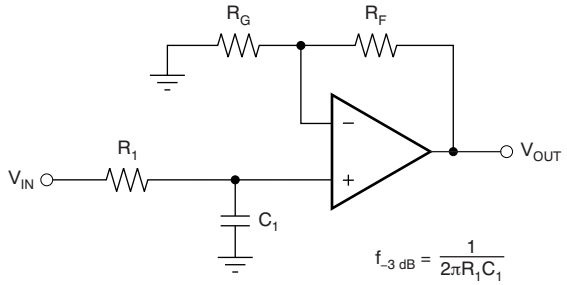


图 17. 单极低通滤波器

如果需要更多的衰减，需要多个极点滤波器。Sallen-Key 滤波器可被用于完成此项工作，如 图 18所示。为了获得最佳结果，放大器的带宽必须是滤波器频率带宽的八到十倍。不遵守这一准则可能导致放大器出现相移。

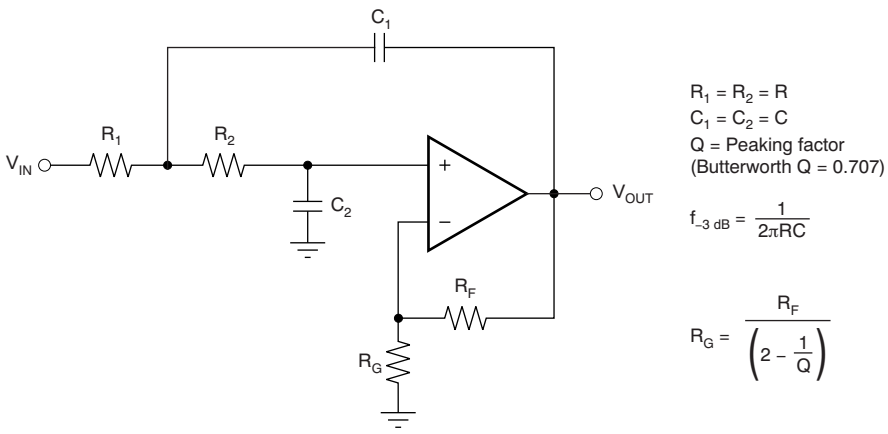


图 18. 两极低通 Sallen-Key 滤波器

9 电源建议

TLVx314-Q1 系列的额定工作范围为 1.8V 至 5.5V（±0.9V 至 ±2.75V）；多种规格适用于 –40°C 至 +125°C 的温度范围。*典型特性* 中介绍了可能会随工作电压或温度的变化而显著变化的参数。

CAUTION

电源电压大于 7V 可能对器件造成永久损坏（请参阅*绝对最大额定值* 表）。

将 0.1μF 旁路电容放置于电源引脚附近，旁路电容可以提供低阻抗回路来降低电源的耦合噪声。有关旁路电容器放置的更多详细信息；请参阅*布局指南*。

9.1 输入和 ESD 保护

TLVx314-Q1 系列在所有引脚上均整合了内部静电放电 (ESD) 保护电路。就输入和输出引脚而言，这种保护主要包括输入引脚和电源引脚之间连接的导流二极管。只要电流如*绝对最大额定值* 表中所述不超过 10mA，这些 ESD 保护二极管就能提供电路内输入过驱保护。图 19 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的 应用中，该值必须保持在最低水平。

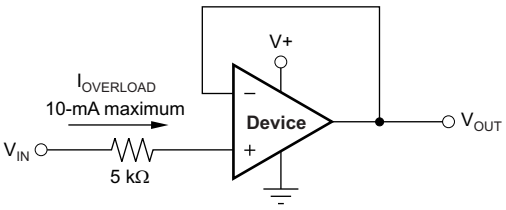


图 19. 输入电流保护

版权 © 2016, Texas Instruments Incorporated

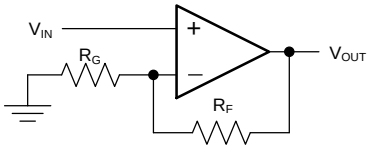
10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器传入模拟电路。通过使用旁路电容器提供模拟电路的本地低阻抗电源，可减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1µF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源 应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅*《电路板布局技巧》*(SLOA089)。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交比平行相交好得多。
- 外部组件的位置应尽量靠近器件。请让 R_F 和 R_G 接近反相输入，以便最大限度减小寄生电容（如 图 20 中所示）。
- 尽可能缩短输入迹线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

10.2 布局示例



(Schematic Representation)

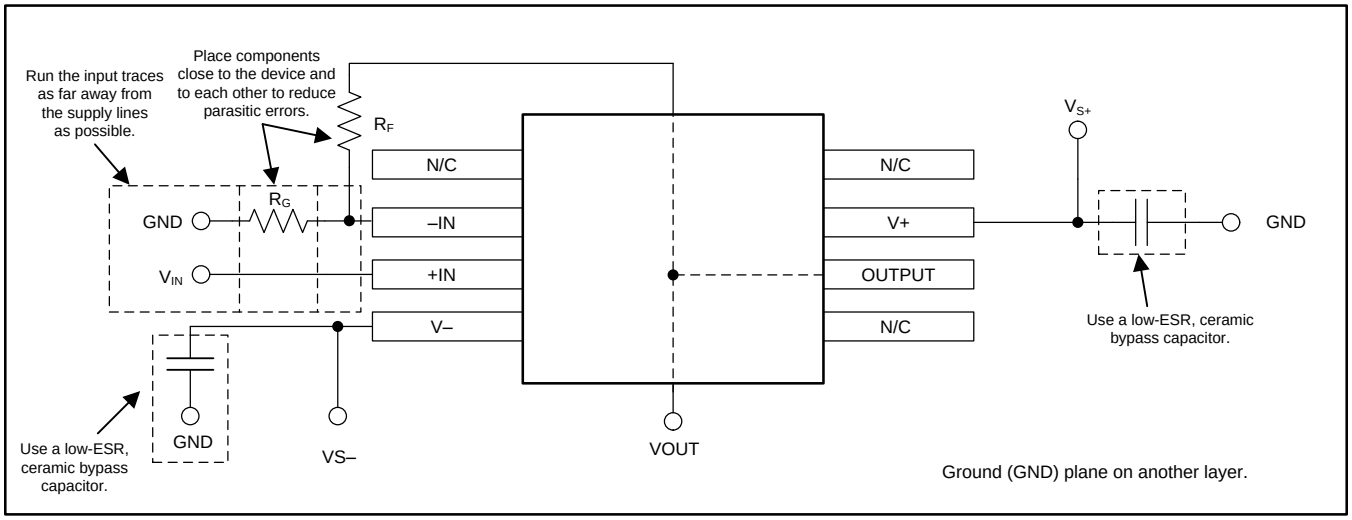


图 20. 同相配置的运算放大器电路板布局

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.2 文档支持

11.2.1 相关文档

请参阅如下相关文档：

- *《运算放大器的 EMI 抑制比》*（文献编号：SBOA128）。
- *《电路板布局布线技巧》*（文献编号：SLOA089）。
- *《QFN/SON PCB 连接》*（文献编号：SLUA271）。
- *《四方扁平无引线逻辑器件封装》*（文献编号：SCBA017）。

11.3 相关链接

表 2 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **2.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具与软件	支持和社区
TLV314-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2314-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV4314-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.6 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.7 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

版权 © 2016, Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

版权 © 2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2314QDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	V2314Q
TLV2314QDRQ1.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	V2314Q
TLV314QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	16SD
TLV314QDBVRQ1.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	16SD
TLV314QDBVTQ1	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	16SD
TLV314QDBVTQ1.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	16SD
TLV4314QPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	V4314Q1
TLV4314QPWRQ1.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	V4314Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

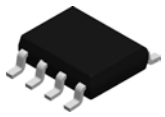
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV2314-Q1, TLV314-Q1, TLV4314-Q1 :

- Catalog : TLV2314, TLV314, TLV4314

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

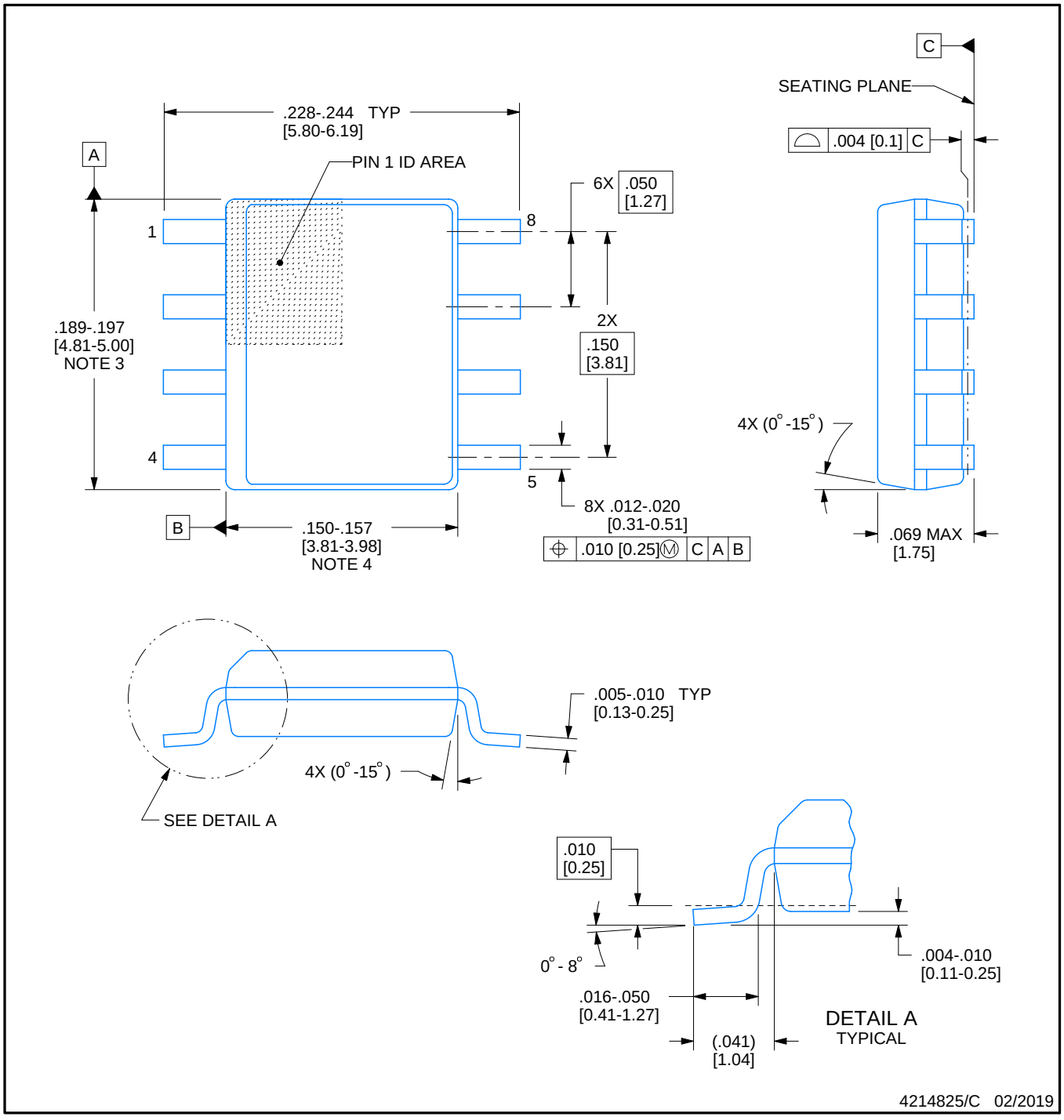


PACKAGE OUTLINE

D0008A

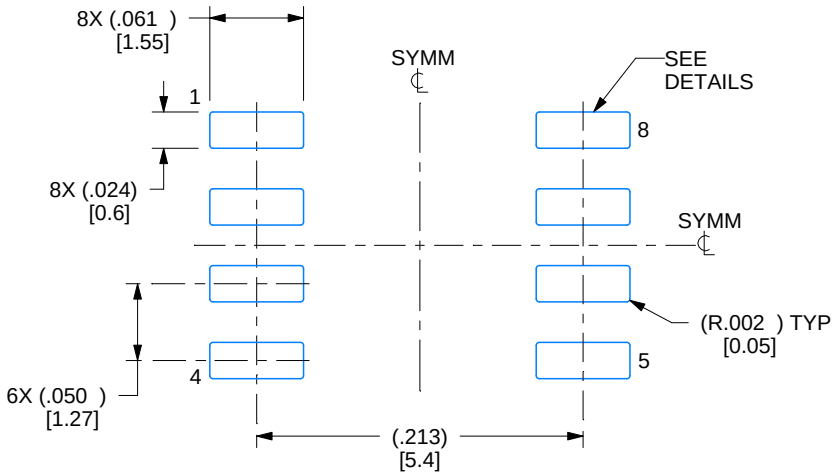
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

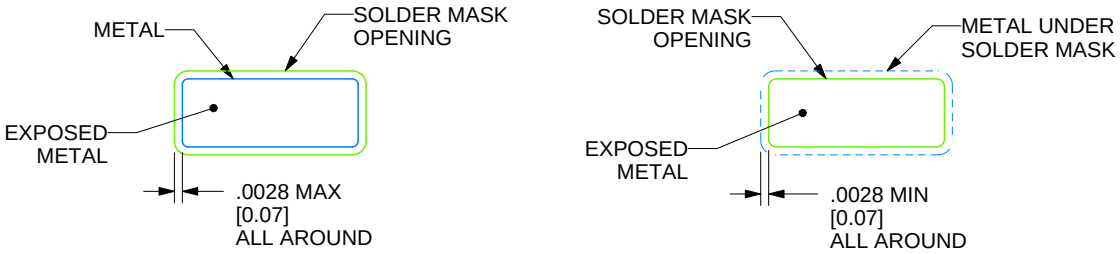


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

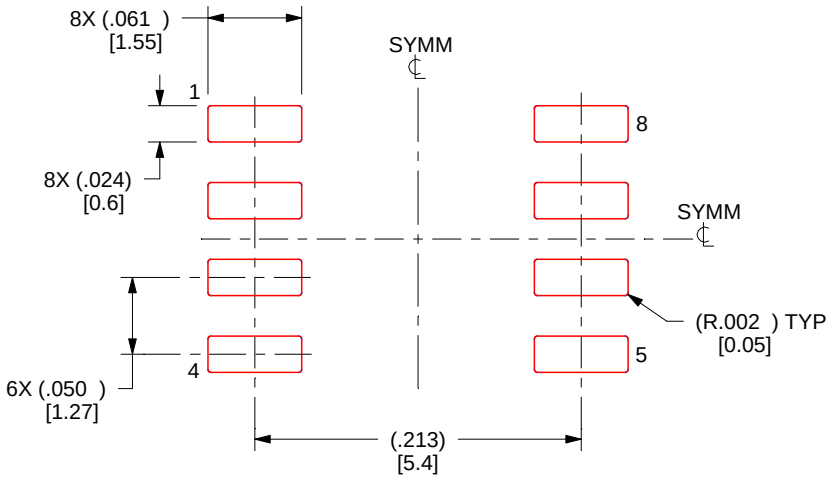
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

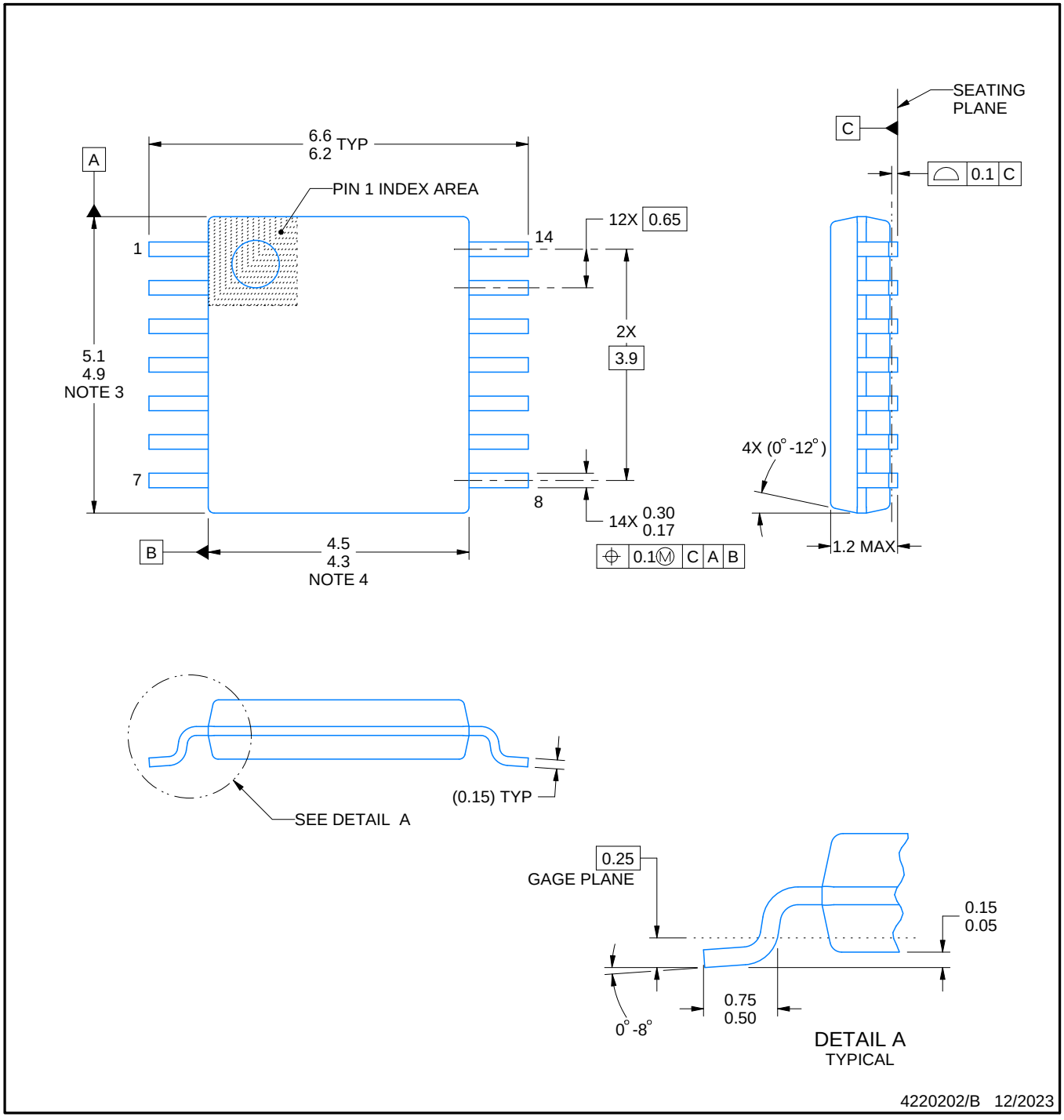
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

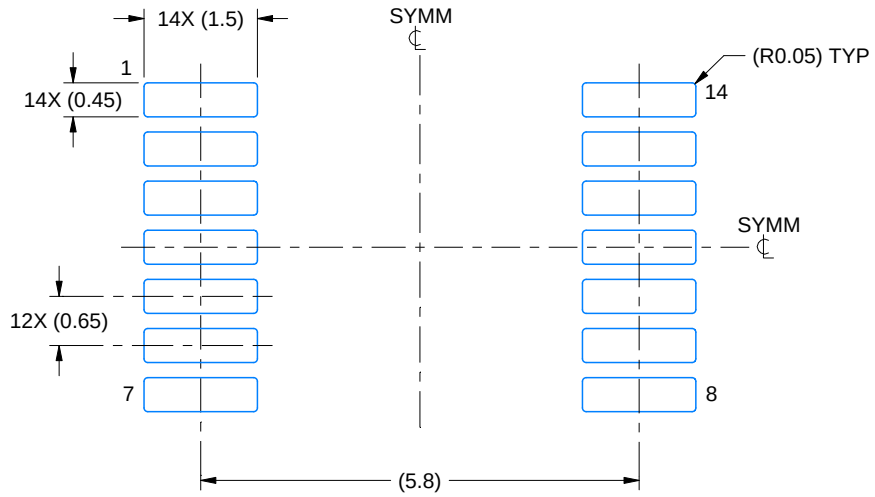
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

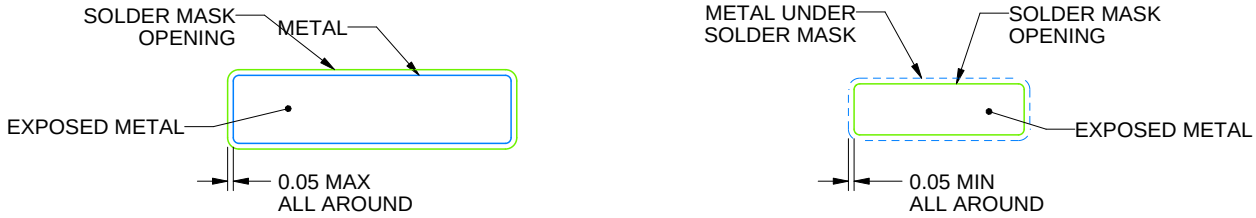


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

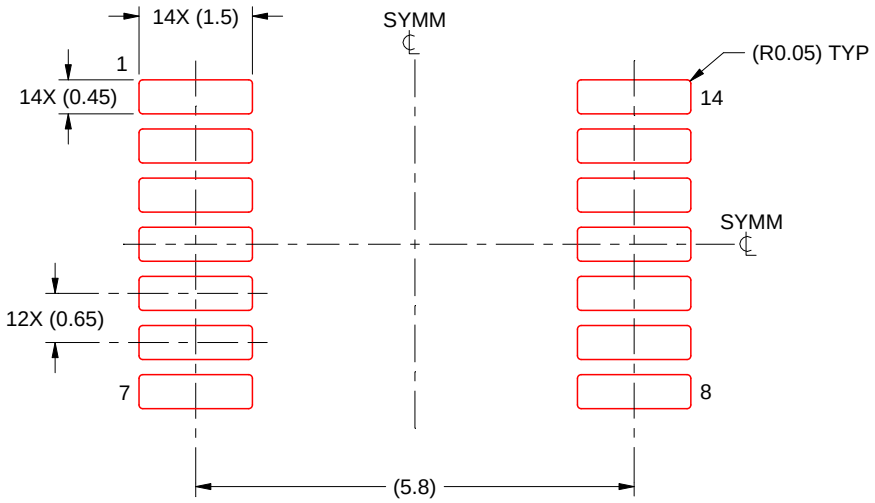


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

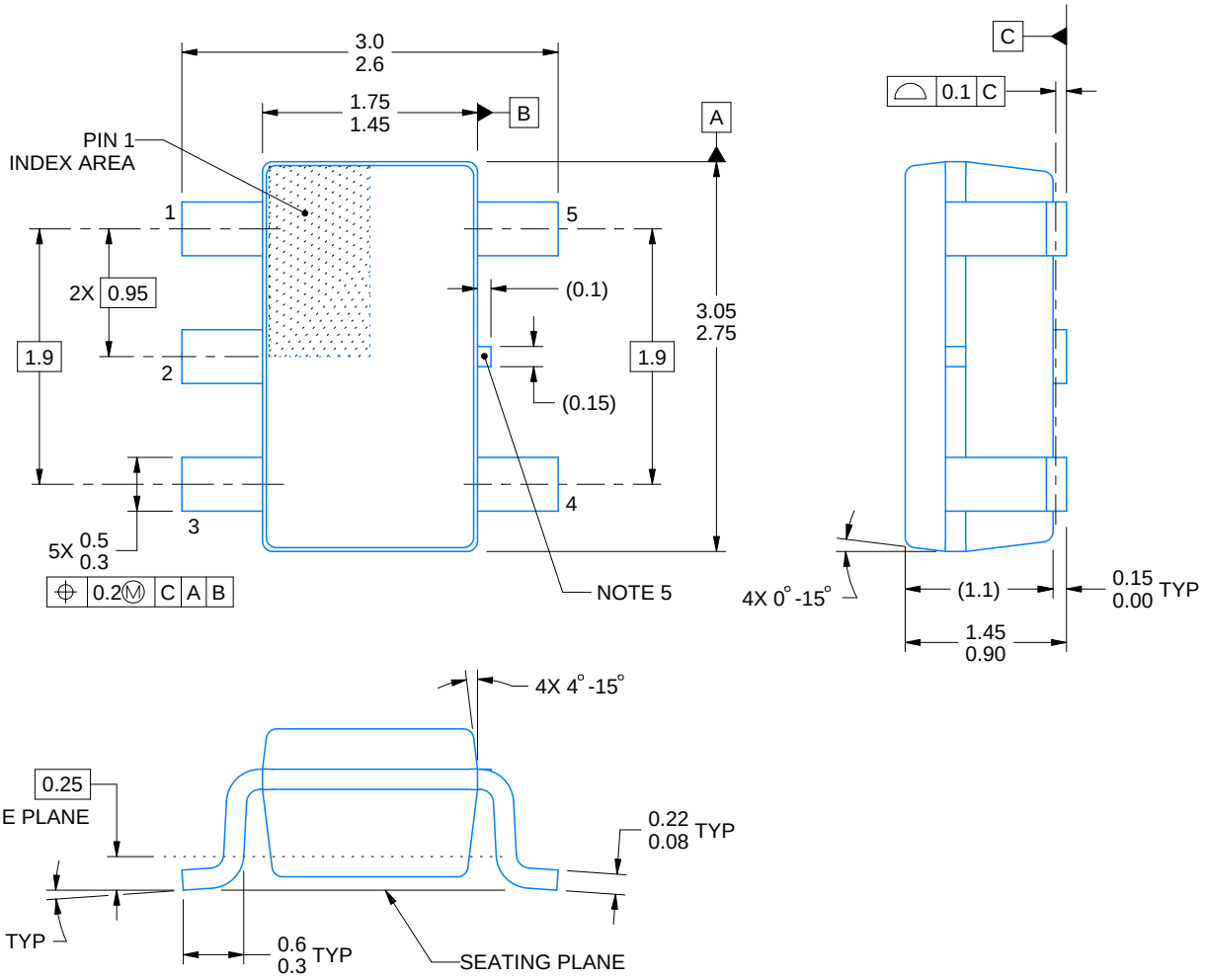
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

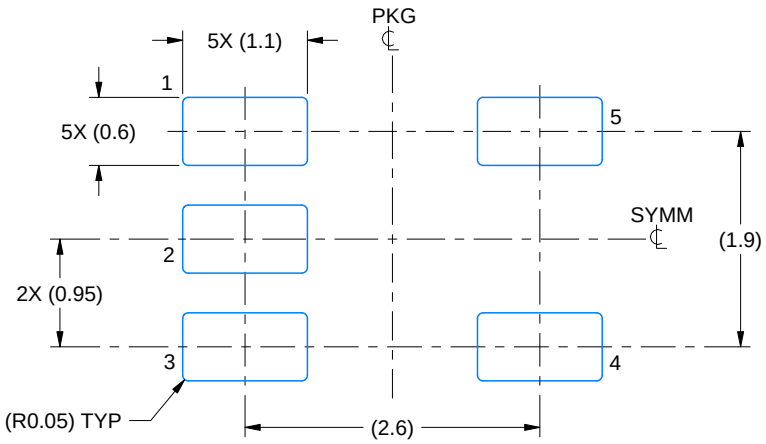
SMALL OUTLINE TRANSISTOR



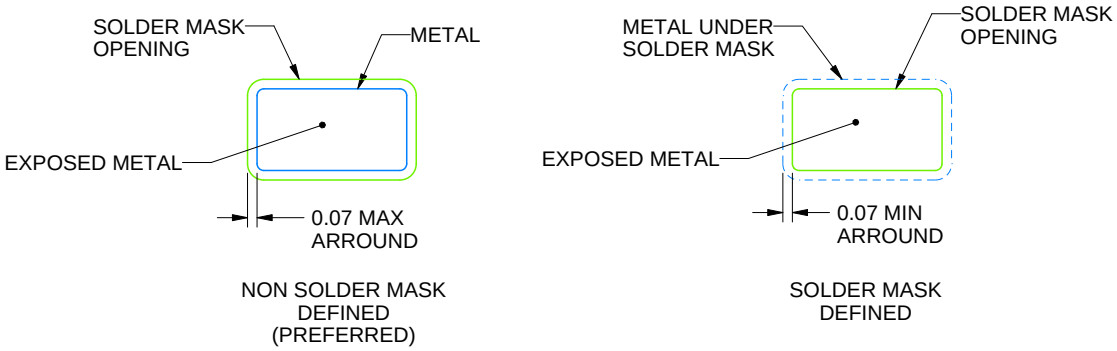
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

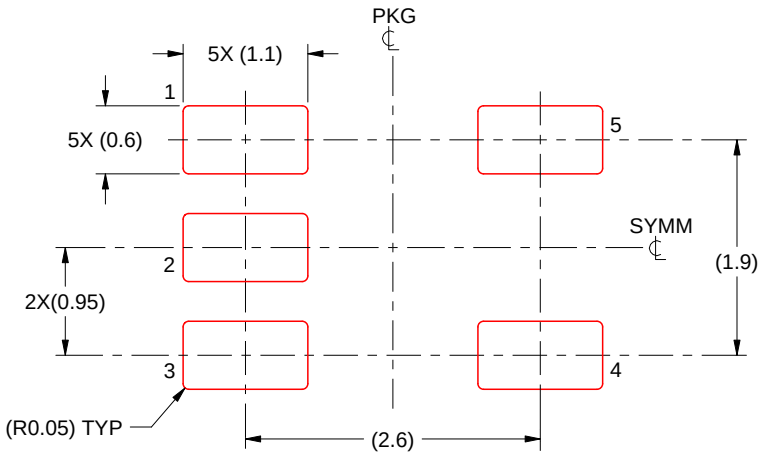


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月