TXS0102 适用于开漏和推挽应用的 2 位双向电压电平转换器

1 特性

- 无需方向控制信号
- 最大数据速率：
  - 24Mbps（推挽）
  - 2Mbps（开漏）
- 采用德州仪器 (TI) 的 NanoStar™ 集成电路封装
- A 端口支持 1.65V 至 3.6V 的电压，B 端口支持 2.3V 至 5.5V 的电压 ($V_{CCA} \leq V_{CCB}$)
- V_{CC} 隔离特性：如果任何一个 V_{CC} 输入接地 (GND)，则两个端口均处于高阻抗状态
- 无需电源时序控制：V_{CCA} 或 V_{CCB} 均可优先斜升
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求：
  - A 端口：
    - 2500V 人体放电模型 (A114-B)
    - 250V 机器放电模型 (A115-A)
    - 1500V 充电器件模型 (C101)
  - B 端口：
    - 8kV 人体放电模型 (A114-B)
    - 250V 机器放电模型 (A115-A)
    - 1500V 充电器件模型 (C101)

2 应用

- I^2C/SMBus
- UART
- 通用输入/输出 (GPIO)

3 说明

此两位同相转换器是一个双向电压电平转换器，可用来在混合电压系统之间建立数字开关兼容性。它使用两个独立的可配置电源轨，其中 A 端口支持 1.65V 至 3.6V 工作电压范围，同时可跟踪 V_{CCA} 电源，而 B 端口支持 2.3V 至 5.5V 工作电压范围，同时可跟踪 V_{CCB} 电源。因此，该器件能够支持较低和较高的逻辑信号电平，同时能够在任何 1.8V、2.5V、3.3V 和 5V 电压节点之间提供双向转换。

当输出使能端 (OE) 输入为低电平时，所有 I/O 均处于高阻抗状态，从而显著减少了电源静态电流消耗。

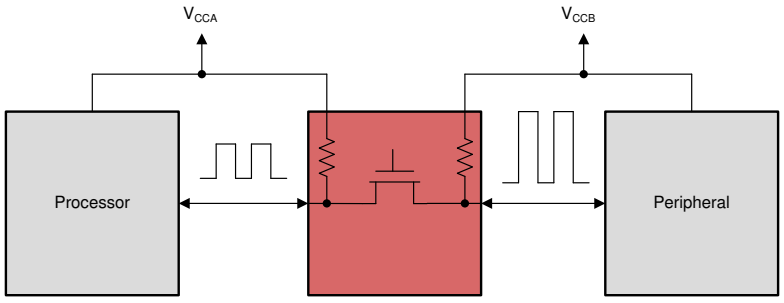
要在上电或断电期间将器件置于高阻抗状态，应通过一个下拉电阻器将 OE 连接至 GND；该电阻器的最小值由驱动器的电流灌入能力决定。

封装信息

器件型号	封装(1)	封装尺寸(2)
TXS0102	DCT（SSOP，8）	2.95mm × 4mm
	DCU（VSSOP，8）	2mm × 3.1mm
	DQE（X2SON，8）	1.4mm × 1mm
	DQM（SON，8）	1.8mm × 1.2mm
	YZP（DSBGA，8）	1.9mm x 0.9mm
	DTT（DSBGA，8）	1.95mm × 1mm

(1) 有关更多信息，请参阅 节 11

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



TXS0102 的典型应用方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性 6
5.6 开关特性，V_{CCA} = 1.8V ± 0.15V 7
5.7 开关特性，V_{CCA} = 2.5V ± 0.2V 8
5.8 开关特性，V_{CCA} = 3.3V ± 0.3V 9
5.9 开关特性：T_{sk}，T_{MAX} 10
5.10 工作特性：V_{CCA} = 1.5V 至 1.5V，V_{CCB} = 3.3V 至 3.3V 11
5.11 典型特性 12
6 参数测量信息 13
7 详细说明 15
7.1 概述 15
7.2 功能方框图 15
7.3 特性说明 16
7.4 器件功能模式 17
8 应用和实施 18
8.1 应用信息 18
8.2 典型应用 18
8.3 电源相关建议 19
8.4 布局 20
9 器件和文档支持 21
9.1 文档支持 21
9.2 接收文档更新通知 21
9.3 支持资源 21
9.4 商标 21
9.5 静电放电警告 21
9.6 术语表 21
10 修订历史记录 22
11 机械、封装和可订购信息 22

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

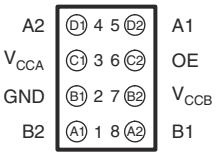


图 4-1. YZP 封装，8 引脚 DSBGA（底视图）

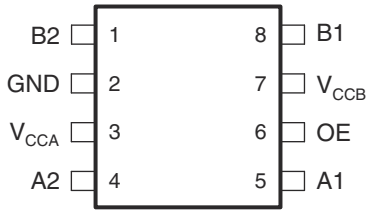


图 4-2. DCT 或 DCU 封装，
8 引脚 SSOP 和 VSSOP（顶视图）

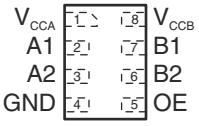


图 4-3. DQE 或 DQM 封装，
8 引脚 X2SON（顶视图）

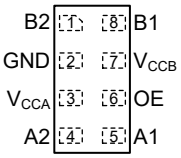


图 4-4. DTT 封装，8 引脚 SOP（俯视图）

表 4-1. 引脚功能

引脚				类型(1)	说明
名称	编号				
	DCT、DCU、DTT	DQE、DQM	YZP		
A1	5	2	D2	I/O	输入/输出 A。以 V_{CCA} 为基准。
A2	4	3	D1	I/O	输入/输出 A。以 V_{CCA} 为基准。
B1	8	7	A2	I/O	输入/输出 B。以 V_{CCB} 为基准。
B2	1	6	A1	I/O	输入/输出 B。以 V_{CCB} 为基准。
GND	2	4	B1	—	接地
OE	6	5	C2	I	输出使能（高电平有效）。将 OE 引脚拉为低电平，使所有输出处于三态模式。以 V_{CCA} 为基准。
V_{CCA}	3	1	C1	P	A 端口电源电压。1.65V ≤ V_{CCA} ≤ 3.6V 且 V_{CCA} ≤ V_{CCB}
V_{CCB}	7	8	B2	P	B 端口电源。2.3V ≤ V_{CCB} ≤ 5.5V

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CCA}	电源电压 A		-0.5	4.6	V
V_{CCB}	电源电压 B		-0.5	6.5	V
V_I	输入电压(2)	A 端口	-0.5	4.6	V
		B 端口	-0.5	6.5	
V_O	施加到任一处于高阻抗或断电状态输出的电压(2)	A 端口	-0.5	4.6	V
		B 端口	-0.5	6.5	
V_O	施加到任一处于高电平或低电平状态输出的电压(2) (3)	A 端口	-0.5	V_{CCA} + 0.5	V
		B 端口	-0.5	V_{CCB} + 0.5	
I_{IK}	输入钳位电流	V_I < 0		-50	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_j	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出 *节 5.1* 下所列的值的应力可能会对器件造成永久性损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在 *节 5.3* 以外的任何其他条件下能够正常运行。超出 *节 5.3* 中列出的限制可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入电压和输出负电压额定值。
(3) 如果遵守输出电流额定值，则输出正电压额定值可能超过最大 6.5V。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001	A 端口	±2500	V
			B 端口	±8000	
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准	A 端口	±1500	
			B 端口	±1500	

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2) (3) (4) (5)

			V_{CCA}	V_{CCB}	最小值	最大值	单位
V_{CCA}	电源电压 A				1.65	3.6	V
V_{CCB}	电源电压 B				2.3	5.5	V
V_{IH}	高电平输入电压	A 端口 I/O	1.65V 至 1.95V	2.3V 至 5.5V	V_{CCI} - 0.2	V_{CCI}	V
			2.3V 至 3.6V		V_{CCI} - 0.4	V_{CCI}	
		B 端口 I/O	1.65V 至 3.6V		V_{CCI} - 0.4	V_{CCI}	
		OE 输入	1.65V 至 3.6V		V_{CCA} x 0.65	5.5	
V_{IL}	低电平输入电压	A 端口 I/O	1.65V 至 3.6V	2.3V 至 5.5V	0	0.15	V
		B 端口 I/O			0	0.15	
		OE 输入			0	V_{CCA} x 0.35	
$\Delta t/\Delta v$	输入转换上升和下降时间	A 端口 I/O	1.65V 至 3.6V	2.3V 至 5.5V		10	ns/V
		B 端口 I/O				10	ns/V
		OE 输入				10	ns/V
T_A	自然通风条件下的工作温度				-40	85	°C

(1) V_{CCI} 是与输入端口相关的 V_{CC}。
(2) V_{CCO} 是与输出端口相关的 V_{CC}。
(3) 提供 V_{IL} 最大值是为了确保保持有效的 V_{OL}。V_{OL} 值为 V_{IL} 加上导通栅极晶体管上的压降。
(4) V_{CCA} 必须小于或等于 V_{CCB}，并且 V_{CCA} 不得超过 3.6V。
(5) 器件的所有未使用输入必须保持在 V_{CC} 或 GND，以确保器件正常运行。请参阅 TI 应用手册 *慢速或浮点 CMOS 输入的影响*。

5.4 热性能信息

热指标(1)		TXS0102						单位
		DCU	DQE	DCT	DTT	YZP	DQM	
		8 引脚	8 引脚	8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	239.8	229.6	168.5	219.8	105.8	212.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	88.5	89.1	84.6	139.0	1.6	84.2	°C/W
$R_{\theta JB}$	结至电路板热阻	151.6	128.0	96.1	122.3	10.8	118.1	°C/W
Y_{JT}	结至顶部特征参数	30.9	2.8	15.1	17.5	3.1	2.8	°C/W
Y_{JB}	结至电路板特征参数	150.5	127.7	94.7	122.2	10.8	117.8	°C/W
$R_{\theta JC(bottom)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2) (3)

参数		测试条件	V_{CCA}	V_{CCB}	自然通风工作温度范围 (T_A)						单位
					25°C			-40°C 至 85°C			
					最小值	典型值	最大值	最小值	典型值	最大值	
V_{OHA}	端口 A 输出高电压	I_{OH} = – 20uA V_{IB} ≥ V_{CCB} – 0.4V	1.65V 至 3.6V	2.3V 至 5.5V				V_{CCA} x 0.67			V
V_{OLA}	端口 A 输出低电压	I_{OL} = 1mA V_{IB} ≤ 0.15V	1.65V 至 3.6V	2.3V 至 5.5V						0.4	
V_{OHB}	端口 B 输出高电压	I_{OH} = – 20uA V_{IB} ≥ V_{CCB} – 0.4V	1.65V 至 3.6V	2.3V 至 5.5V				V_{CCB} x 0.67			
V_{OLB}	端口 B 输出低电压	I_{OL} = 1mA V_{IB} ≤ 0.15V	1.65V 至 3.6V	2.3V 至 5.5V						0.4	
I_I	输入漏电流	OE V_I = V_{CC} 或 GND	1.65V 至 3.6V	2.3V 至 5.5V			±1			±2	μA
I_{off}	局部关断电流	A 端口	0V	0V 至 5.5V			±1			±2	
	局部关断电流	B 端口	0V 至 3.6V	0V			±1			±2	
I_{OZ}	三态输出电流	A 端口或 B 端口： V_I = V_{CCI} 或 GND V_O = V_{CCO} 或 GND OE = GND	1.65V 至 3.6V	2.3V 至 5.5V	-1		1	-2		2	μA
I_{CCA}	V_{CCA} 电源电流	V_I = V_{CCI} 或 GND I_O = 0	1.65V 至 V_{CCB}	2.3V 至 5.5V						2.4	μA
I_{CCA}	V_{CCA} 电源电流	V_I = V_{CCI} 或 GND I_O = 0	3.6V	0V						2.2	μA
I_{CCA}	V_{CCA} 电源电流	V_I = V_{CCI} 或 GND I_O = 0	0V	5.5V				-2			μA
I_{CCB}	V_{CCB} 电源电流	V_I = V_{CCI} 或 GND I_O = 0	1.65V 至 V_{CCB}	2.3V 至 5.5V						12	μA
I_{CCB}	V_{CCB} 电源电流	V_I = V_{CCI} 或 GND I_O = 0	3.6V	0V				-1			μA
I_{CCB}	V_{CCB} 电源电流	V_I = V_{CCI} 或 GND I_O = 0	0V	5.5V						3	μA
I_{CCA} + I_{CCB}	联合电源电流	V_I = V_{CCI} 或 GND I_O = 0	1.65V 至 V_{CCB}	2.3V 至 5.5V						14.4	μA
C_i	输入电容	OE	3.3V	3.3V		2.5				3.5	pF
C_{io}	输入到输出内部电容	A 端口或 B 端口	3.3V	3.3V		10					pF
C_{io}	输入到输出内部电容	A 端口	3.3V	3.3V		5			6		pF
C_{io}	输入到输出内部电容	B 端口	3.3V	3.3V		6			7.5		pF

(1) V_{CCI} 是与输入端口相关的 V_{CC}
(2) V_{CCA} 必须小于或等于 V_{CCB}，并且 V_{CCA} 不得超过 3.6V。
(3) V_{CCO} 是与输出端口相关的 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.6 开关特性，V_{CCA} = 1.8V ± 0.15V

参数		自	至	测试条件		B 端口电源电压 (V_{CCB})									单位
						2.5 ± 0.2V			3.3 ± 0.3V			5.0 ± 0.5V			
						最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
t_{PHL}	传播延迟（高电平到低电平）	A	B	推挽	-40°C 至 85°C			5.3			5.4			6.8	ns
t_{PHL}	传播延迟（高电平到低电平）	A	B	开漏	-40°C 至 85°C	2.3		8.8	2.4		9.6	2.6		10	ns
t_{PLH}	传播延迟（低电平到高电平）	A	B	推挽	-40°C 至 85°C			6.8			7.1			7.5	ns
t_{PLH}	传播延迟（低电平到高电平）	A	B	开漏	-40°C 至 85°C	45		260	36		208	27		198	ns
t_{PHL}	传播延迟（高电平到低电平）	B	A	推挽	-40°C 至 85°C			4.4			4.5			4.7	ns
t_{PHL}	传播延迟（高电平到低电平）	B	A	开漏	-40°C 至 85°C	1.9		5.3	1.1		4.4	1.2		4	ns
t_{PLH}	传播延迟（低电平到高电平）	B	A	推挽	-40°C 至 85°C			5.3			4.5			0.5	ns
t_{PLH}	传播延迟（低电平到高电平）	B	A	开漏	-40°C 至 85°C	45		175	36		140	27		102	ns
t_{en}	启用时间	OE	A 或 B		-40°C 至 85°C			200			200			200	ns
t_{dis}	禁用时间	OE	A 或 B		-40°C 至 85°C			200			200			200	ns
t_{rA}	输出上升时间	B	A	推挽	-40°C 至 85°C	3.2		9.5	2.3		9.3	2		7.6	ns
t_{rA}	输出上升时间	B	A	开漏	-40°C 至 85°C	38		165	30		132	22		95	ns
t_{rB}	输出上升时间	A	B	推挽	-40°C 至 85°C	4		10.8	2.7		9.1	2.7		7.6	ns
t_{rB}	输出上升时间	A	B	开漏	-40°C 至 85°C	34		145	23		106	10		58	ns
t_{fA}	输出下降时间	B	A	推挽	-40°C 至 85°C	2		5.9	1.9		6	1.7		13.3	ns
t_{fA}	输出下降时间	B	A	开漏	-40°C 至 85°C	4.4		6.9	4.3		6.4	4.2		6.1	ns
t_{fB}	输出下降时间	A	B	推挽	-40°C 至 85°C	2.9		13.8	2.8		16.2	2.8		16.2	ns
t_{fB}	输出下降时间	A	B	开漏	-40°C 至 85°C	6.9		13.8	7.5		16.2	7		16.2	ns

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性，V_{CCA} = 2.5V ± 0.2V

参数		自	至	测试条件		B 端口电源电压 (V_{CCB})									单位
						2.5 ± 0.2V			3.3 ± 0.3V			5.0 ± 0.5V			
						最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
t_{PHL}	传播延迟（高电平到低电平）	A	B	推挽	-40°C 至 85°C			3.2			3.7			3.8	ns
t_{PHL}	传播延迟（高电平到低电平）	A	B	开漏	-40°C 至 85°C	1.7		6.3	2		6	2.1		5.8	ns
t_{PLH}	传播延迟（低电平到高电平）	A	B	推挽	-40°C 至 85°C			3.5			4.1			4.4	ns
t_{PLH}	传播延迟（低电平到高电平）	A	B	开漏	-40°C 至 85°C	43		250	36		206	27		190	ns
t_{PHL}	传播延迟（高电平到低电平）	B	A	推挽	-40°C 至 85°C			3			3.6			4.3	ns
t_{PHL}	传播延迟（高电平到低电平）	B	A	开漏	-40°C 至 85°C	1.8		4.7	2.6		4.2	1.2		4	ns
t_{PLH}	传播延迟（低电平到高电平）	B	A	推挽	-40°C 至 85°C			2.5			1.6			1	ns
t_{PLH}	传播延迟（低电平到高电平）	B	A	开漏	-40°C 至 85°C	44		170	37		140	27		103	ns
t_{en}	启用时间	OE	A 或 B		-40°C 至 85°C			200			200			200	ns
t_{dis}	禁用时间	OE	A 或 B		-40°C 至 85°C			200			200			200	ns
t_{rA}	输出上升时间	B	A	推挽	-40°C 至 85°C	2.8		7.4	2.6		6.6	1.8		5.6	ns
t_{rA}	输出上升时间	B	A	开漏	-40°C 至 85°C	3		149	28		121	24		89	ns
t_{rB}	输出上升时间	A	B	推挽	-40°C 至 85°C	3.2		8.3	2.9		7.2	2.4		6.1	ns
t_{rB}	输出上升时间	A	B	开漏	-40°C 至 85°C	35		151	24		112	12		64	ns
t_{fA}	输出下降时间	B	A	推挽	-40°C 至 85°C	1.9		5.7	1.9		5.5	1.8		5.3	ns
t_{fA}	输出下降时间	B	A	开漏	-40°C 至 85°C	4.4		6.9	4.3		6.2	4.2		5.8	ns
t_{fB}	输出下降时间	A	B	推挽	-40°C 至 85°C	2.2		7.8	2.4		6.7	2.6		6.6	ns
t_{fB}	输出下降时间	A	B	开漏	-40°C 至 85°C	5.1		8.8	5.4		9.4	5.4		10.4	ns

Copyright © 2026 Texas Instruments Incorporated

5.8 开关特性，V_{CCA} = 3.3V ± 0.3V

参数		自	至	测试条件		B 端口电源电压 (V_{CCB})						单位
						3.3 ± 0.3V			5.0 ± 0.5V			
						最小值	典型值	最大值	最小值	典型值	最大值	
t_{PHL}	传播延迟（高电平到低电平）	A	B	推挽	-40°C 至 85°C			2.4			3.1	ns
t_{PHL}	传播延迟（高电平到低电平）	A	B	开漏	-40°C 至 85°C	1.3		4.2	1.4		4.6	ns
t_{PLH}	传播延迟（低电平到高电平）	A	B	推挽	-40°C 至 85°C			4.2			4.4	ns
t_{PLH}	传播延迟（低电平到高电平）	A	B	开漏	-40°C 至 85°C	36		204	28		165	ns
t_{PHL}	传播延迟（高电平到低电平）	B	A	推挽	-40°C 至 85°C			2.5			3.3	ns
t_{PHL}	传播延迟（高电平到低电平）	B	A	开漏	-40°C 至 85°C	1		124	1		97	ns
t_{PLH}	传播延迟（低电平到高电平）	B	A	推挽	-40°C 至 85°C			2.5			2.6	ns
t_{PLH}	传播延迟（低电平到高电平）	B	A	开漏	-40°C 至 85°C	3		139	3		105	ns
t_{en}	启用时间	OE	A 或 B		-40°C 至 85°C			200			200	ns
t_{dis}	禁用时间	OE	A 或 B		-40°C 至 85°C			200			200	ns
t_{rA}	输出上升时间	B	A	推挽	-40°C 至 85°C	2.3		5.6	1.9		4.8	ns
t_{rA}	输出上升时间	B	A	开漏	-40°C 至 85°C	25		116	19		85	ns
t_{rB}	输出上升时间	A	B	推挽	-40°C 至 85°C	2.5		6.4	2.1		7.4	ns
t_{rB}	输出上升时间	A	B	开漏	-40°C 至 85°C	26		116	14		72	ns
t_{fA}	输出下降时间	B	A	推挽	-40°C 至 85°C	2		5.4	1.9		5	ns
t_{fA}	输出下降时间	B	A	开漏	-40°C 至 85°C	4.3		6.1	4.2		5.7	ns
t_{fB}	输出下降时间	A	B	推挽	-40°C 至 85°C	2.3		7.4	2.4		7.6	ns
t_{fB}	输出下降时间	A	B	开漏	-40°C 至 85°C	5		7.6	4.8		8.3	ns

Copyright © 2026 Texas Instruments Incorporated

5.9 开关特性：T_{sk}，T_{MAX}

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件		V_{CCA}	V_{CCB}	自然通风工作温度范围 (T_A)			单位
					-40°C 至 125°C			
					最小值	典型值	最大值	
T_{MAX} - 最大数据速率	50% 占空比输入 单通道开关	推挽驱动	1.8V ± 0.15V	2.5V ± 0.2V			21	Mbps
			1.8V ± 0.15V	3.3V ± 0.3V			22	
			1.8V ± 0.15V	5V ± 0.5V			24	
			2.5V ± 0.2V	2.5V ± 0.2V			20	
			2.5V ± 0.2V	3.3V ± 0.3V			22	
			2.5V ± 0.2V	5V ± 0.5V			24	
			3.3V ± 0.3V	3.3V ± 0.3V			23	
			3.3V ± 0.3V	5V ± 0.5V			24	
		开漏驱动	1.8V ± 0.15V	1.8V ± 0.15V			2	
			1.8V ± 0.15V	2.5V ± 0.2V			2	
			1.8V ± 0.15V	3.3V ± 0.3V			2	
			1.8V ± 0.15V	5V ± 0.5V			2	
			2.5V ± 0.2V	2.5V ± 0.2V			2	
			2.5V ± 0.2V	3.3V ± 0.3V			2	
			2.5V ± 0.2V	5V ± 0.5V			2	
			3.3V ± 0.3V	3.3V ± 0.3V			2	
			3.3V ± 0.3V	5V ± 0.5V			2	
t_w	脉冲持续时间，数据输入	推挽驱动	1.65V 至 3.6V	2.3V 至 5.5V	20			ns
		开漏驱动	1.65V 至 3.6V	2.3V 至 5.5V	500			
t_{sk} - 输出偏斜	同一封装中任意两个输出之间在同一方向上切换的偏差		1.65V 至 3.6V	2.3V 至 5.5V			0.7	ns

Copyright © 2026 Texas Instruments Incorporated

5.10 工作特性：V_{CCA} = 1.5V 至 1.5V，V_{CCB} = 3.3V 至 3.3V

T_A = 25℃ (1)

参数		测试条件	电源电压（V_{CCA} = V_{CCB}，除非另有说明）			单位
			1.8 ± 0.15V	2.5 ± 0.2V	3.3 ± 0.3V	
			典型值	典型值	典型值	
C_{pdA} (2)	A 端口输入，B 端口输出到 B：输出已启用	A 端口 CL = 0、RL = 开路 f = 10MHz t_{rise} = t_{fall} = 1ns	4.1	4.2	4.7	pF
	B 端口输入，A 端口输出到 B：输出已启用		9.0	7.3	7.8	
C_{pdB} (3)	A 端口输入，B 端口输出到 B：输出已启用		11.0	9.9	9.2	
	B 端口输入，A 端口输出到 B：输出已启用		5.6	7.1	7.4	
C_{pdA} (2)	A 端口输入，B 端口输出到 B：输出禁用	B 端口 CL = 0、RL = 开路 f = 10MHz t_{rise} = t_{fall} = 1ns	0.1	0.1	0.1	pF
	B 端口输入，A 端口输出到 B：输出已禁用		0.1	0.1	0.1	
C_{pdB} (3)	A 端口输入，B 端口输出到 B：输出禁用		0.2	0.2	0.2	
	B 端口输入，A 端口输出到 B：输出已禁用		0.2	0.2	0.18	

(1) 有关功率耗散电容如何影响功耗的更多信息，请参阅 *CMOS 功耗和 C_{pd} 计算* 应用说明。
(2) 每个收发器的 A 端口功率耗散电容
(3) 每个收发器的 B 端口功率耗散电容

Copyright © 2026 Texas Instruments Incorporated

5.11 典型特性

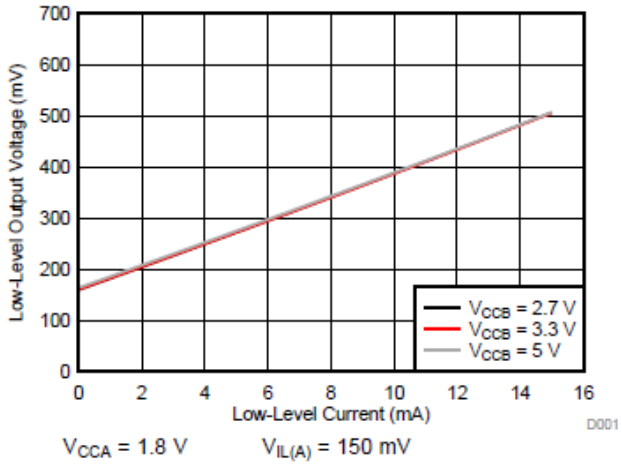


图 5-1. 低电平输出电压 ($V_{OL(Bx)}$) 与低电平电流 ($I_{OL(Bx)}$) 间的关系

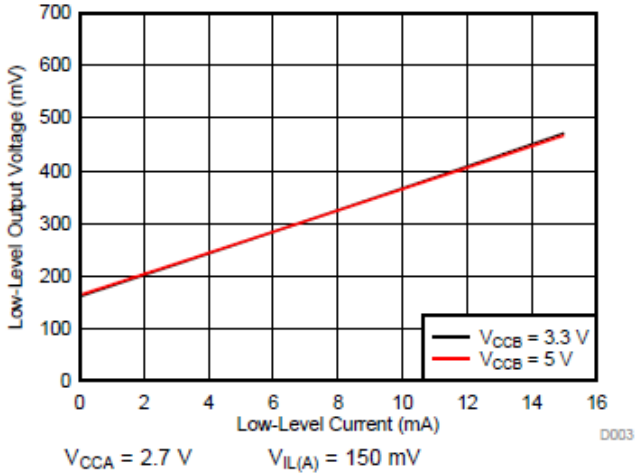


图 5-2. 低电平输出电压 ($V_{OL(Bx)}$) 与低电平电流 ($I_{OL(Bx)}$) 间的关系

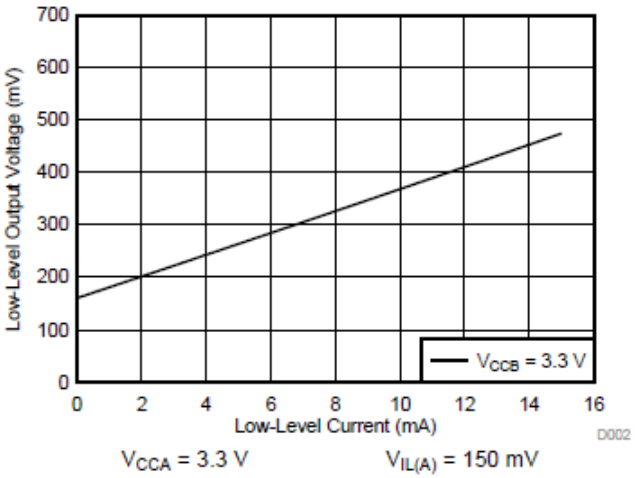


图 5-3. 低电平输出电压 ($V_{OL(Bx)}$) 与低电平电流 ($I_{OL(Bx)}$) 间的关系

Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

除非另有说明，否则所有输入脉冲由具有以下特性的发生器提供：

- PRR 10MHz
- Z_O = 50 Ω
- dv/dt ≥ 1V/ns

备注

并非所有参数和波形都适用于所有器件。

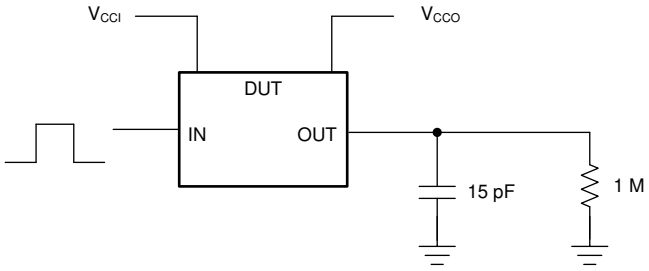


图 6-1. 使用推挽驱动器时的数据速率、脉冲持续时间、传播延迟、输出上升时间和下降时间测量

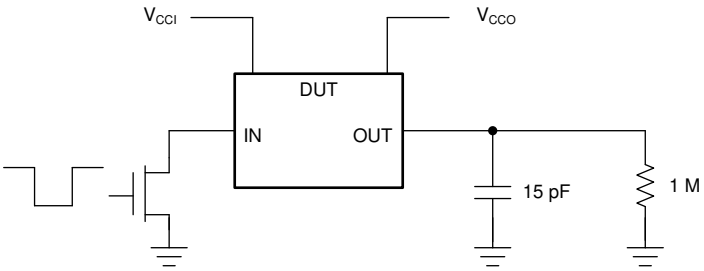


图 6-2. 使用开漏驱动器时的数据速率、脉冲持续时间、传播延迟、输出上升时间和下降时间测量

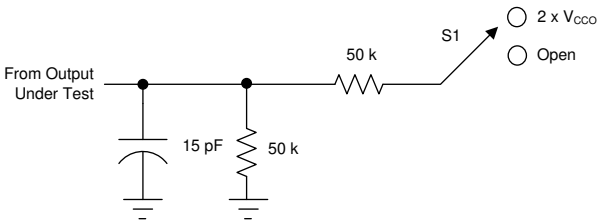


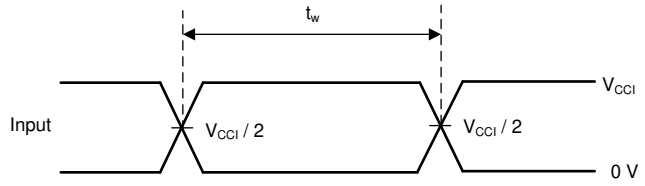
图 6-3. 启用/禁用时间测量的负载电路

表 6-1. 启用/禁用时序的开关配置

测试	S1
t_{PZL} (2)、t_{PLZ} (1)	2 x V_{CCO}
t_{PHZ} (1)、t_{PZH} (2)	开路

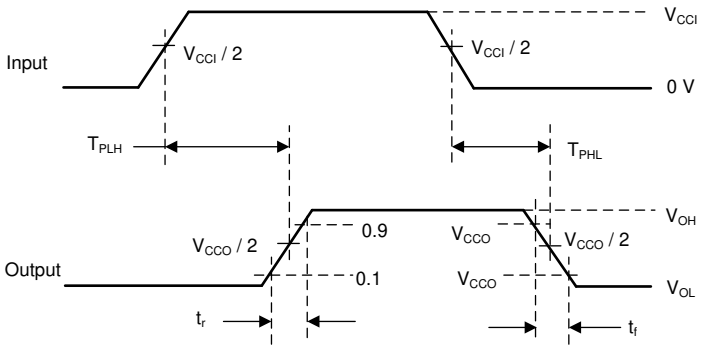
(1) t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
(2) t_{PZL} 和 t_{PZH} 与 t_{en} 一样。

Copyright © 2026 Texas Instruments Incorporated



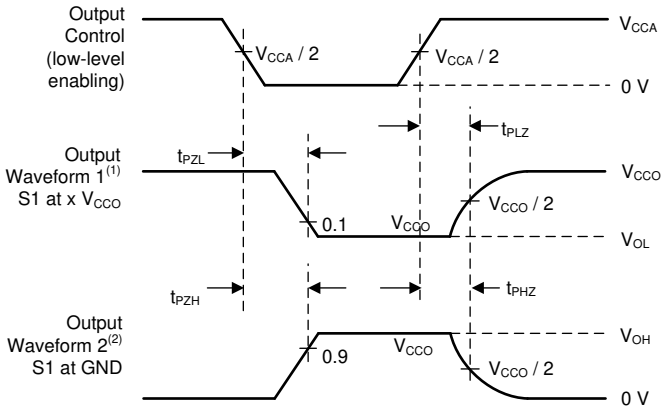
(1) 一次测量所有输入脉冲，每次测量转换一次。

图 6-4. 电压波形脉冲持续时间



(1) 一次测量所有输入脉冲，每次测量转换一次。

图 6-5. 电压波形传播延迟时间



(1) 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。
(2) 波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。

图 6-6. 电压波形启用和禁用时间

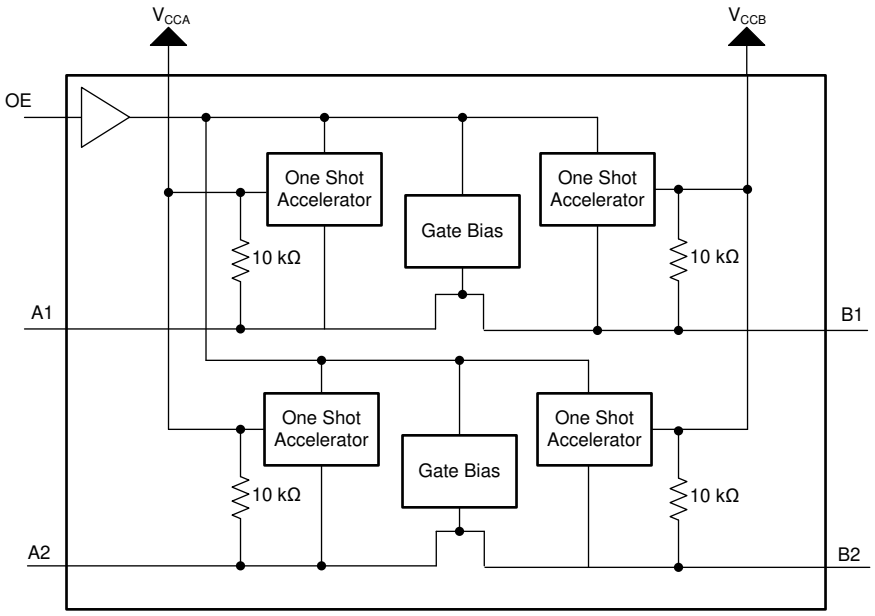
Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

TXS0102 器件是专为转换逻辑电压电平而设计的无方向电压电平转换器。A 端口能够接受的 I/O 电压范围为 1.65V 至 3.6V，B 端口能够接受的 I/O 电压范围为 2.3V 至 5.5V。该器件使用带边沿速率加速器（单稳态）的导通栅极架构来提高整体数据速率。为了方便使用，此器件内已集成 10kΩ 上拉电阻器（通常用在开漏应用中），这样就不再需要外部电阻器了。虽然这款器件设计用于开漏应用，此器件也可转换推挽 CMOS 逻辑输出。

7.2 功能方框图



7.3 特性说明

7.3.1 架构

TXS0102 架构（请参阅图 7-1）是基于自动方向感应的转换器，它不需要方向控制信号来控制从 A 到 B 或从 B 到 A 的数据流方向。

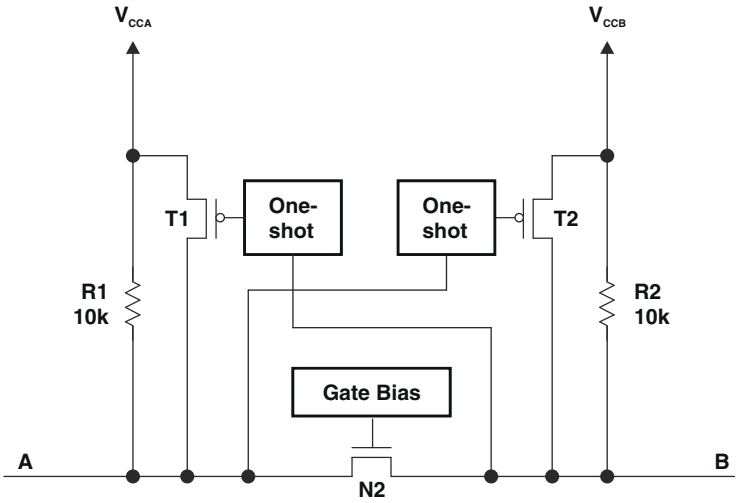


图 7-1. TXS0102 单元的架构

这两个双向通道无需方向控制信号即可独立确定数据流的方向。每个 I/O 引脚均可自动重新配置为输入或输出，这就是自动方向控制功能的实现方式。

TXS0102 器件属于 TI “*开关*”型电压转换器系列，采用两个关键电路来实现这种电压转换：

1. 将 A 端口连接到 B 端口的 N 沟道导通栅极晶体管拓扑
2. 输出单稳态 (O.S.) 边沿速率加速器电路，用于检测和加速 A 或 B 端口的上升沿

对于双向电压转换，器件中包含上拉电阻器以提供直流电流源能力。N 沟道导通晶体管的 V_{GATE} 栅极偏置设置为大约比低压侧的 V_{CC} 电平高出一个阈值电压 (V_T)。数据可以沿任一方向流动，无需控制信号的引导。

O.S 上升沿速率加速器电路通过监控输入边沿的转换来加快输出压摆率，帮助保持器件的数据速率。在从低电平到高电平的信号上升沿期间，O.S. 电路开启 PMOS 晶体管（T1、T2），以在约 30ns 或输入沿 95%（以先发生者为准）的时间内增加驱动器的电流驱动能力。

这种边沿速率加速通过在低电平到高电平转换期间绕过内部 10kΩ 上拉电阻器来提供高交流驱动，从而加快信号速度。在此加速阶段，驱动器的输出电阻降低到大约 50Ω 至 70Ω。为了尽可能降低动态 I_{CC} 和信号争用的可能性，用户应等待 O.S. 电路关闭，然后再向相反方向施加信号。最坏情况下的持续时间等于本数据表 *表 6-1* 部分中提供的最小脉宽数量。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 输入驱动器要求

持续直流电流 *灌入* 能力由连接到 TXS0102 I/O 引脚的外部系统级开漏（或推挽）驱动器决定。由于这些双向 I/O 电路的高带宽用于促进从输入到输出以及从输出到输入的快速变化，因此它们的直流*拉电流* 能力一般，为数百微安，具体取决于内部 10kΩ 上拉电阻。

信号的下降时间 (t_{fA}, t_{fB}) 取决于外部器件（驱动 TXS0102 的数据 I/O）的边沿速率和输出阻抗，以及数据线上的容性负载。

相似地，t_{PHL} 和最大数据速率也取决于外部驱动器的输出阻抗。数据表中的 t_{fA}、t_{fB}、t_{PHL} 的值和最大数据速率假定外部驱动器的输出阻抗小于 50Ω。

7.3.3 输出负载注意事项

TI 建议采用较短的 PCB 布线长度进行仔细的 PCB 布局，以避免过多容性负载并确保发生正确的 O.S. 触发。PCB 信号布线长度必须保持足够短，以使任何反射的往返延迟小于单稳态持续时间，从而导致任一反射在源驱动器上遇到低阻抗。O.S. 电路设计为保持约 30ns 时间。可驱动的集总负载的最大电容也直接取决于单稳态持续时间。

对于非常重的容性负载，在信号完全驱动到正电源轨之前，单稳态可能会超时。已设置 O.S. 持续时间，以在动态 ICC、负载驱动能力和最大比特率这些注意事项之间实现更好的权衡。PCB 布线长度和连接器都增加了 TXS0102 器件输出的电容，因此建议考虑此集总负载电容，以避免 O.S. 再触发、总线争用、输出信号振荡或其他不利的系统级影响。

7.3.4 启用和禁用

TXS0102 器件具有一个通过将 OE 设定为低电平来禁用器件的 OE 输入，这将所有 I/O 置于高阻抗状态。禁用时间 (t_{dis}) 表示 OE 引脚变为低电平与输出实际进入高阻抗状态之间的延迟。启用时间 (t_{en}) 表示 OE 变为高电平之后，用户必须使单稳态电路变为可用的时间量。

7.3.5 I/O 线路上的上拉或下拉电阻

每个 A 端口 I/O 具有一个针对 V_{CCA} 的内部 10kΩ 上拉电阻器，而每个 B 端口 I/O 具有一个针对 V_{CCB} 的内部 10kΩ 上拉电阻器。如果需要更小值的上拉电阻器，必须在 I/O 与 V_{CCA} 或 V_{CCB} 之间添加一个外部电阻器（与内部 10kΩ 电阻器并联）。但是，增加较低值的上拉电阻会影响 V_{OL} 电平。当 OE 引脚为低电平时，TXS0102 的内部上拉电阻被禁用。

7.4 器件功能模式

此器件有两种功能模式：启用和禁用。为了禁用此器件，将 OE 输入设定为低电平，这样将所有 I/O 置于高阻抗状态。将 OE 输入设定为高电平将启用此器件。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TXS0102 器件可用于弥合两个电压节点之间的数字开关兼容性差距，从而成功连接电子系统中的逻辑阈值电平。它应该用于点对点拓扑结构中，用于将在不同接口电压下运行的器件或系统相互连接起来。其主要目标应用用于连接数据 I/O 上的开漏驱动器，例如 I^2C 或 1 线，其中数据是双向的，没有可用的控制信号。该器件也可用于推挽驱动器被接至数据 I/O 的应用，但是对于此类推挽应用，TXB0102 也许是一个更好的选择。

8.2 典型应用

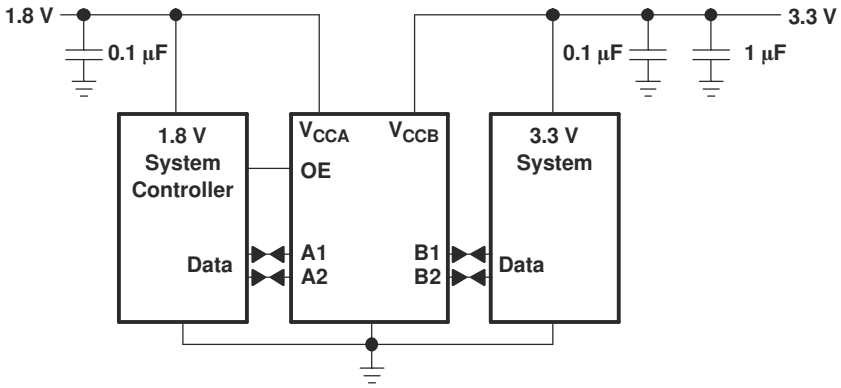


图 8-1. 典型应用电路

8.2.1 设计要求

对于这个设计示例，请使用表 8-1 中列出的参数。并确保 $V_{CCA} \leq V_{CCB}$。

表 8-1. 设计参数

设计参数	示例值
输入电压范围	1.65V 至 3.6V
输出电压范围	2.3V 至 5.5V

Copyright © 2026 Texas Instruments Incorporated

8.2.2 详细设计过程

要开始设计过程，请确定以下内容：

- 输入电压范围：
  - 使用正在驱动 TXS0102 器件的器件电源电压来确定输入电压范围。要获得有效的逻辑高电平，此值必须超过输入端口的 VIH。要获得有效的逻辑低电平，此值必须小于输入端口的 VIL。
- 输出电压范围：
  - 使用 TXS0102 器件正在驱动的器件电源电压来确定输出电压范围。
  - TXS0102 器件具有 10kΩ 内部上拉电阻器。如果需要的话，可增加外部上拉电阻器来减少信号迹线上的总 RC。
  - 一个外部下拉电阻器减少输出 VOH 和 VOL。使用方程式 1 来计算由外部下拉电阻器产生的 VOH。

$$V_{OH} = V_{CCx} \times R_{PD} / (R_{PD} + 10kq) \quad (1)$$

其中：

- V_{CCx} 是 V_{CCA} 或 V_{CCB} 上的电源电压
- R_{PD} 是外部下拉电阻器的值

8.2.3 应用曲线

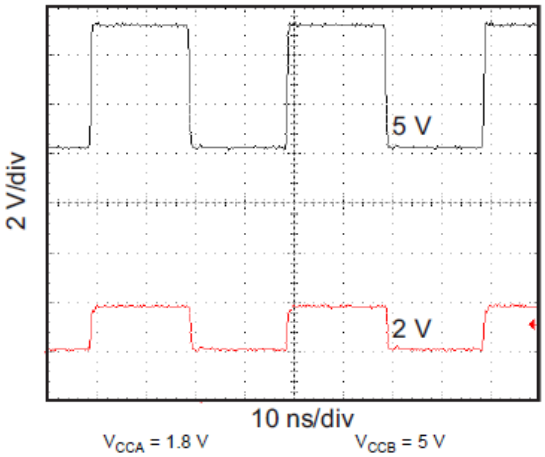


图 8-2. 2.5MHz 信号的电平转换

8.3 电源相关建议

运行期间，确保 $V_{CCA} \leq V_{CCB}$ 始终成立。在上电运行期间，每个电源的时序不会损坏器件，因此任一电源都可以首先斜升。输出使能 (OE) 输入电路被设计成由 V_{CCA} 供电，并且当 (OE) 输入为低电平时，所有输出被置于高阻抗状态。为了在加电或断电期间将输出置于高阻抗状态，通过一个下拉电阻器将 OE 输入引脚接至 GND，并且在 V_{CCA} 和 V_{CCB} 完全斜升且稳定前一定不能被启用。驱动器的拉电流能力确定了下拉接地电阻器的最小值。

Copyright © 2026 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

为确保器件的可靠性，建议遵循以下常见的印刷电路板布局布线指南：

- 应在电源上使用旁路电容器，并应尽可能靠近 V_{CCA}、V_{CCB} 引脚和 G_{ND} 引脚放置。
- 为了避免过多负载，应该使用短布线。
- PCB 信号布线长度必须保持足够短，以使任何反射的往返延迟小于单稳态持续时间，大约为 30ns，从而导致任一反射在源驱动器上遇到低阻抗。

8.4.2 布局示例

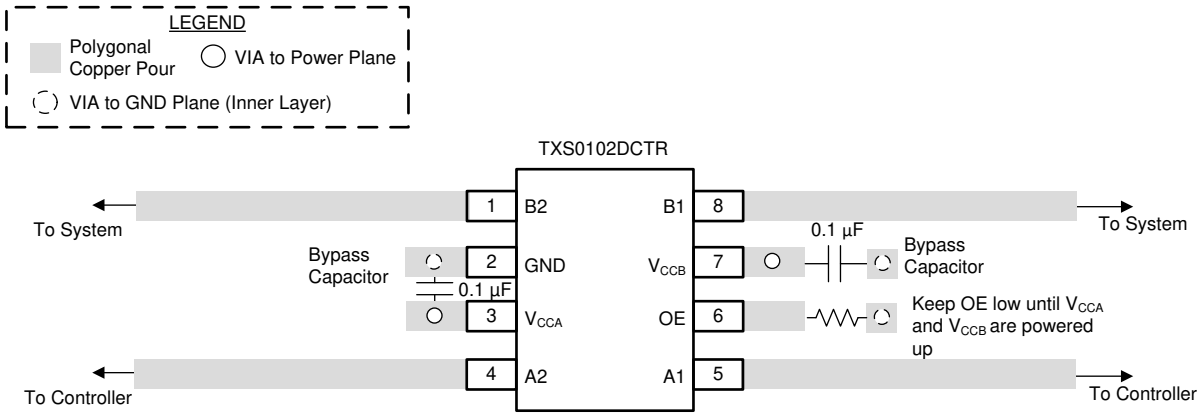


图 8-3. TXS0102 布局示例

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*使用 TXS 型转换器进行电压转换的指南* 应用手册
- 德州仪器 (TI)，*TXS 和 LSF 自动双向转换器件的 VOL 影响因素* 应用手册
- 德州仪器 (TI)，*TXS、TXB 和 LSF 自动双向转换器的偏置要求* 应用手册
- 德州仪器 (TI)，*上拉和下拉电阻器对 TXS 和 TXB 器件的影响* 应用手册
- 德州仪器 (TI)，*逻辑简介* 应用手册
- 德州仪器 (TI)，*TI 逻辑和线性产品指南* 选择和解决方案指南
- 德州仪器 (TI)，*洗衣机解决方案指南* 选择和解决方案指南
- 德州仪器 (TI)，*TI 智能手机解决方案指南* 选择和解决方案指南

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

NanoStar™ is a trademark of Texas Instruments Incorporated.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision K (August 2025) to Revision L (January 2026)	Page
• 添加了 YZP 封装的热性能信息	5

Changes from Revision J (July 2023) to Revision K (August 2025)	Page
• 更新了所有封装的热性能，删除了 YZP 封装热性能信息，并添加了 DTT 热性能信息	5
• 更新了 ICCA/ICCB 的降低	6
• 值已更新	7
• 值已更新	8
• 值已更新	9

Changes from Revision I (August 2018) to Revision J (July 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TXS0102DCTR	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTR.A	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTR.B	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTRE4	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTRE4.A	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTRE4.B	Active	Production	SSOP (DCT) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTT	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTT.B	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35UT, NFE) (R, Z)
TXS0102DCTTE4	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTTE4.B	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTTG4	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCTTG4.B	Active	Production	SSOP (DCT) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFE (R, Z)
TXS0102DCUR	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(35ST, FE, NFEQ, NFER) NZ
TXS0102DCUR.A	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35ST, FE, NFEQ, NFER) NZ
TXS0102DCUR.B	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(35ST, FE, NFEQ, NFER) NZ
TXS0102DCURG4	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TXS0102DCURG4.A	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DCURG4.B	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DCUT	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(FE, NFEQ, NFER) NZ
TXS0102DCUT.A	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(FE, NFEQ, NFER) NZ
TXS0102DCUT.B	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(FE, NFEQ, NFER) NZ
TXS0102DCUTG4	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DCUTG4.A	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DCUTG4.B	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFER
TXS0102DQER	Active	Production	X2SON (DQE) | 8	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H
TXS0102DQER.A	Active	Production	X2SON (DQE) | 8	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H
TXS0102DQER.B	Active	Production	X2SON (DQE) | 8	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H
TXS0102DQMR	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMR.A	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMR.B	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMRG4	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMRG4.A	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DQMRG4.B	Active	Production	X2SON (DQM) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	2H (2H7, 2HR) (2HG, 2HH)
TXS0102DTTR	Active	Production	X1SON (DTT) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	3HOH
TXS0102YZPR	Active	Production	DSBGA (YZP) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2H
TXS0102YZPR.B	Active	Production	DSBGA (YZP) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2H

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXS0102 :

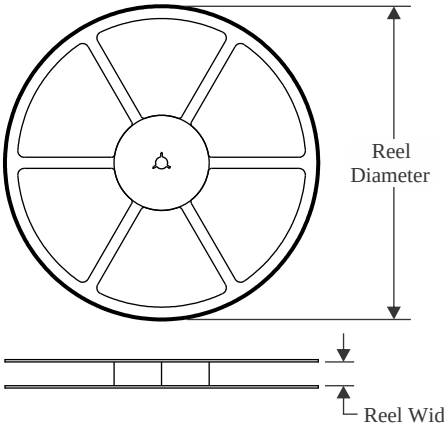
- Automotive : TXS0102-Q1

NOTE: Qualified Version Definitions:

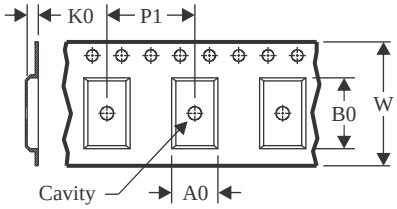
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

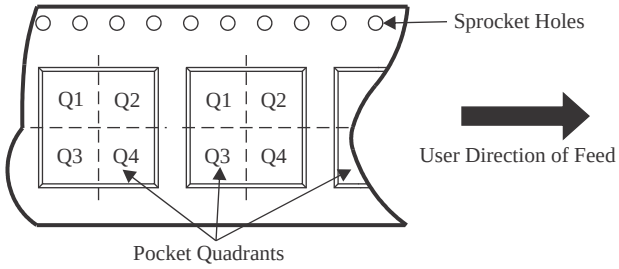


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

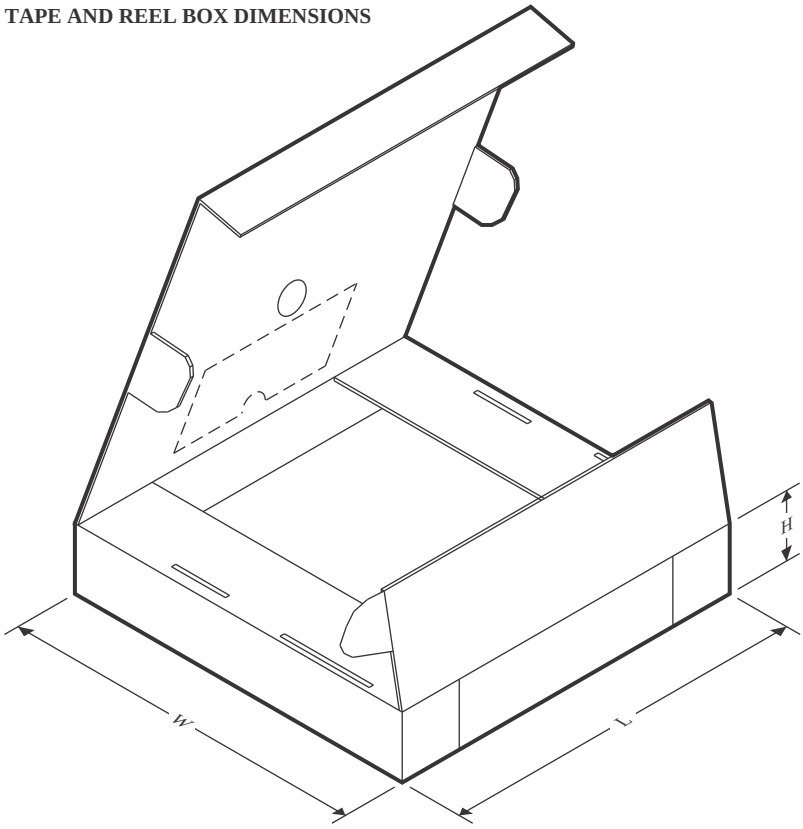
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXS0102DCTR	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
TXS0102DCTRE4	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
TXS0102DCTT	SSOP	DCT	8	250	180.0	12.4	3.15	4.35	1.55	4.0	12.0	Q3
TXS0102DCTTE4	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
TXS0102DCTTG4	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
TXS0102DCUR	VSSOP	DCU	8	3000	180.0	9.0	2.25	3.4	1.0	4.0	8.0	Q3
TXS0102DCUR	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
TXS0102DCURG4	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
TXS0102DCUTG4	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
TXS0102DQER	X2SON	DQE	8	5000	180.0	8.4	1.2	1.6	0.55	4.0	8.0	Q1
TXS0102DQMR	X2SON	DQM	8	3000	180.0	8.4	1.57	2.21	0.59	4.0	8.0	Q1
TXS0102DQMR	X2SON	DQM	8	3000	180.0	9.5	1.4	2.0	0.5	4.0	8.0	Q1
TXS0102DQMRG4	X2SON	DQM	8	3000	180.0	9.5	1.4	2.0	0.5	4.0	8.0	Q1
TXS0102DQMRG4	X2SON	DQM	8	3000	180.0	8.4	1.57	2.21	0.59	4.0	8.0	Q1
TXS0102DTTR	X1SON	DTT	8	5000	180.0	8.4	1.15	2.1	0.48	4.0	8.0	Q1
TXS0102YZPR	DSBGA	YZP	8	3000	180.0	8.4	1.02	2.02	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

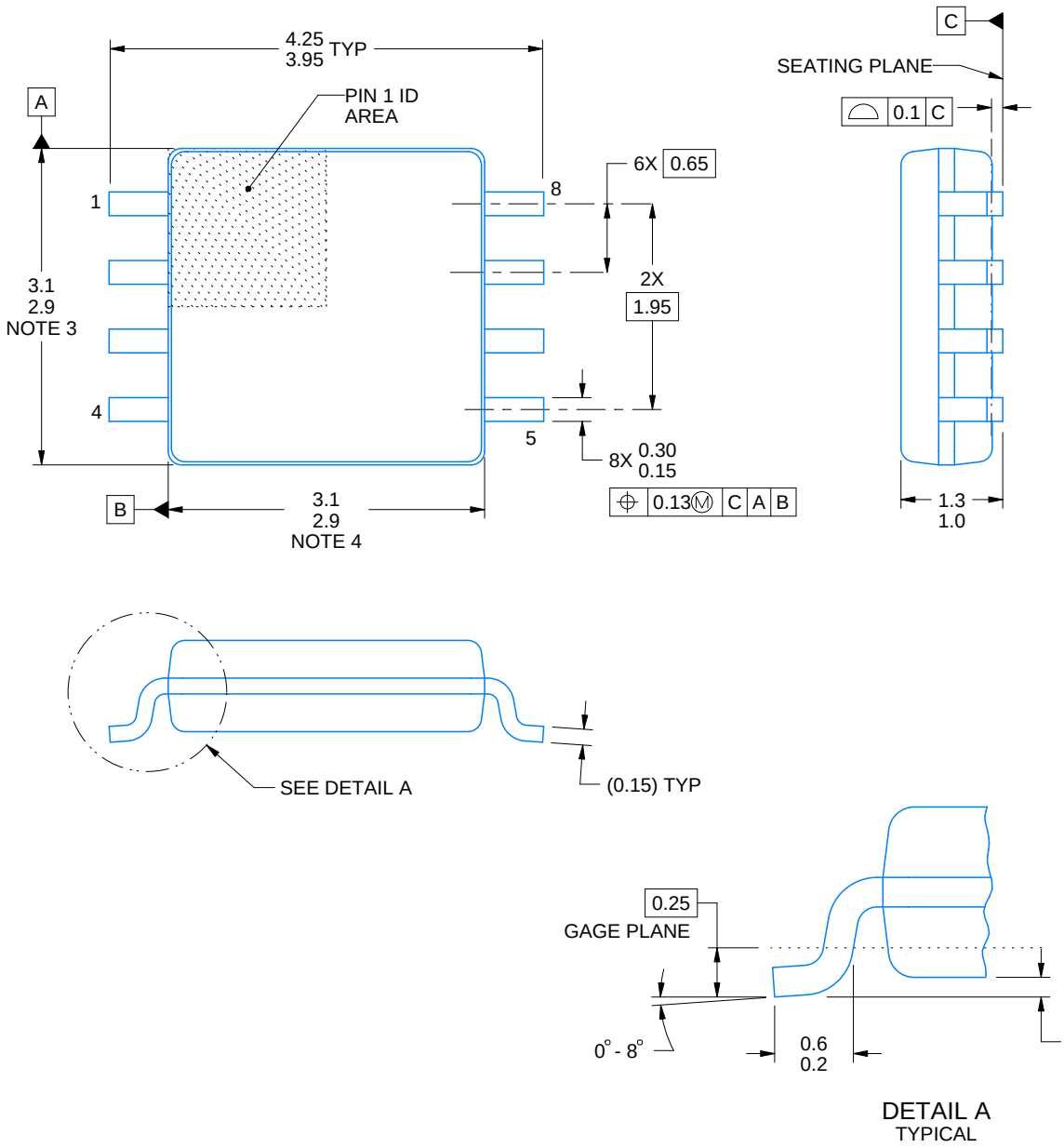
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXS0102DCTR	SSOP	DCT	8	3000	183.0	183.0	20.0
TXS0102DCTRE4	SSOP	DCT	8	3000	183.0	183.0	20.0
TXS0102DCTT	SSOP	DCT	8	250	190.0	190.0	30.0
TXS0102DCTTE4	SSOP	DCT	8	250	183.0	183.0	20.0
TXS0102DCTTG4	SSOP	DCT	8	250	183.0	183.0	20.0
TXS0102DCUR	VSSOP	DCU	8	3000	182.0	182.0	20.0
TXS0102DCUR	VSSOP	DCU	8	3000	202.0	201.0	28.0
TXS0102DCURG4	VSSOP	DCU	8	3000	202.0	201.0	28.0
TXS0102DCUTG4	VSSOP	DCU	8	250	202.0	201.0	28.0
TXS0102DQER	X2SON	DQE	8	5000	202.0	201.0	28.0
TXS0102DQMR	X2SON	DQM	8	3000	202.0	201.0	28.0
TXS0102DQMR	X2SON	DQM	8	3000	184.0	184.0	19.0
TXS0102DQMRG4	X2SON	DQM	8	3000	184.0	184.0	19.0
TXS0102DQMRG4	X2SON	DQM	8	3000	202.0	201.0	28.0
TXS0102DTTR	X1SON	DTT	8	5000	210.0	185.0	35.0
TXS0102YZPR	DSBGA	YZP	8	3000	182.0	182.0	20.0

PACKAGE OUTLINE

DCT0008A

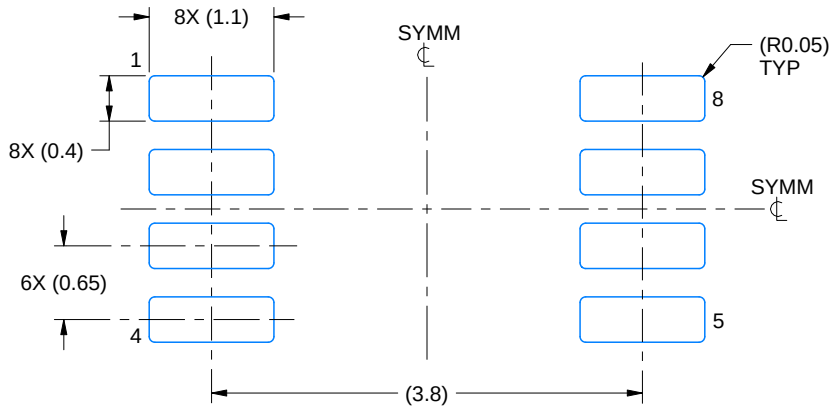
SSOP - 1.3 mm max height

SMALL OUTLINE PACKAGE

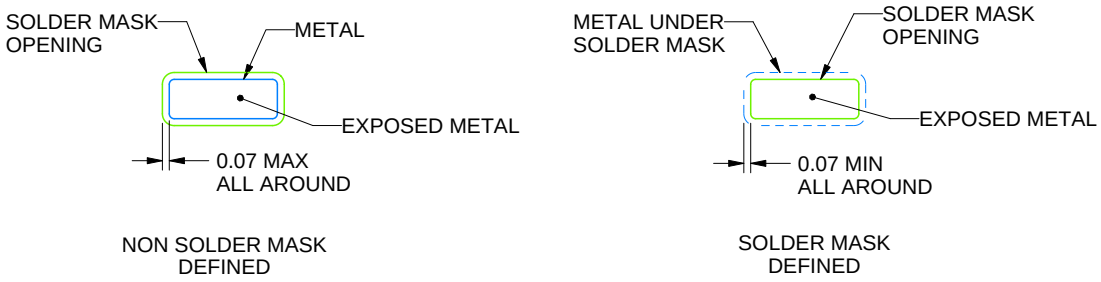


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

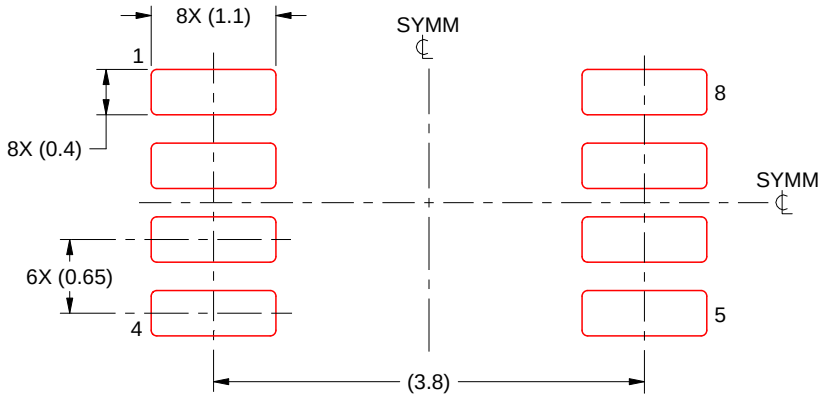


SOLDER MASK DETAILS

4220784/D 10/2025

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4220784/D 10/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

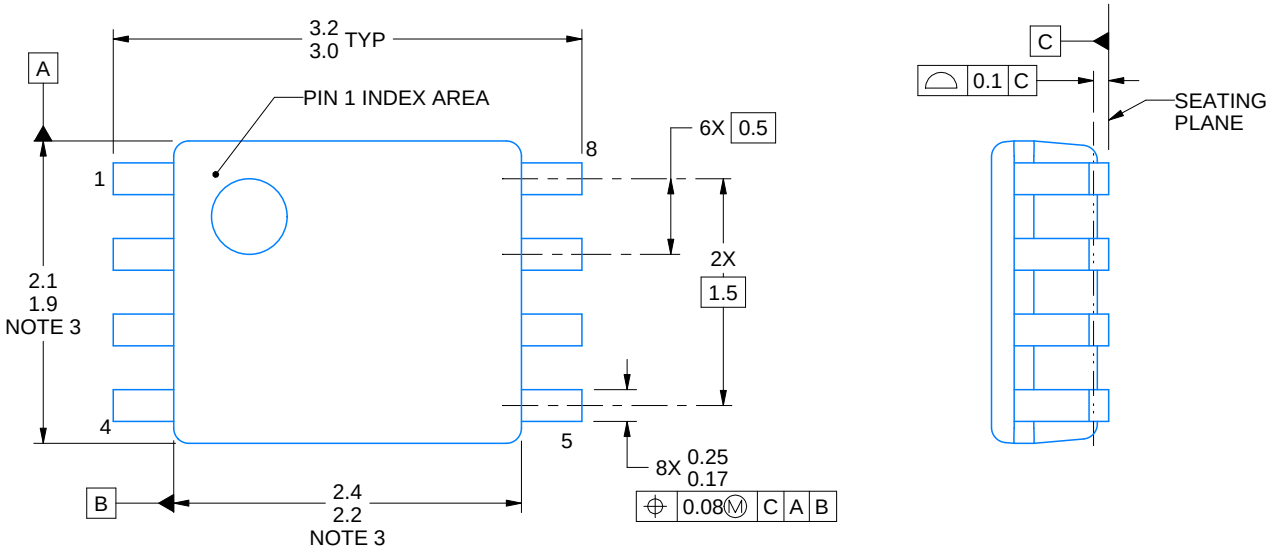
DCU0008A

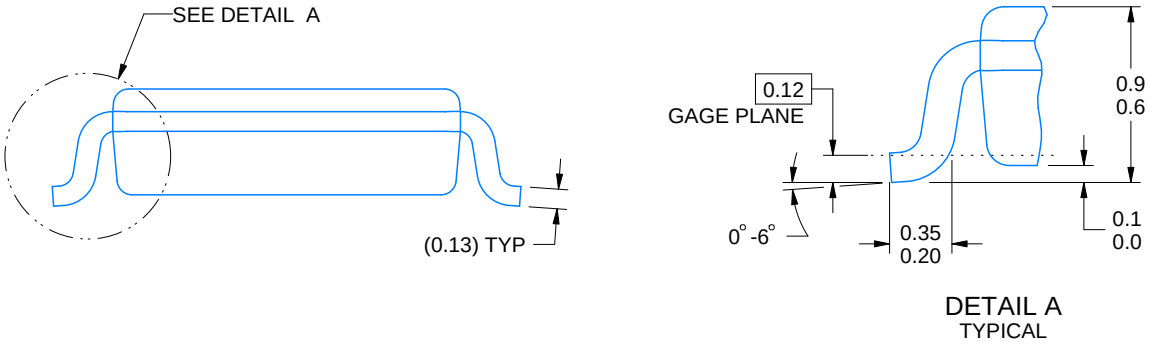


PACKAGE OUTLINE

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE

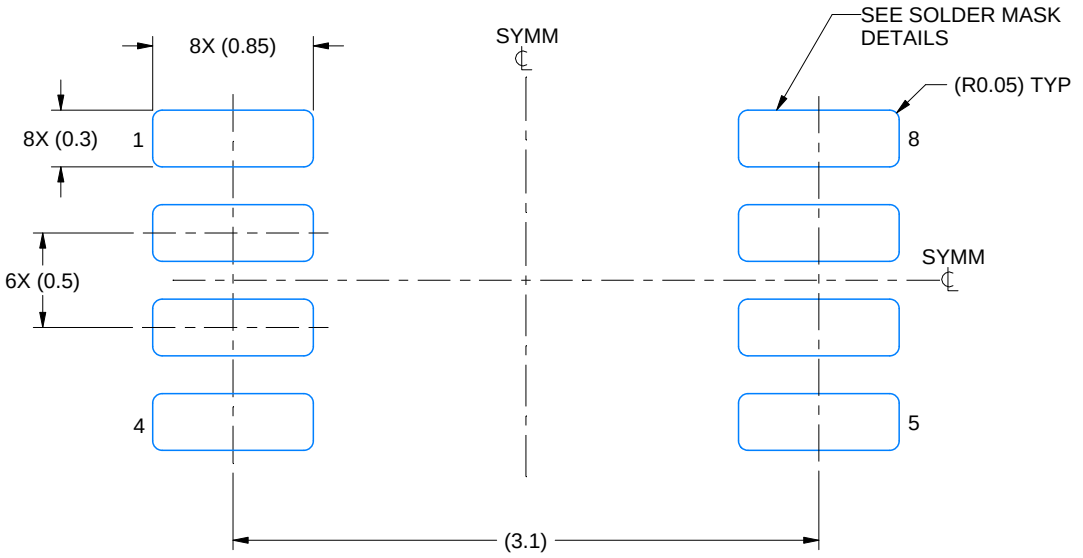




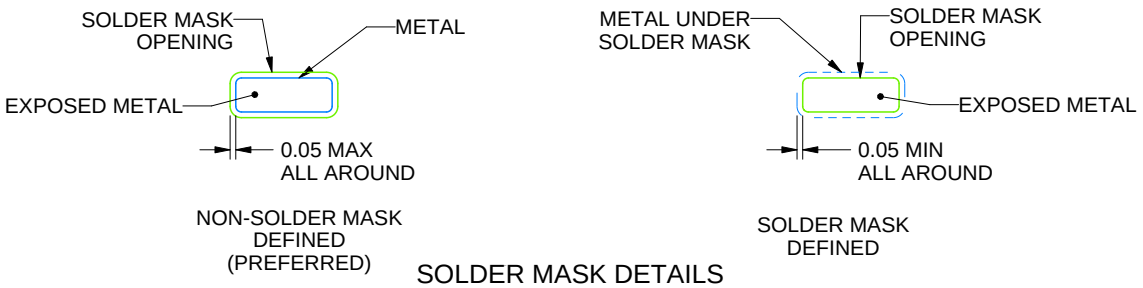
4225266/A 09/2014

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-187 variation CA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

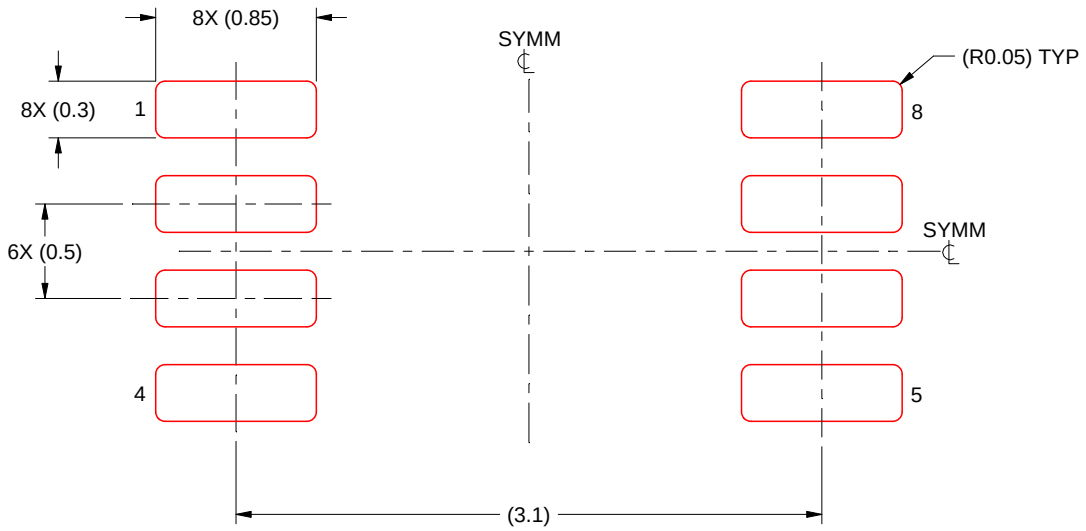


SOLDER MASK DETAILS

4225266/A 09/2014

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



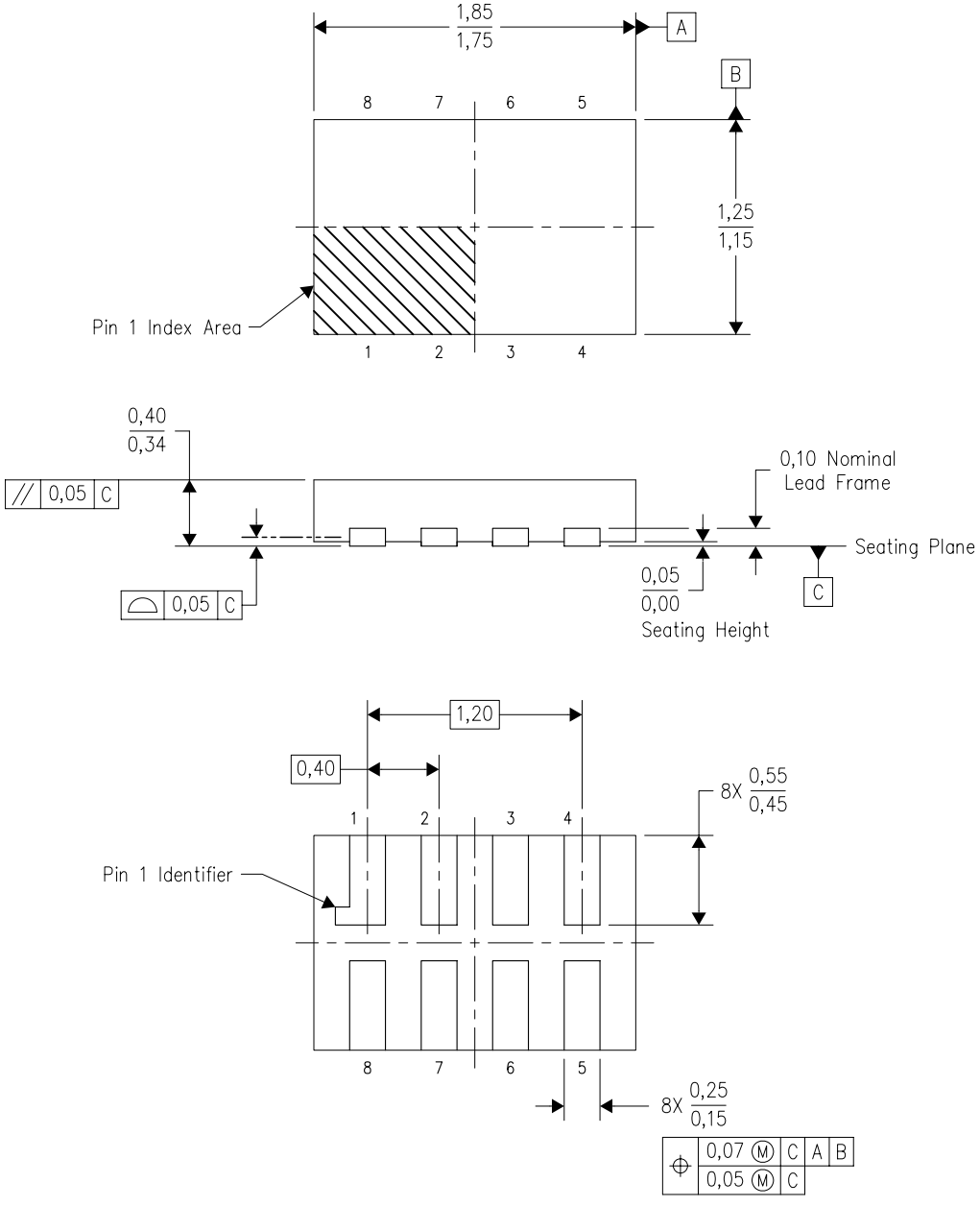
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

4225266/A 09/2014

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DQM (R–PX2SON–N8) PLASTIC SMALL OUTLINE NO–LEAD

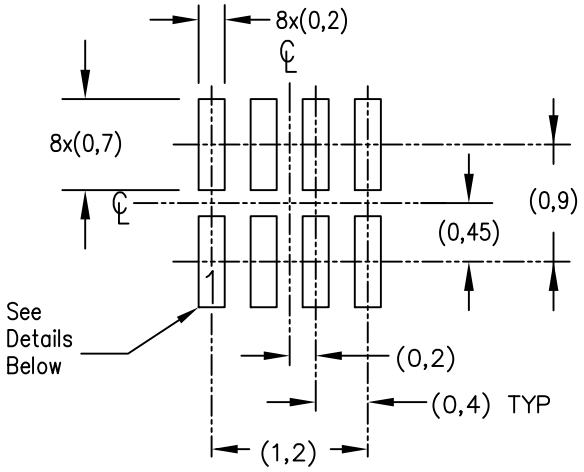


4210302/A 06/2009

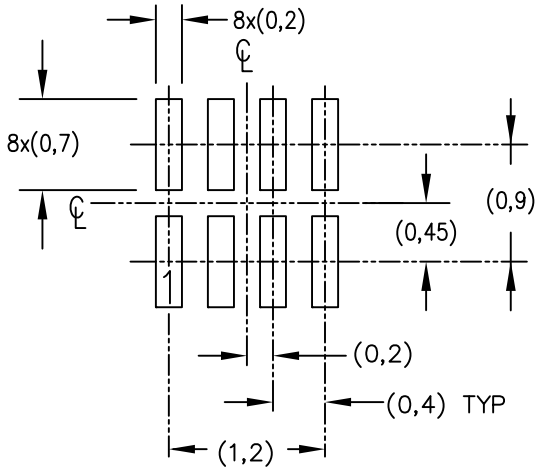
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. SON (Small Outline No–Lead) package configuration.

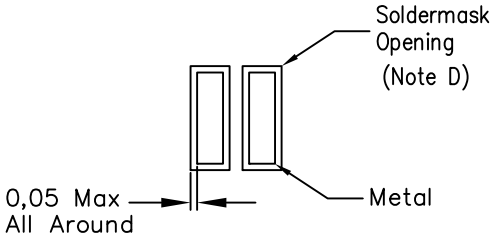
DQM (R–PX2SON–N8) PLASTIC SMALL OUTLINE NO–LEAD

Example Board Layout

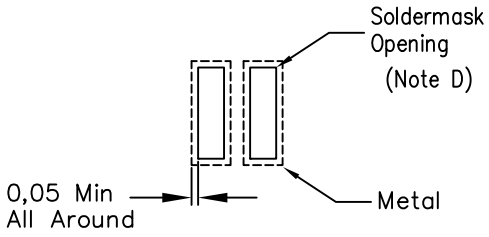


Example Stencil Design
0.1mm Thick Stencil
(Note C)





Non Solder Mask Defined Pad



Solder Mask Defined Pad

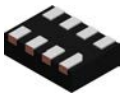
Solder Mask Details

4218746/A 07/13

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
D. Customers should contact their board fabrication site for recommended solder mask tolerances.

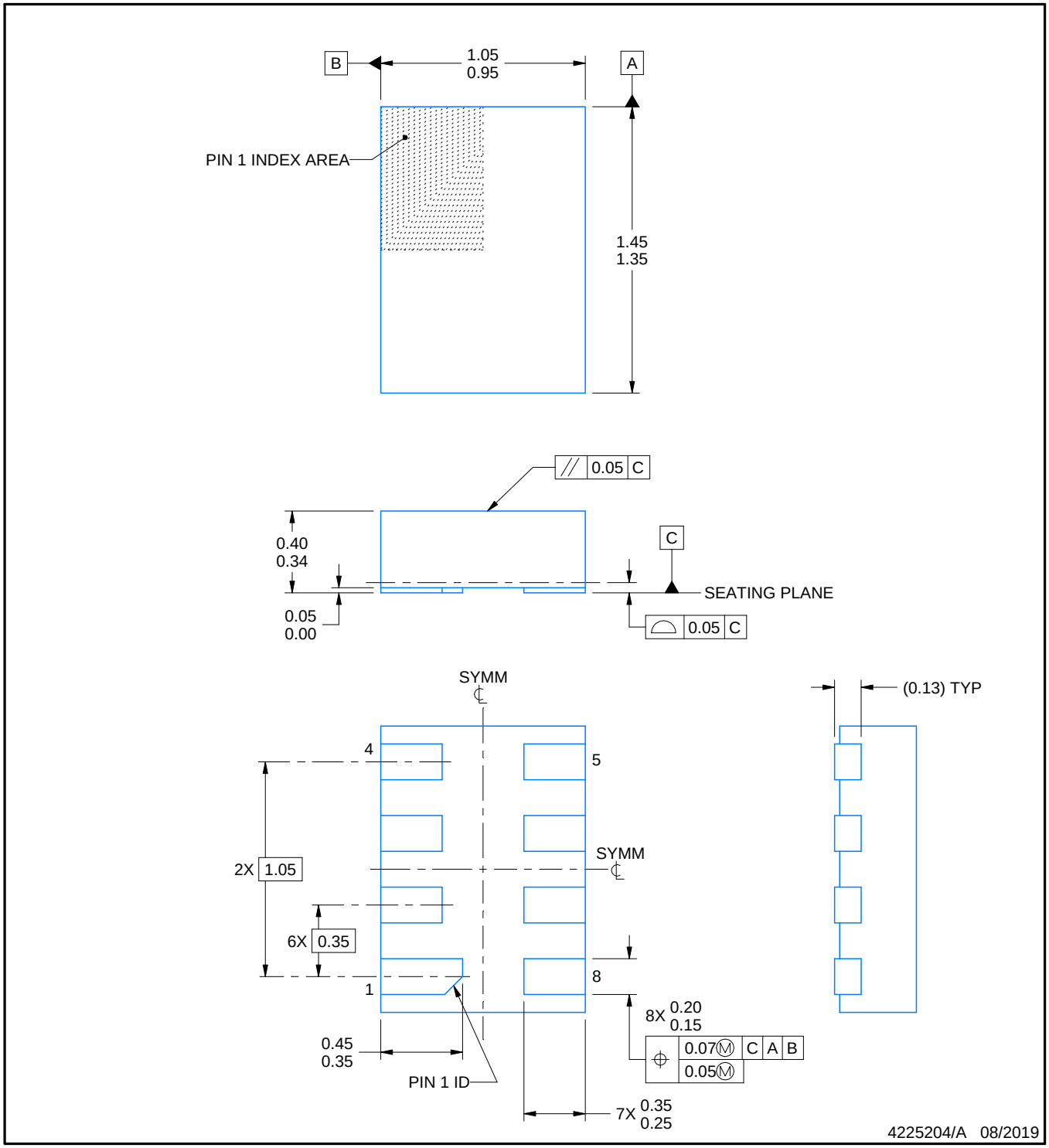
PACKAGE OUTLINE

DQE0008A



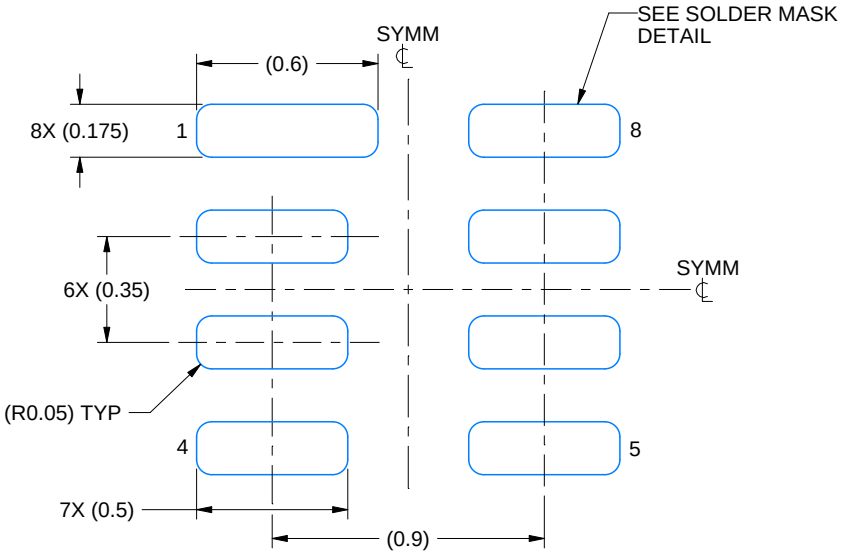
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

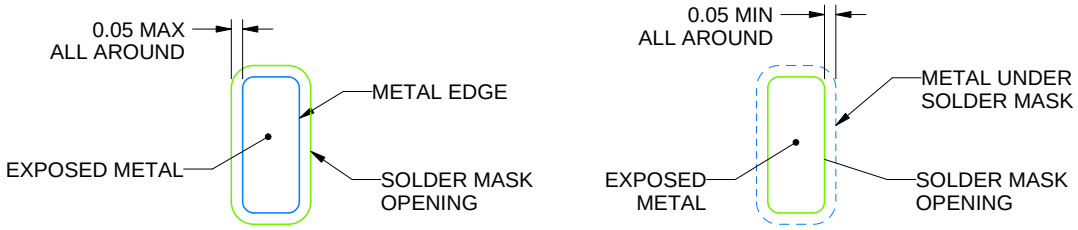


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package complies to JEDEC MO-287 variation X2EAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

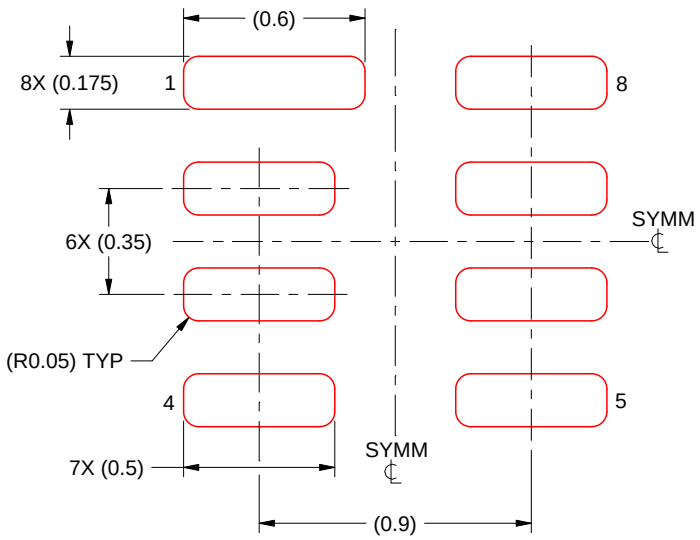


SOLDER MASK DETAILS

4225204/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



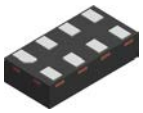
SOLDER PASTE EXAMPLE
BASED ON 0.075 MM THICK STENCIL
SCALE: 40X

4225204/A 08/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

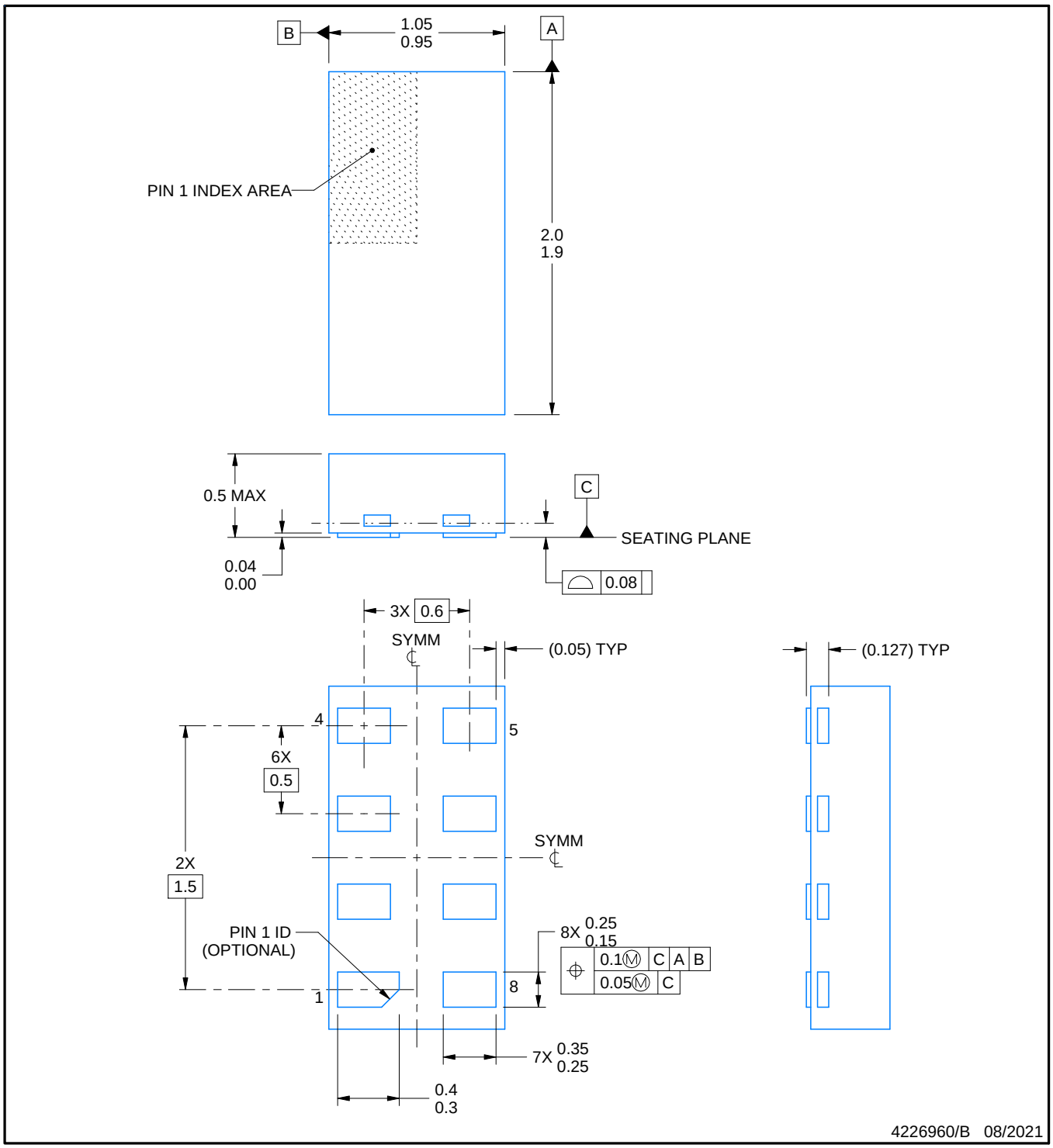
DTT0008A



PACKAGE OUTLINE

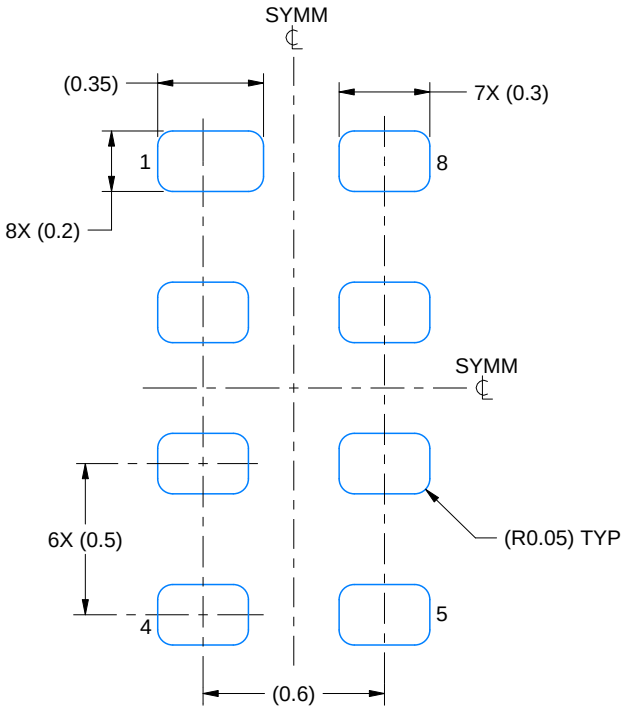
X1SON - 0.5 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

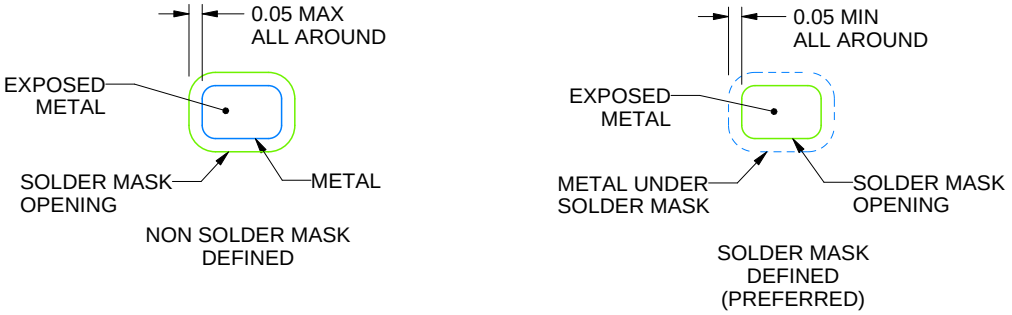


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X

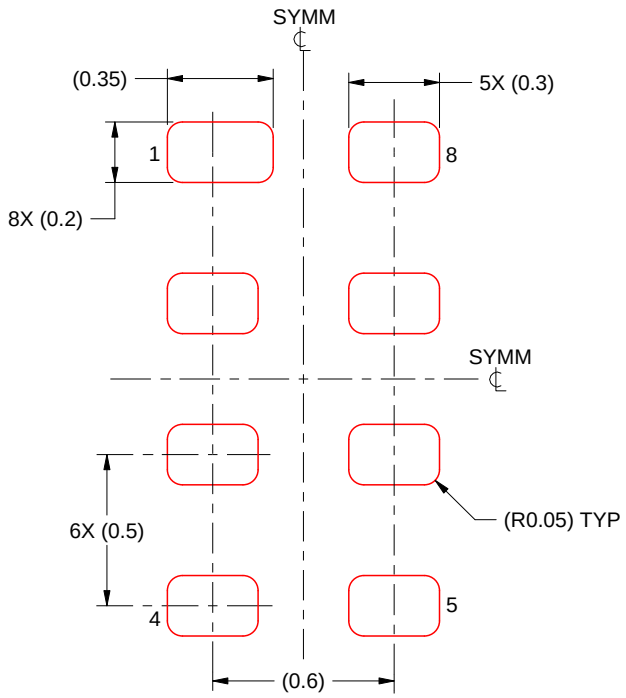


SOLDER MASK DETAILS

4226960/B 08/2021

NOTES: (continued)

3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4226960/B 08/2021

NOTES: (continued)

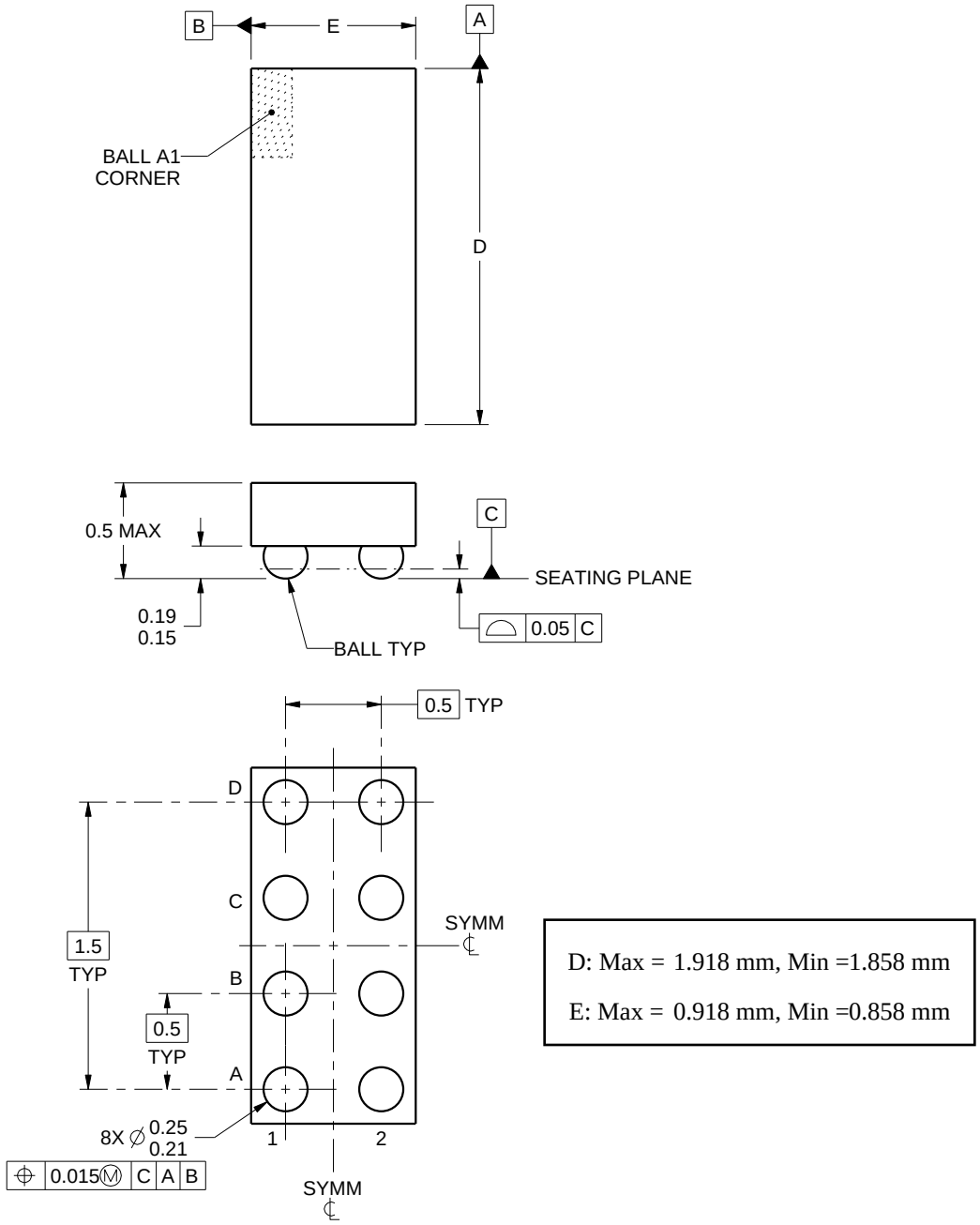
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

YZP0008

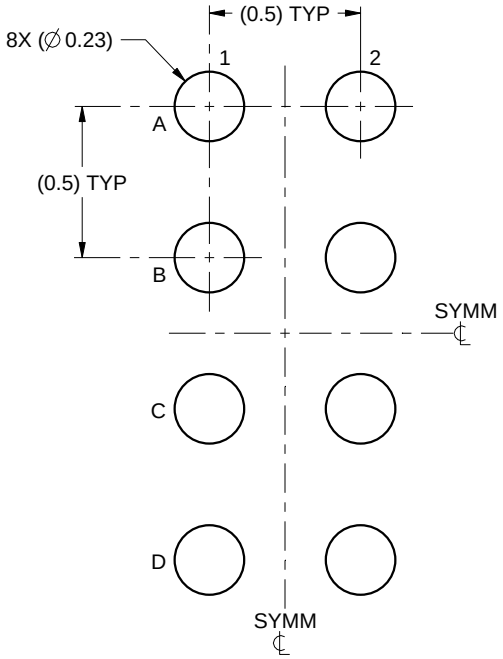
DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY

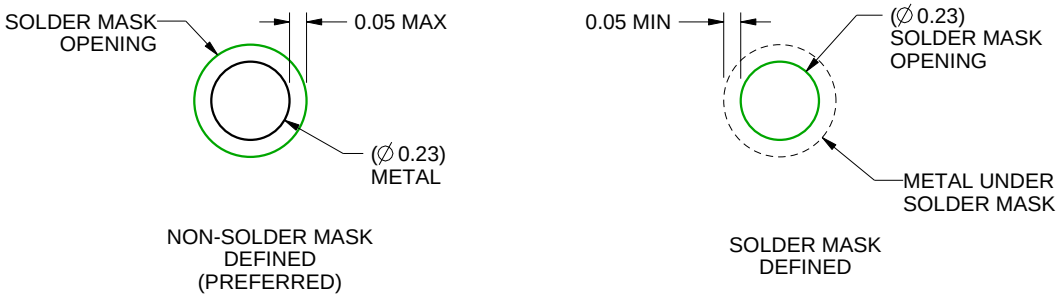


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:40X

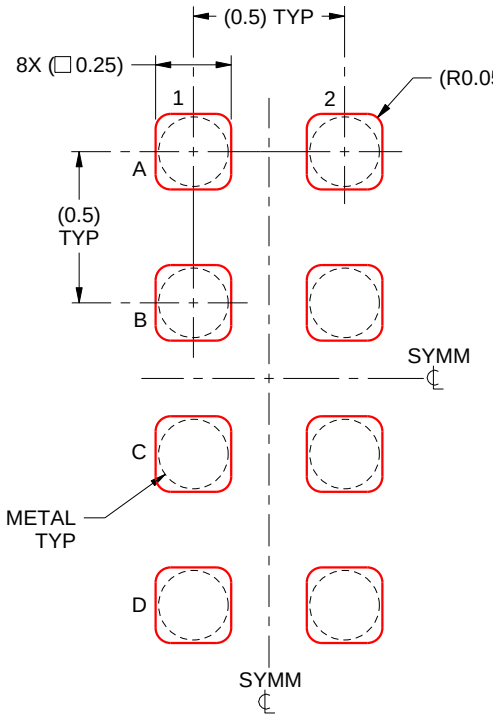


SOLDER MASK DETAILS
NOT TO SCALE

4223082/A 07/2016

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4223082/A 07/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月