LMV3xxA 低电压轨到轨输出运算放大器

1 特性

- 低输入失调电压：±1mV
- 轨到轨输出
- 单位增益带宽：1MHz
- 低宽带噪声：30nV/ $\sqrt{Hz}$
- 低输入偏置电流：10pA
- 低静态电流：70μA/通道
- 单位增益稳定
- 内置 RFI 和 EMI 滤波器
- 可在电源电压低至 2.5V 的情况下运行
- 由于具有电阻式开环输出阻抗，因此在较高的电容性负载下更易稳定
- 工作温度范围：-40°C 至 125°C

2 应用

- 烟雾探测器
- 运动检测器
- 可穿戴设备
- 大型和小型家用电器
- EPOS
- 条形码扫描仪
- 传感器信号调节
- 电源模块
- 个人电子产品
- 有源滤波器
- HVAC：暖通空调
- 电机控制：交流感应
- 低侧电流检测

3 说明

LMV3xxA 系列包括单通道 (LMV321A)、双通道 (LMV358A) 和四通道 (LMV324A) 低压 (2.5V 至 5.5V) 运算放大器，具有轨到轨输出摆幅能力。这些运算放大器为空间受限、需要低压运行和高容性负载驱动的应用 (例如大型电器、烟雾探测器和个人电子产品) 提供了具有成本效益的解决方案。LMV3xxA 系列的容性负载驱动能力为 500pF，而电阻式开环输出阻抗使其可在远高于此的容性负载下更轻松实现稳定。这些运算放大器专为低工作电压(2.5V 至 5.5V)而设计，性能规格类似于 LMV3xx 器件。

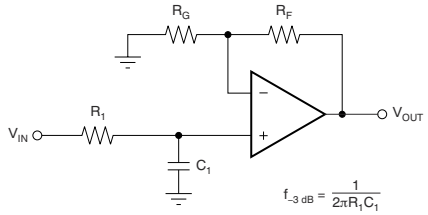
LMV3xxA 系列的稳健设计简化了电路设计。这些运算放大器具有单位增益稳定性，集成了 RFI 和 EMI 抑制滤波器，并且在过驱情况下不会出现相位反转。

LMV3xxA 系列采用业界通用封装 (如 SOIC、MSOP、SOT-23 和 TSSOP 封装)。

封装信息

器件型号	封装(1)	封装大小(2)
LMV321A	DBV (SOT-23，5)	2.9mm × 2.8mm
	DCK (SC70，5)	2mm × 2.1mm
LMV358A	D (SOIC，8)	4.9mm × 6mm
	DGK (VSSOP，8)	3mm × 4.9mm
	PW (TSSOP，8)	3mm × 6.4mm
	DDF (SOT-23，8)	2.9mm × 2.8mm
LMV324A	D (SOIC，14)	8.65mm × 6mm
	DYY (SOT-23，14)	4.2mm × 3.26mm
	PW (TSSOP，14)	5mm × 6.4mm

(1) 有关所有可用封装，请参阅节 10。
(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

单极低通滤波器

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚功能和配置.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 额定值.....5
5.3 建议运行条件.....5
5.4 热性能信息：LMV321A.....6
5.5 热性能信息：LMV358A.....6
5.6 热性能信息：LMV324A.....6
5.7 电气特性.....7
5.8 典型特性.....8
6 详细说明.....15
6.1 概述.....15
6.2 功能方框图.....15
6.3 特性说明.....16
6.4 器件功能模式.....16
7 应用和实现.....17
7.1 应用信息.....17
7.2 典型应用.....17
7.3 电源相关建议.....21
7.4 布局.....21
8 器件和文档支持.....23
8.1 文档支持.....23
8.2 接收文档更新通知.....23
8.3 支持资源.....23
8.4 商标.....23
8.5 静电放电警告.....23
8.6 术语表.....23
9 修订历史记录.....23
10 机械、封装和可订购信息.....24

Copyright © 2024 Texas Instruments Incorporated

4 引脚功能和配置

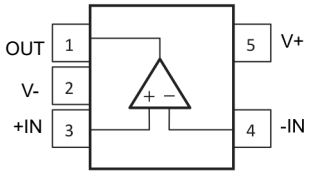


图 4-1. LMV321A DBV 封装 5 引脚 SOT-23 顶视图

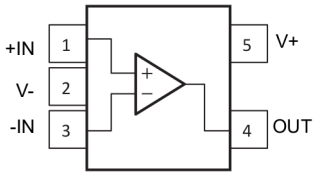


图 4-2. LMV321AU DBV、LMV321A DCK 封装 5 引脚 SOT-23、SC70 顶视图

表 4-1. 引脚功能：LMV321A

引脚			类型(1)	说明
名称	DBV	DBV (U)、DCK		
– IN	4	3	I	反相输入
+IN	3	1	I	同相输入
OUT	1	4	O	输出
V –	2	2	—	负（最低）电源或接地（对于单电源供电）
V+	5	5	—	正（最高）电源

(1) I = 输入，O = 输出

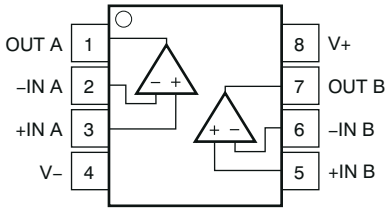


图 4-3. LMV358A D、DDF、DGK 或 PW 封装，8 引脚 SOIC、SOT-23、VSSOP 或 TSSOP（顶视图）

表 4-2. 引脚功能：LMV358A

引脚		类型(1)	说明
名称	编号		
– IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
– IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V –	4	—	负（最低）电源或接地（对于单电源供电）
V+	8	—	正（最高）电源

(1) I = 输入，O = 输出

Copyright © 2024 Texas Instruments Incorporated

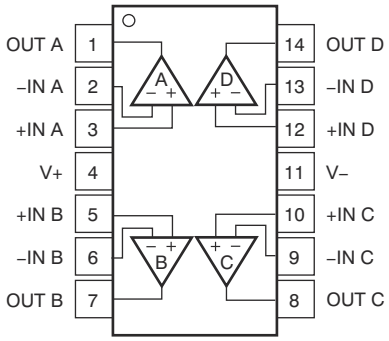


图 4-4. LMV324A D、DYY、PW 封装， 14 引脚 SOIC、SOT-23、TSSOP（顶视图）

表 4-3. 引脚功能：LMV324A

引脚		类型(1)	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
–IN C	9	I	反相输入，通道 C
+IN C	10	I	同相输入，通道 C
–IN D	13	I	反相输入，通道 D
+IN D	12	I	同相输入，通道 D
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
OUT C	8	O	输出，通道 C
OUT D	14	O	输出，通道 D
V–	11	—	负（最低）电源或接地（对于单电源供电）
V+	4	—	正（最高）电源

(1) I = 输入，O = 输出

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作温度范围内（除非另有说明）(1)

			最小值	最大值	单位
电源电压，([V+] – [V–])			0	6	V
信号输入引脚	电压(2)	共模	(V–) – 0.5	(V+) + 0.5	V
		差分		(V+) – (V–) + 0.2	V
	电流(2)		-10	10	mA
输出短路(3)			持续		
温度，T_A			-55	150	°C
运行结温，T_J				150	°C
贮存温度，T_{stg}			-65	150	°C

(1) 超出*绝对最大额定值*下所列的值的应力可能会对器件造成损坏。这些仅仅是压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入引脚被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。
(3) 对地短路，每个封装对应一个放大器。

5.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作温度范围内（除非另有说明）

		最小值	最大值	单位
V_S	电源电压	2.5	5.5	V
T_A	额定温度	-40	125	°C

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息：LMV321A

热指标(1)		LMV321A		单位
		DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	232.8	239.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	153.8	148.5	°C/W
$R_{\theta JB}$	结至电路板热阻	100.9	82.3	°C/W
ψ_{JT}	结至顶部特征参数	77.2	54.5	°C/W
ψ_{JB}	结至电路板特征参数	100.4	81.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅 *半导体和 IC 封装热指标*。

5.5 热性能信息：LMV358A

热指标(1)		LMV358A				单位
		D (SOIC)	DGK (VSSOP)	PW (TSSOP)	DDF (SOT-23)	
		8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	147.4	201.2	205.8	183.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	94.3	85.7	106.7	112.5	°C/W
$R_{\theta JB}$	结至电路板热阻	89.5	122.9	133.9	98.2	°C/W
ψ_{JT}	结至顶部特征参数	47.3	21.2	34.4	18.8	°C/W
ψ_{JB}	结至电路板特征参数	89	121.4	132.6	97.6	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅 *半导体和 IC 封装热指标*。

5.6 热性能信息：LMV324A

热指标(1)		LMV324A			单位
		D (SOIC)	DYY (SOT-23)	PW (TSSOP)	
		14 引脚	14 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	102.1	154.3	148.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	56.8	86.8	68.1	°C/W
$R_{\theta JB}$	结至电路板热阻	58.5	67.9	92.7	°C/W
ψ_{JT}	结至顶部特征参数	20.5	10.1	16.9	°C/W
ψ_{JB}	结至电路板特征参数	58.1	67.5	91.8	°C/W

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性

在以下条件下测得：V_S = (V+) – (V–) = 2.5V 至 5.5V（±1.25V 至 ±2.75V），T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），并且 V_{CM} = V_{OUT} = V_S/2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	Vs = 5V		±1	±4	mV
		Vs = 5V，T_A = –40°C 至 125°C			±5	
dV_{OS}/dT	V_{OS} 温漂	T_A = -40°C 至 125°C		±1		µV/°C
PSRR	电源抑制比	V_S = 2.5V 至 5.5V，V_{CM} = (V–)	78	100		dB
输入电压范围						
V_{CM}	共模 电压范围	无相位反向，轨到轨输入	(V–) – 0.1		(V+) – 1	V
CMRR	共模 抑制比	V_S = 2.5V，(V–) – 0.1V < V_{CM} < (V+) – 1.4V T_A = –40°C 至 125°C		86		dB
		V_S = 5.5V，(V–) – 0.1V < V_{CM} < (V+) – 1.4V T_A = –40°C 至 125°C		95		
		V_S = 5.5V，(V–) – 0.1V < V_{CM} < (V+) + 0.1V T_A = –40°C 至 125°C	63	77		
		V_S = 2.5V，(V–) – 0.1V < V_{CM} < (V+) + 0.1V T_A = –40°C 至 125°C		68		
输入偏置电流						
I_B	输入偏置电流	Vs = 5V		±10		pA
I_{OS}	输入失调电流			±3		pA
噪声						
E_n	输入电压噪声 （峰峰值）	f = 0.1Hz 至 10Hz，Vs = 5V		5.1		μV_{PP}
e_n	输入电压噪声密度	f = 1kHz，Vs = 5V		33		nV/√Hz
		f = 10kHz，Vs = 5V		30		
i_n	输入电流噪声密度	f = 1kHz，Vs = 5V		25		fA/√Hz
输入电容						
C_{ID}	差分			1.5		pF
C_{IC}	共模			5		pF
开环增益						
A_{OL}	开环电压增益	V_S = 5.5V，(V–) + 0.05V < V_O < (V+) – 0.05V，R_L = 10kΩ	100	115		dB
		V_S = 2.5V，(V–) + 0.04V < V_O < (V+) – 0.04V，R_L = 10kΩ		98		
		V_S = 2.5V，(V–) + 0.1V < V_O < (V+) – 0.1V，R_L = 2kΩ		112		
		V_S = 5.5V，(V–) + 0.15V < V_O < (V+) – 0.15V，R_L = 2kΩ		128		
频率响应						
GBW	增益带宽积	Vs = 5V		1		MHz
Φ_m	相位裕度	V_S = 5.5V，G = 1		76		°
SR	压摆率	Vs = 5V		1.7		V/µs
t_S	稳定时间	精度达到 0.1%，V_S = 5V，2V 阶跃，G = +1，C_L = 100pF		3		µs
		精度达到 0.01%，V_S = 5V，2V 阶跃，G = +1，C_L = 100pF		4		
t_{OR}	过载恢复时间	V_S = 5V，V_{IN} × 增益 > V_S		0.9		µs
THD+N	总谐波失真 + 噪声	V_S = 5.5V，V_{CM} = 2.5V，V_O = 1V_{RMS}，G = +1，f = 1kHz， 80kHz 测量 BW		0.005%		
输出						
V_O	相对于电源轨的 电压输出摆幅	V_S = 5.5V，R_L = 10kΩ		20	50	mV
		V_S=5.5V，R_L=2kΩ		40	75	
I_{SC}	短路电流	Vs = 5.5V		±40		mA
Z_O	开环输出阻抗	Vs = 5V，f = 1MHz		1200		Ω
电源						
V_S	额定电压范围		2.5 (±1.25)		5.5 (±2.75)	V
I_Q	每个放大器的静态电流	I_O = 0mA，V_S = 5.5V		70	125	µA
		I_O = 0mA，V_S = 5.5V，T_A = –40°C 至 125°C			150	
	上电时间	V_S = 0V 至 5V，精度达到 90% I_Q 电平		50		µs

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

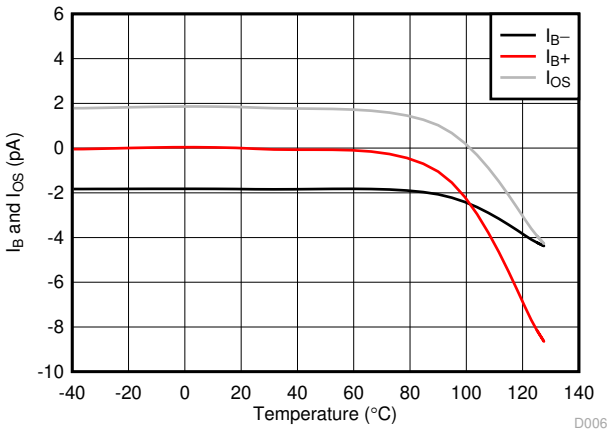


图 5-1. I_B 和 I_{OS} 与温度间的关系

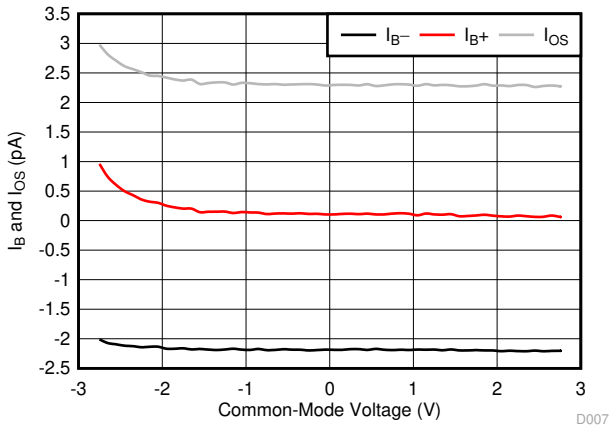


图 5-2. I_B 和 I_{OS} 与共模电压间的关系

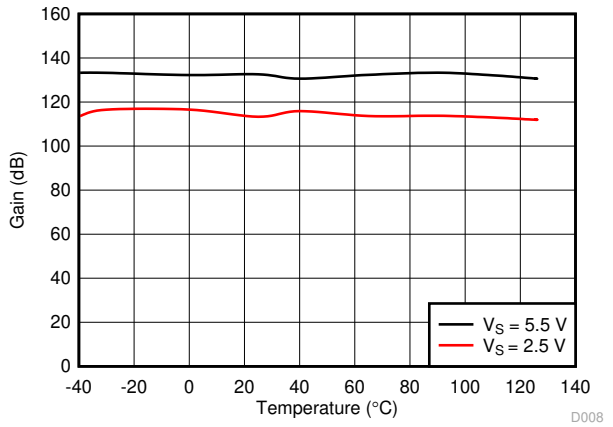
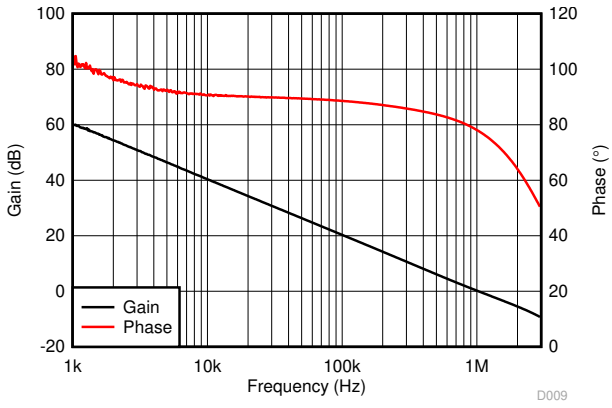


图 5-3. 开环增益与温度间的关系



C_L = 10pF

图 5-4. 开环增益和相位与频率间的关系

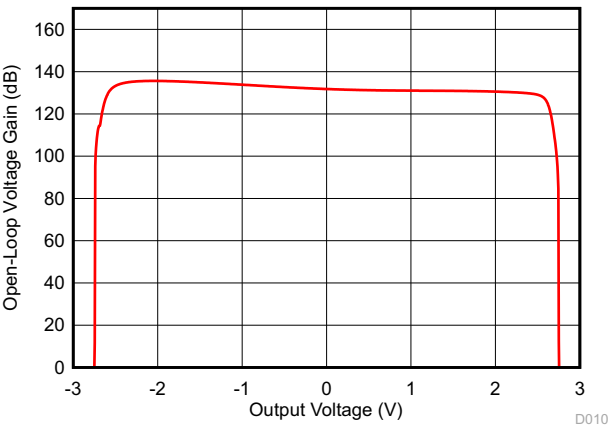
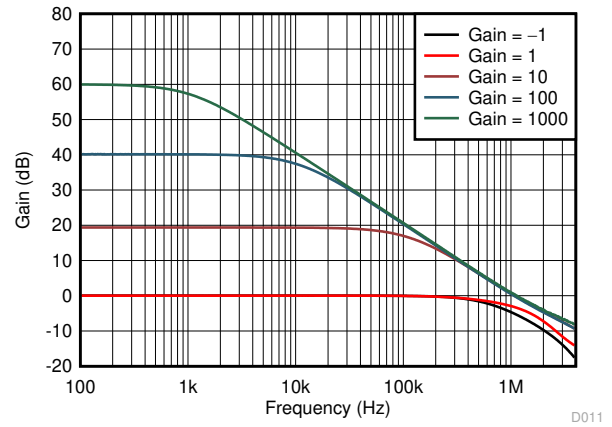


图 5-5. 开环增益与输出电压间的关系



C_L = 10pF

图 5-6. 闭环增益与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

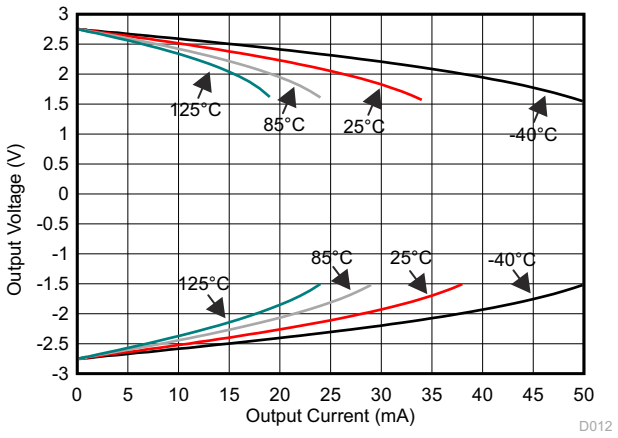


图 5-7. 输出电压与输出电流间的关系（爪形）

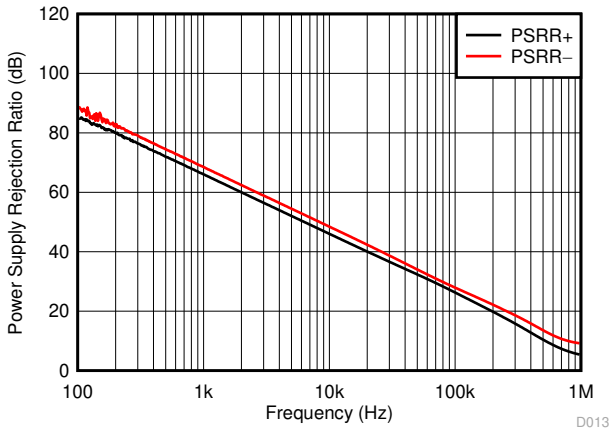
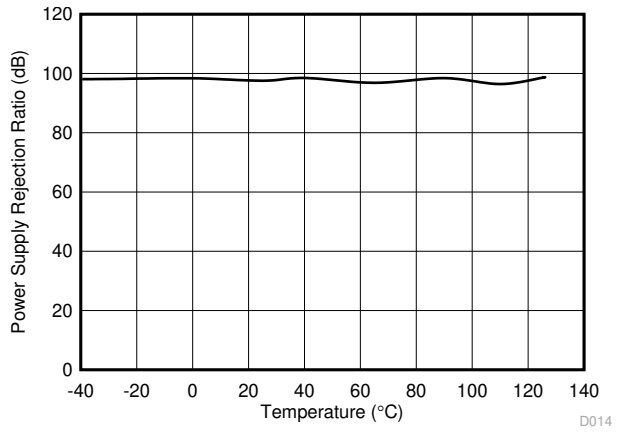


图 5-8. PSRR 与频率间的关系



V_S = 1.25V 至 5.5V

图 5-9. 直流 PSRR 与温度间的关系

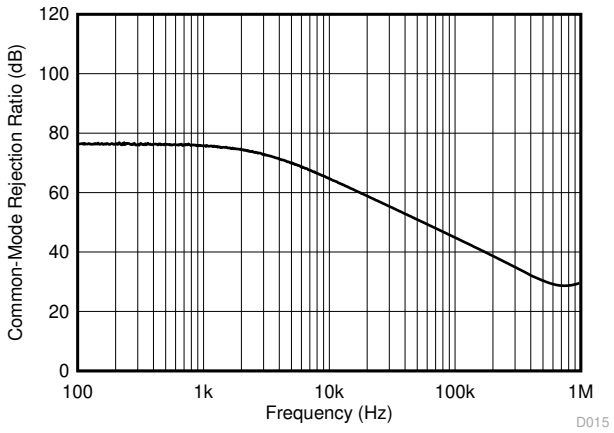
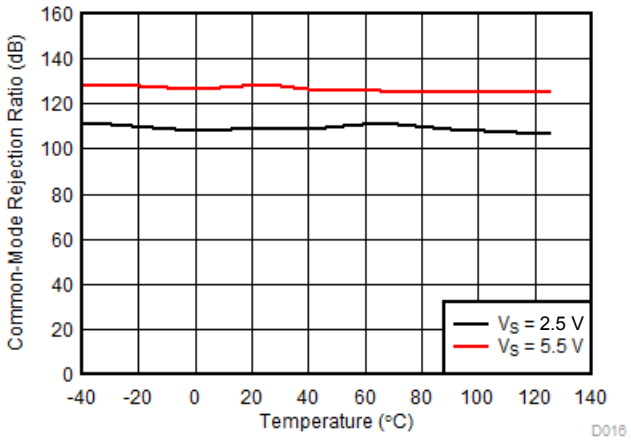


图 5-10. CMRR 与频率之间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



V_{CM} = (V–) – 0.1V 至 (V+) – 1.4V

图 5-11. 直流 CMRR 与温度间的关系

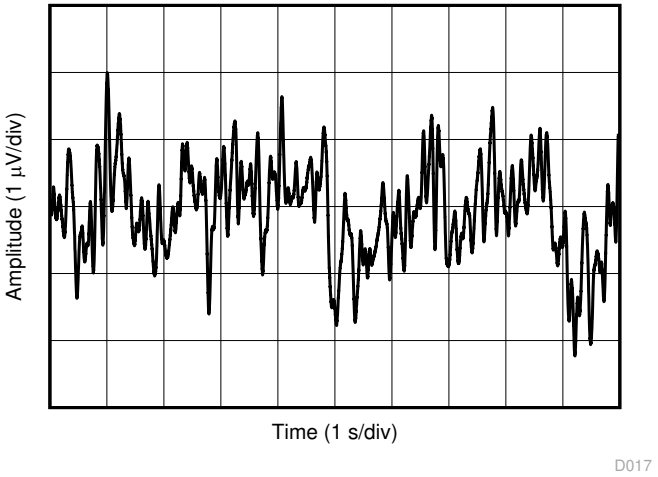


图 5-12. 0.1Hz 至 10Hz 集成电压噪声

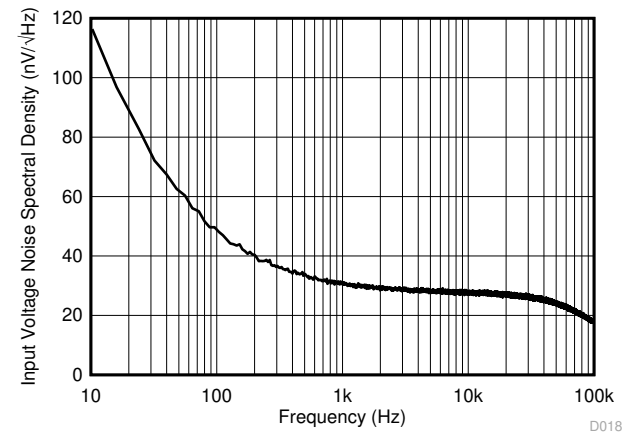
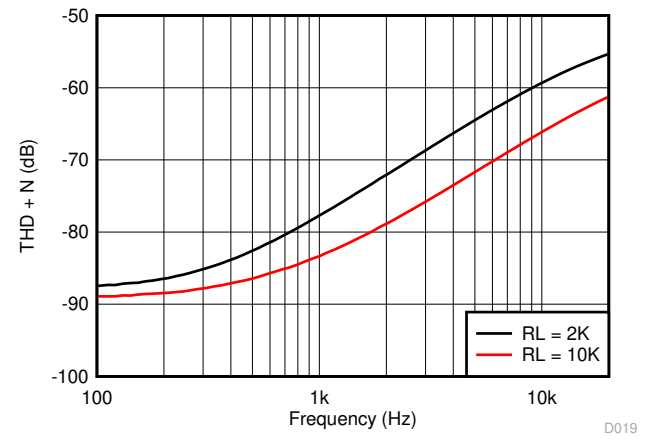


图 5-13. 输入电压噪声频谱密度



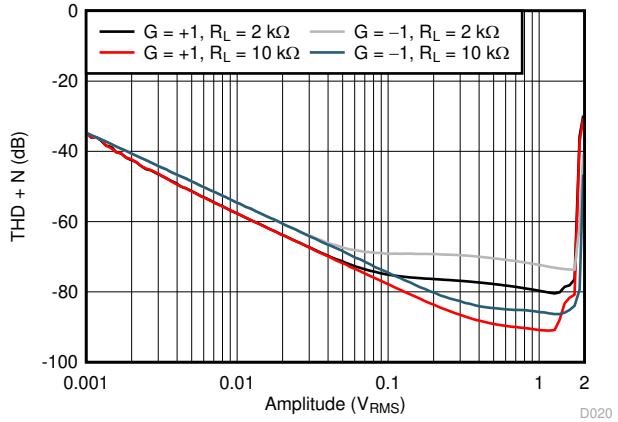
V_S = 5.5V，V_{CM} = 2.5V，G = 1，BW = 80kHz，V_{OUT} = 0.5V_{RMS}

图 5-14. THD+N 与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



V_S = 5.5V，V_{CM} = 2.5V，f = 1kHz，G = 1，BW = 80kHz

图 5-15. THD + N 与幅度间的关系

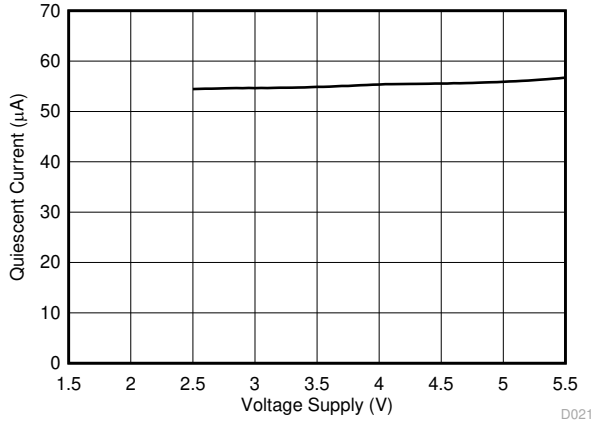


图 5-16. 静态电流与电源电压间的关系

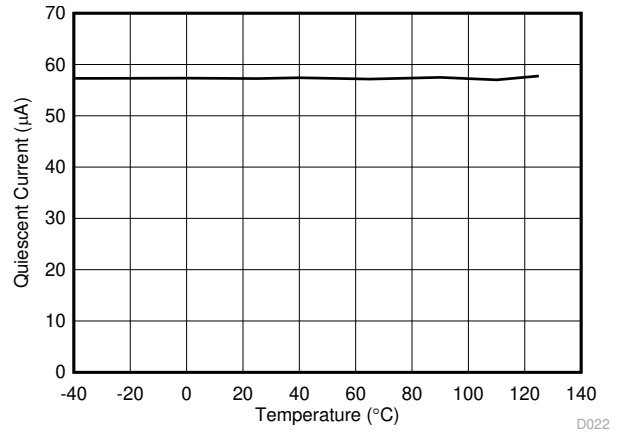


图 5-17. 静态电流与温度间的关系

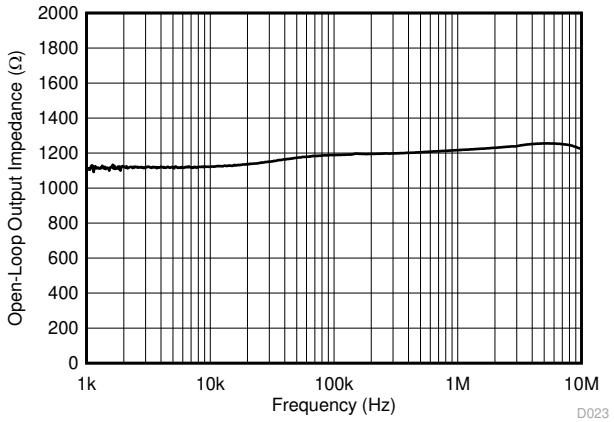
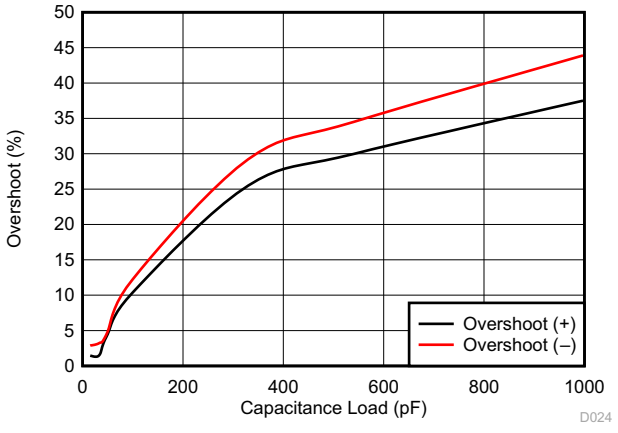
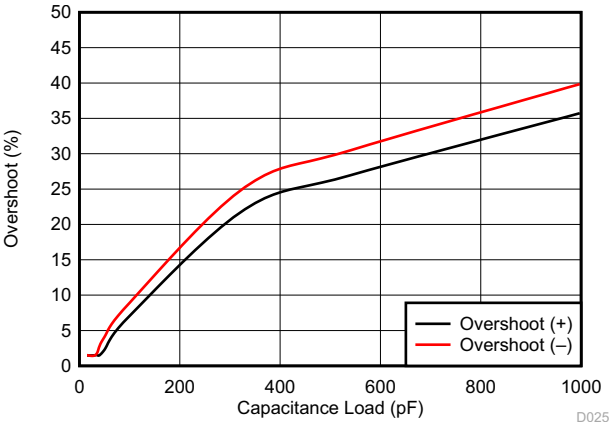


图 5-18. 开环输出阻抗与频率间的关系



G = 1，V_{IN} = 100mVpp

图 5-19. 小信号过冲与容性负载间的关系



G = –1，V_{IN} = 100mVpp

图 5-20. 小信号过冲与容性负载间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

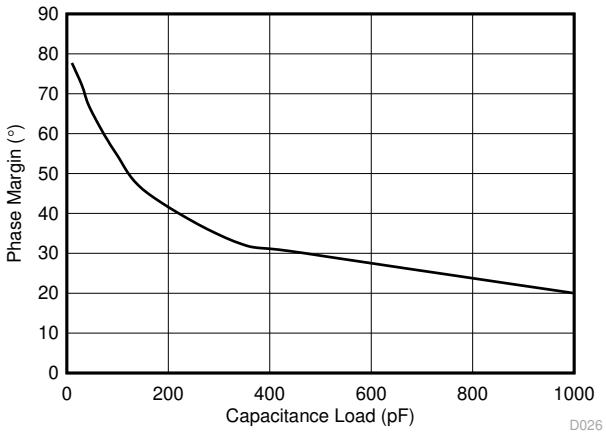
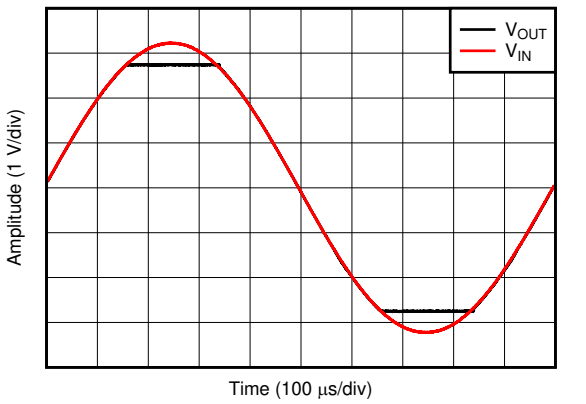
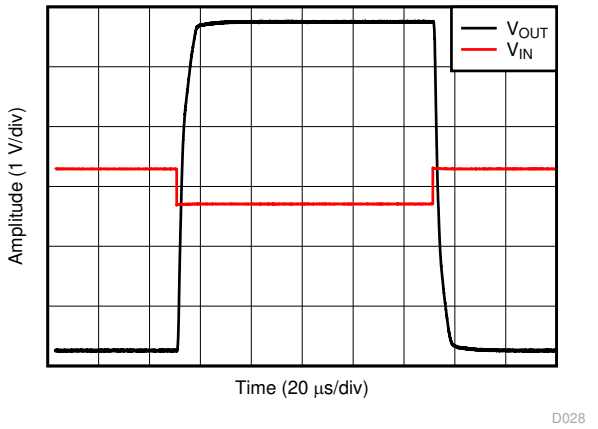


图 5-21. 相位裕度与容性负载间的关系



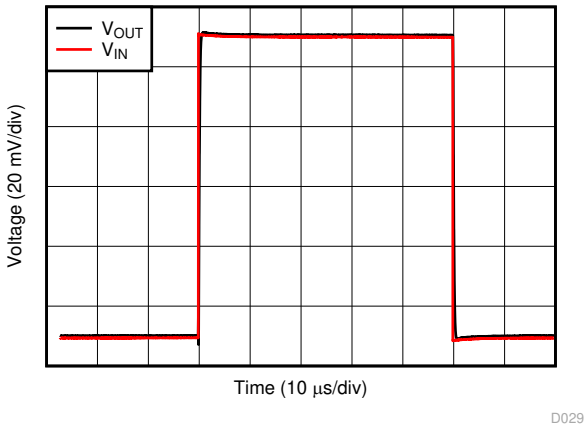
G = 1，V_{IN} = 6.5V_{PP}

图 5-22. 无相位反转



G = –10，V_{IN} = 600mV_{PP}

图 5-23. 过载恢复



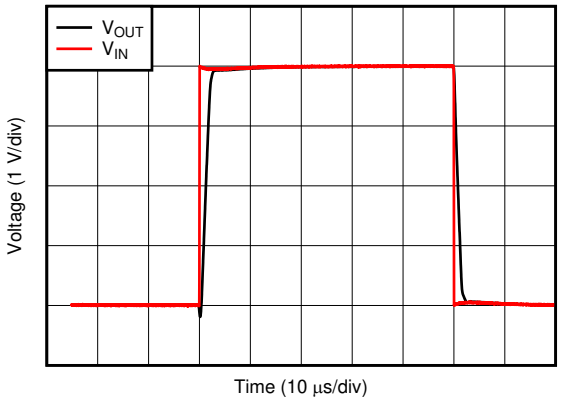
G = 1，V_{IN} = 100mV_{PP}，C_L = 10pF

图 5-24. 小信号阶跃响应

Copyright © 2024 Texas Instruments Incorporated

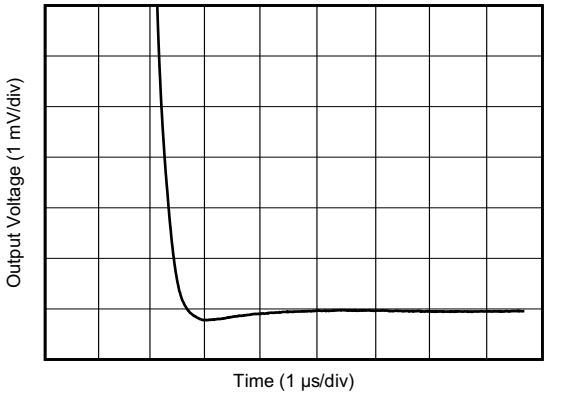
5.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



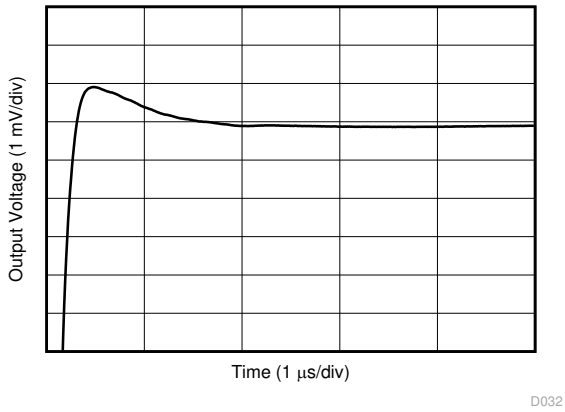
G = 1，V_{IN} = 4V_{PP}，C_L = 10pF

图 5-25. 大信号阶跃响应



G = 1，C_L = 100pF，2V 阶跃

图 5-26. 大信号建立时间（负）



G = 1，C_L = 100pF，2V 阶跃

图 5-27. 大信号建立时间（正）

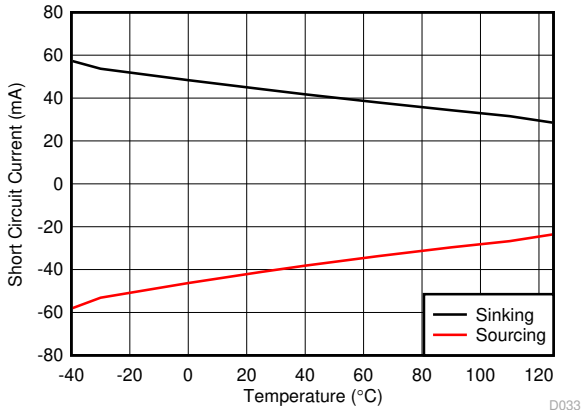


图 5-28. 短路电流与温度间的关系

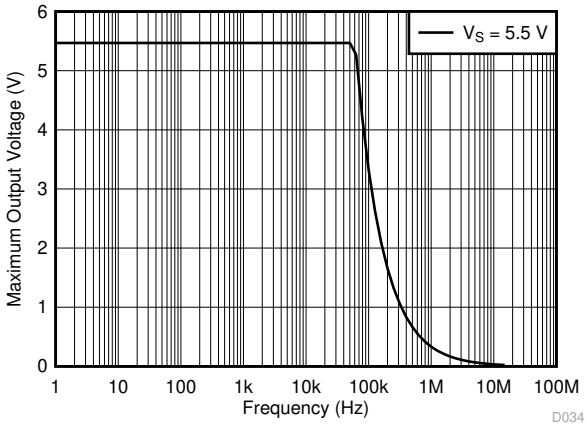


图 5-29. 最大输出电压与频率间的关系

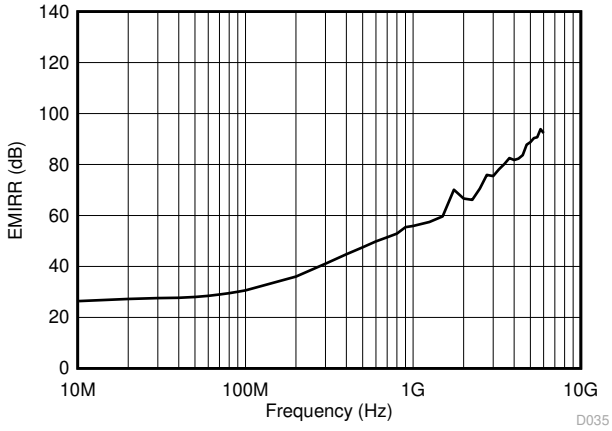


图 5-30. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

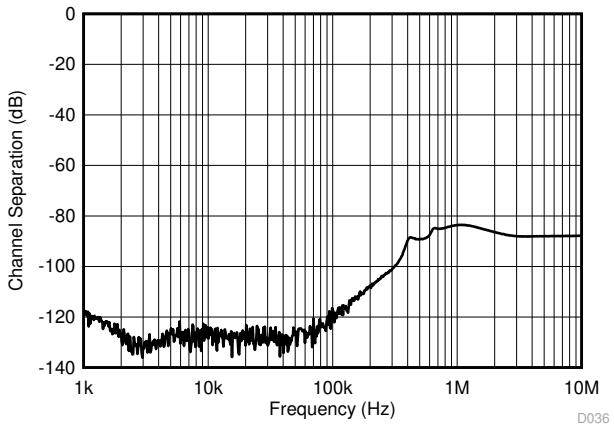


图 5-31. 通道分离

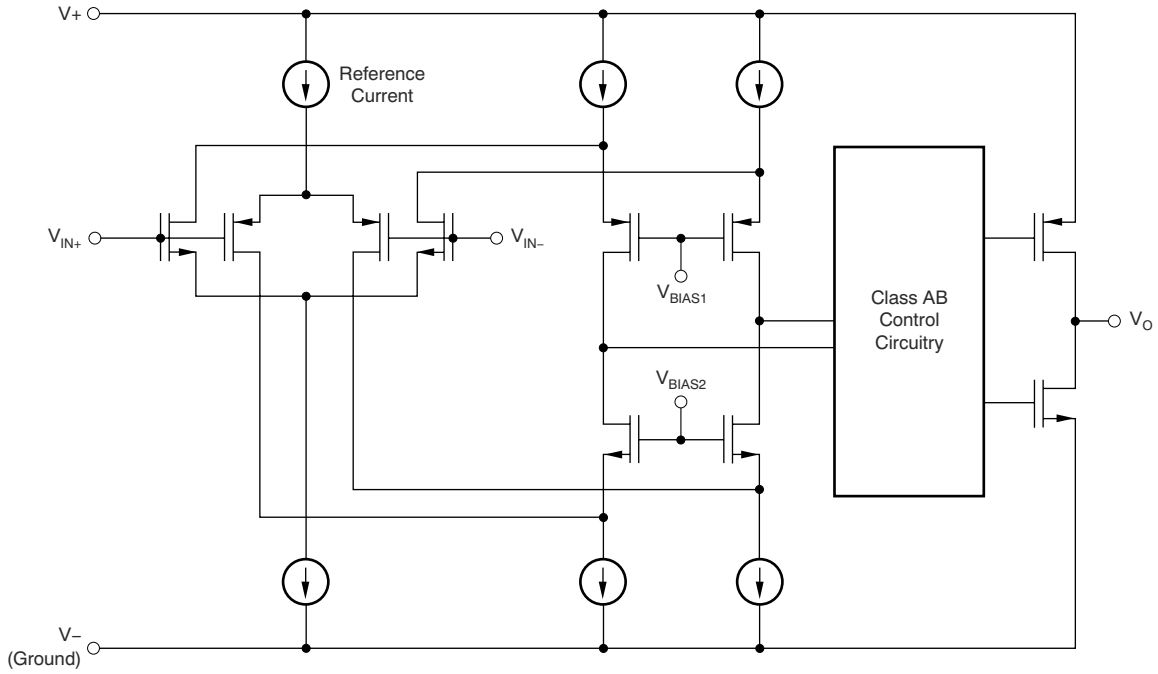
Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

LMV3xxA 是一系列低功率、轨对轨输出运算放大器。这些器件的工作电压介于 2.5V 至 5.5V 之间，单位增益稳定，专为广泛的通用应用而设计。输入共模电压范围包括负电源轨，并支持将 LMV3xxA 系列用于许多单电源应用。轨对轨输出摆动显著增加了动态范围，特别是在低电源应用中，使其适合驱动采样模数转换器 (ADC)。

6.2 功能方框图



6.3 特性说明

6.3.1 工作电压

LMV3xxA 系列运算放大器的工作电压为 2.5V 至 5.5V。此外，输入失调电压、静态电流、失调电流和短路电流等多种规格适用于 -40°C 至 125°C 的温度范围。参数随工作电压或温度而显著变化，如节 5.8 中所示。

6.3.2 输入共模范围

LMV3xxA 系列的输入共模电压范围超出负极供电轨 100mV，低于正极供电轨 1V，整个供电电压范围为 2.5V 至 5.5V。此性能通过 P 沟道差分对实现，如 *功能方框图* 中所示。此外，还并联了一个互补的 N 沟道差分对，以消除前几代运算放大器常见的相位反转问题。然而，N 沟道对未针对操作进行优化。TI 建议将施加在输入端的任何电压限制在小于 V_{CC} – 1V，以确保运算放大器符合 *电气特性* 表中详述的规范。

6.3.3 轨到轨输出

LMV3xxA 系列设计为一种低功耗、低电压运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管的 AB 类输出级可实现完全的轨到轨输出摆幅功能。对于 10kΩ 的阻性负载，无论施加的电源电压是多少，输出摆幅都在两个电源轨的 20 mV 范围内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力。

6.3.4 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间回到线性状态。当电荷载体回到线性状态时，器件开始以指定的压摆率进行转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。LMV3xxA 系列的过载恢复时间约为 850ns。

6.4 器件功能模式

LMV3xxA 系列拥有单功能模式。只要电源电压在 2.5V (±1.25V) 和 5.5V (±2.75V) 之间，这些器件就处于通电状态。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实现

备注

以下应用部分中的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

7.1 应用信息

LMV3xxA 系列低功耗轨对轨输出运算放大器是专为便携式应用而设计的。这些器件的工作电压介于 2.5V 至 5.5V 之间，单位增益稳定，并且适合广泛的通用应用。AB 类输出级能够驱动连接至 V+ 和 V – 之间任一点且小于或等于 10kΩ 的负载。输入共模电压范围包括负电源轨，并支持将 LMV3xxA 器件用于许多单电源应用。

7.2 典型应用

7.2.1 LMV3xxA 低侧电流感测应用

图 7-1 展示了低侧电流感测应用中配置的 LMV3xxA。

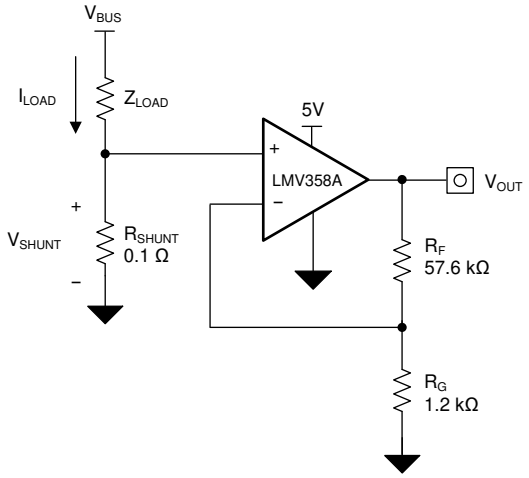


图 7-1. 低侧电流感测应用中的 LMV3xxA

7.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压：4.9V
- 最大分流电压：100mV

7.2.1.2 详细设计过程

图 7-1 中的电路传递函数如方程式 1 所示。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 展示了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\,mV}{1\,A} = 100\,m\Omega \quad (2)$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。由 I_{LOAD} 和 R_{SHUNT} 产生的电压降被 LMV3xxA 放大，以产生大约 0V 到 4.9V 的输出电压。使用 方程式 3 计算 LMV3xxA 产生必要输出电压所需的增益。

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (3)$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 用于调整 R_F 和 R_G 电阻器的大小，将 LMV3xxA 的增益设置为 49V/V。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \quad (4)$$

选择 R_F 为 57.6kΩ，R_G 为 1.2kΩ 可提供等于 49V/V 的组合。图 7-2 展示了图 7-1 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，并且实际电阻器值由设计人员想要建立的阻抗水平确定。阻抗水平决定了电流损耗、杂散电容的影响以及其他一些行为。并不存在适用于每个系统的最佳阻抗选择，您必须选择适合您的系统参数的阻抗。

7.2.1.3 应用曲线

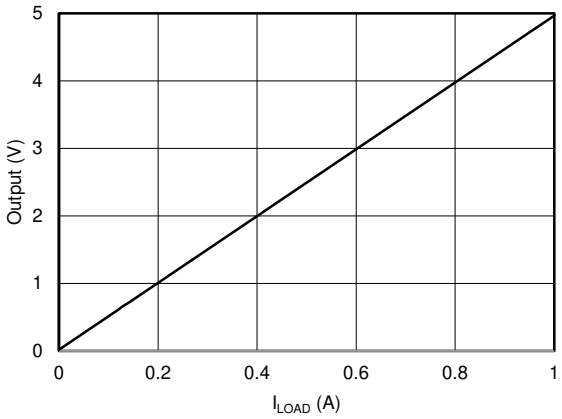


图 7-2. 低侧电流感测传递函数

Copyright © 2024 Texas Instruments Incorporated

7.2.2 单电源光电二极管放大器

光电二极管在许多应用中用于将光信号转换为电信号。通过光电二极管的电流与吸收的光子能量成正比，通常在几百皮安到几十微安的范围内。跨阻抗配置中的放大器通常用于将低电平光电二极管电流转换为电压信号以在 MCU 中处理。图 7-3 中显示的电路是一个使用 LMV358A 的单电源光电二极管放大器电路的示例。

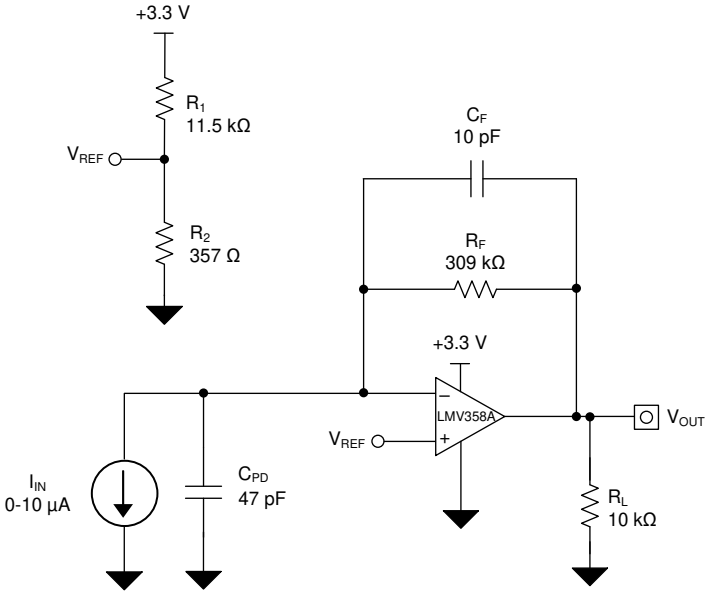


图 7-3. 单电源光电二极管放大器电路

7.2.2.1 设计要求

此设计的设计要求如下：

- 电源电压：3.3V
- 输入：0μA 至 10μA
- 输出：0.1 V 至 3.2 V
- 带宽：50kHz

7.2.2.2 详细设计过程

方程式 5 中定义了输出电压 (V_{OUT})、输入电流 (I_{IN}) 和参考电压 (V_{REF}) 之间的传递函数。

$$V_{OUT} = I_{IN} \times R_F + V_{REF} \tag{5}$$

其中：

$$V_{REF} = V_+ \times \left(\frac{R_1 \times R_2}{R_1 + R_2}\right) \tag{6}$$

通过设置 R1 和 R2 以满足方程式 7 中计算所需的比率，将 V_{REF} 设置为 100mV 以满足最小输出电压电平。

$$\frac{V_{REF}}{V_+} = \frac{0.1\,V}{3.3\,V} = 0.0303 \tag{7}$$

满足该比率的最接近电阻比率将 R1 设置为 11.5kΩ，将 R2 设置为 357Ω。

可以基于输入电流和期望的输出电压来计算所需的反馈电阻。

$$R_F = \frac{V_{OUT} - V_{REF}}{I_{IN}} = \frac{3.2\,V - 0.1\,V}{10\,\mu A} = 310\ \frac{kV}{A} \approx 309\,k\Omega \tag{8}$$

使用方程式 9，基于 R_F 和所需的 –3-dB 带宽 (f_{-3dB}) 计算反馈电容器的值。

$$C_F = \frac{1}{2 \times \pi \times R_F \times f_{-3\,dB}} = \frac{1}{2 \times \pi \times 309\,k\Omega \times 50\,kHz} = 10.3\,pF \approx 10\,pF \tag{9}$$

此应用所需的最小运算放大器带宽基于 R_F、C_F 的值，以及 LMV358A INx– 引脚上的电容，该电容等于光电二极管并联电容 (CPD)、共模输入电容 (CCM) 和差分输入电容 (CD) 之和，如方程式 10 所示。

$$C_{IN} = C_{PD} + C_{CM} + C_D = 47\,pF + 5\,pF + 1\,pF = 53\,pF \tag{10}$$

最小运算放大器带宽在方程式 11 中计算。

$$f = BGW \geq \frac{C_{IN} + C_F}{2 \times \pi \times R_F \times C_F{}^2} \geq 324\,kHz \tag{11}$$

LMV3xxA 的 1MHz 带宽满足最低带宽要求，并在此应用配置中保持稳定。

Copyright © 2024 Texas Instruments Incorporated

7.2.2.3 应用曲线

光电二极管放大器电路的测量电流到电压传递函数如图 7-4 所示。光电二极管放大器电路的测量性能如图 7-5 所示。

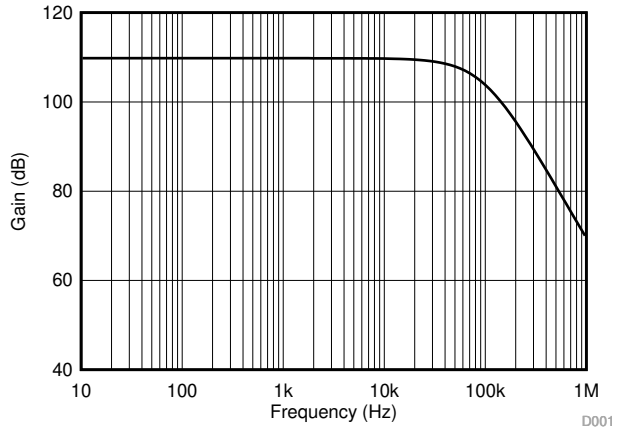


图 7-4. 光电二极管放大器电路交流增益结果

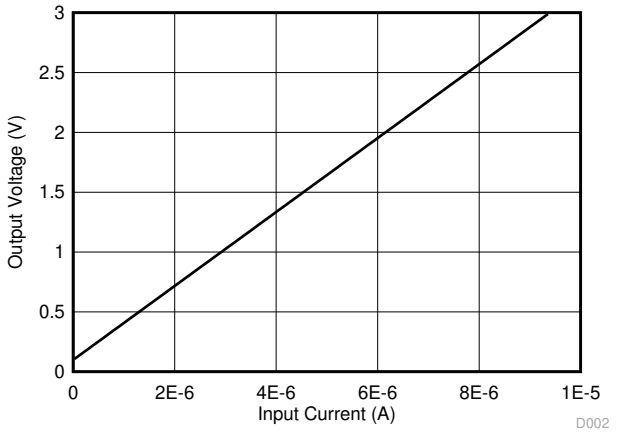


图 7-5. 光电二极管放大器电路直流结果

7.3 电源相关建议

LMV3xxA 系列的额定工作电压范围为 2.5V 至 5.5V（±1.25V 至 ±2.75V）；多种规格适用于 –40°C 至 125°C 的温度范围。节 5.8 中介绍了可能会随工作电压或温度而显著变化的参数。

小心

电源电压超过 6V 可能会对器件造成永久性损坏；请参阅节 5.1。

将 0.1µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅节 7.4.1。

7.3.1 输入和 ESD 保护

LMV3xxA 系列在所有引脚上均整合了内部 ESD 保护电路。对于输入和输出引脚，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流不超过 10mA，这些 ESD 保护二极管就能提供电路内输入过驱保护。图 7-6 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

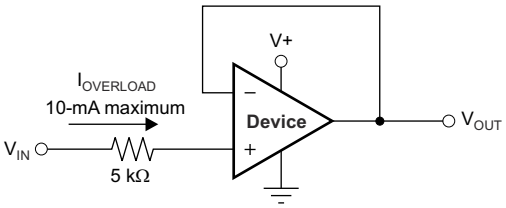


图 7-6. 输入电流保护

7.4 布局

7.4.1 布局指南

为了使器件具有最佳运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

Copyright © 2024 Texas Instruments Incorporated

- 噪声可以通过电路板的电源连接传播到模拟电路中，并传播到运算放大器本身的电源引脚。旁路电容器用于通过提供低阻抗接地路径来降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1µF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器足以满足单电源应用的需求。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分开，则以 90 度角穿过敏感走线比平行于噪声走线运行走线要好得多。
- 外部元件的位置应尽量靠近器件，如图 7-8 中所示。使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记，输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近不同电势下的走线所产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

7.4.2 布局示例

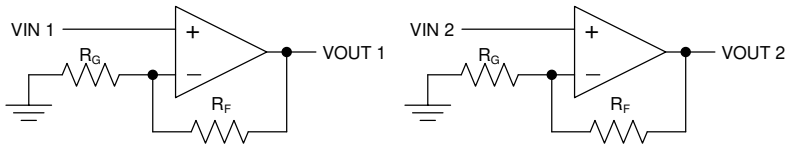


图 7-7. 原理图表示

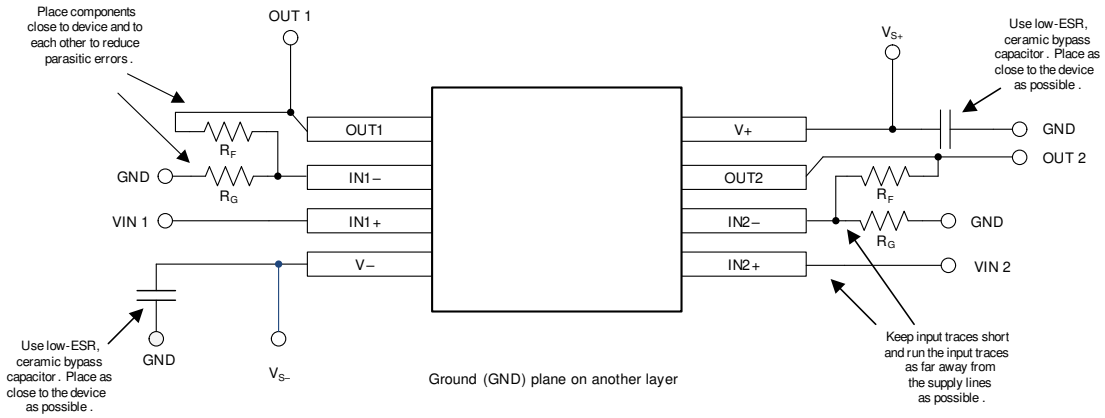


图 7-8. 布局示例

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*运算放大器的 EMI 抑制比 应用手册*

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision H (April 2023) to Revision I (July 2024)	Page
• 将*器件信息* 表更改为*封装信息*	1
• 向*引脚配置和功能* 中的 DBV 引脚排列添加了 LMV321A 和 LMV321AU 型号名称	3
• 将*电气特性* 表描述从“V_S = (V+) – (V –) = 2.5V 至 5.5V（±0.9V 至 ±2.75V），T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），并且 V_{CM} = V_{OUT} = V_S/2（除非另有说明）”更改为“V_S = (V+) – (V –) = 2.5V 至 5.5V（±1.25V 至 ±2.75V），T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），并且 V_{CM} = V_{OUT} = V_S/2（除非另有说明）”	7

Changes from Revision G (February 2022) to Revision H (April 2023)	Page
• 将*电气特性* 表的测试条件从“V_S = (V+) – (V –) = 2.5V 至 5.5V（±0.9V 至 ±2.75V）”更新为“V_S = (V+) – (V –) = 2.5V 至 5.5V（±1.25V 至 ±2.75V）”	7
• 更新了*典型特性* 部分	8

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision F (January 2020) to Revision G (February 2022)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 向 *说明* 部分新增了 SOT-23 (DYY) 封装	1
• 向 *引脚配置和功能*部分中添加了 SOT-23 (DYY) 封装信息	3
• 向 *热性能信息：LMV324A 中添加了 SOT-23 (DYY) 封装*	6

Changes from Revision E (September 2019) to Revision F (January 2020)	Page
• 向 *引脚配置和功能* 部分中添加了 SOT-23 (U) 封装信息	3

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航面板。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV321AIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OIF
LMV321AIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OIF
LMV321AIDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OIF
LMV321AIDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OIF
LMV321AIDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT | SN	Level-2-260C-1 YEAR	-40 to 125	1C2
LMV321AIDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1C2
LMV321AUIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1WOF
LMV321AUIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1WOF
LMV321AUIDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1WOF
LMV321AUIDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1WOF
LMV324AIDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LMV324
LMV324AIDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LMV324
LMV324AIDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM324I
LMV324AIDYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM324I
LMV324AIPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	LMV324A
LMV324AIPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LMV324A
LMV358AIDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	358A
LMV358AIDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	358A
LMV358AIDDFRG4	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	358A
LMV358AIDDFRG4.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	358A
LMV358AIDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1MAX
LMV358AIDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1MAX
LMV358AIDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1MAX
LMV358AIDGKRG4.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1MAX
LMV358AIDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1MAX

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV358AIDGKT.A	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1MAX
LMV358AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	MV358A
LMV358AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358A
LMV358AIPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	LMV358
LMV358AIPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LMV358

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMV321A, LMV324A, LMV358A :

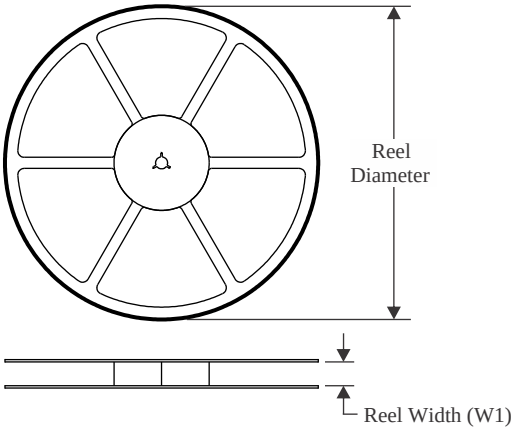
- Automotive : LMV321A-Q1, LMV324A-Q1, LMV358A-Q1

NOTE: Qualified Version Definitions:

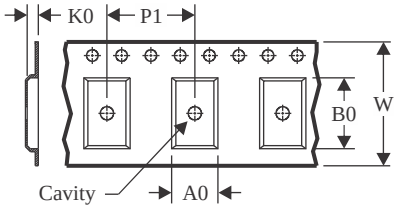
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

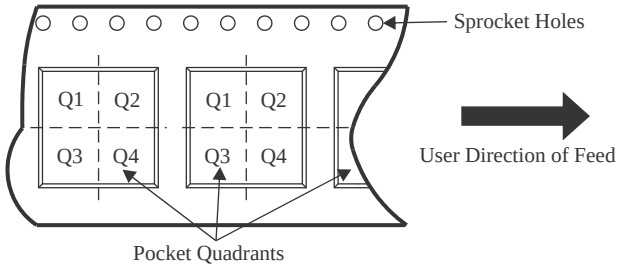


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

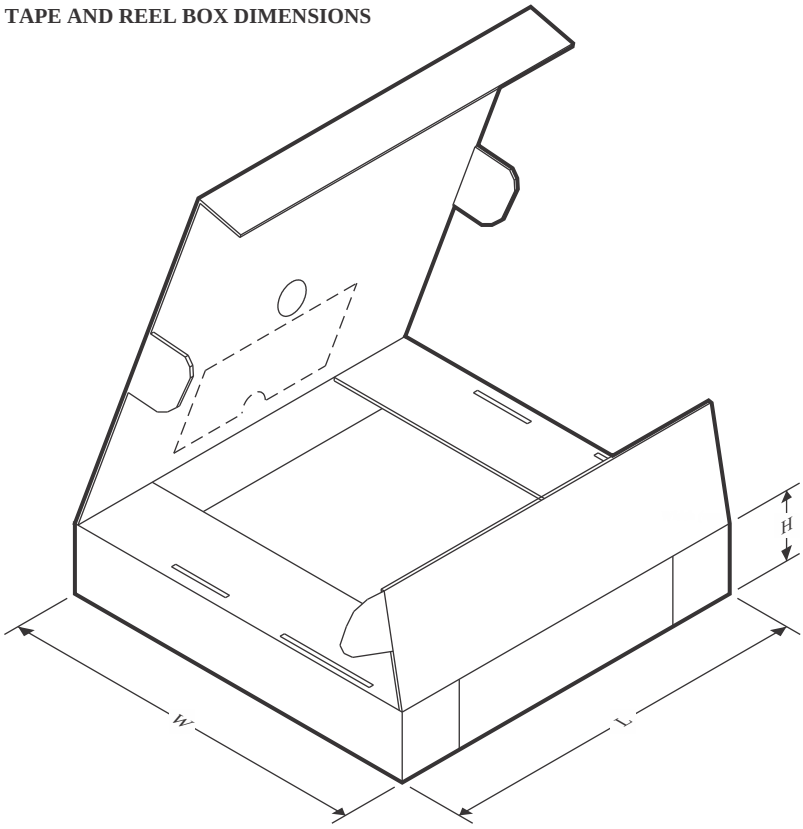


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV321AIDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321AIDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321AIDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
LMV321AIDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321AIDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
LMV321AUIDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321AUIDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321AUIDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV324AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV324AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV324AIDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
LMV324AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV358AIDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV358AIDDFRG4	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV358AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358AIDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV358AIPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV321AIDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV321AIDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV321AIDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
LMV321AIDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
LMV321AIDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
LMV321AUIDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV321AUIDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV321AUIDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV324AIDR	SOIC	D	14	2500	353.0	353.0	32.0
LMV324AIDR	SOIC	D	14	2500	353.0	353.0	32.0
LMV324AIDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
LMV324AIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV358AIDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
LMV358AIDDFRG4	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
LMV358AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
LMV358AIDGKR	VSSOP	DGK	8	2500	356.0	356.0	36.0
LMV358AIDGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
LMV358AIDGKT	VSSOP	DGK	8	250	353.0	353.0	32.0

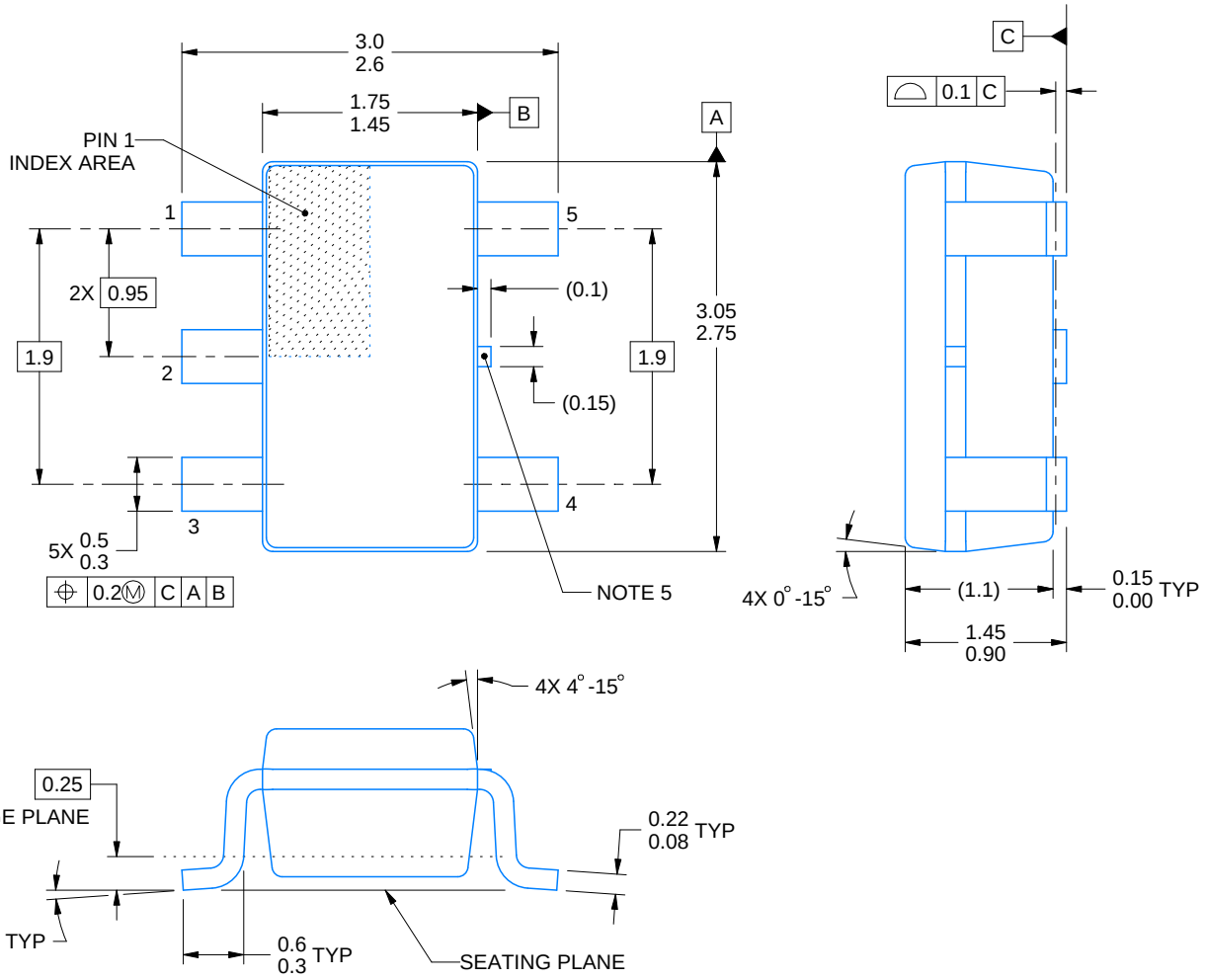
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV358AIDR	SOIC	D	8	2500	353.0	353.0	32.0
LMV358AIPWR	TSSOP	PW	8	2000	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

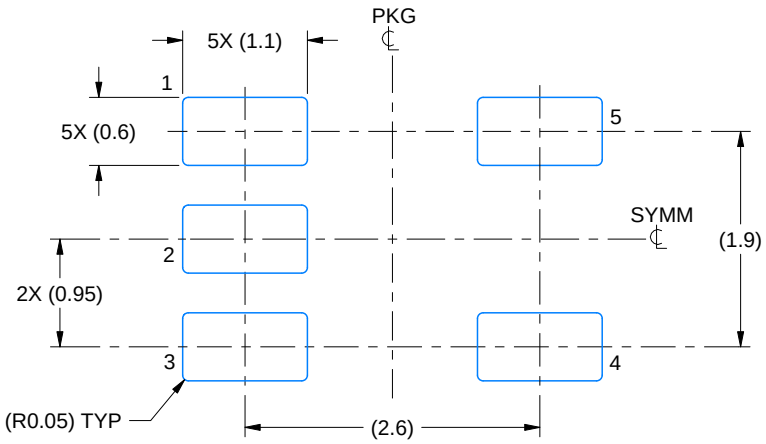
SMALL OUTLINE TRANSISTOR



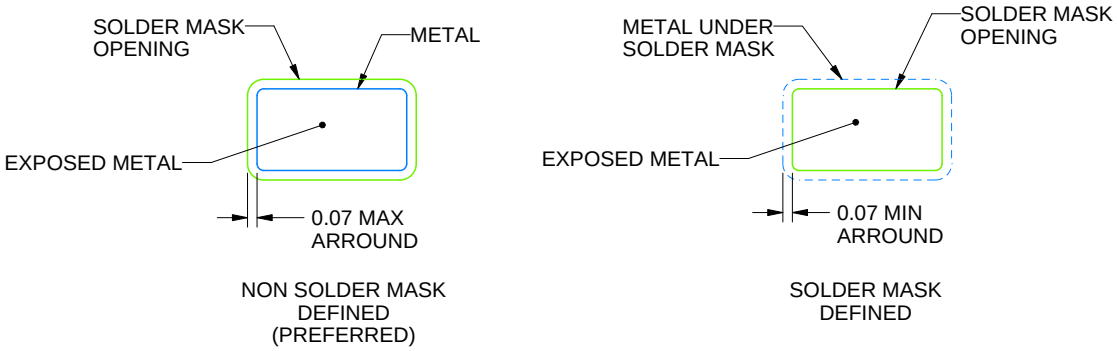
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

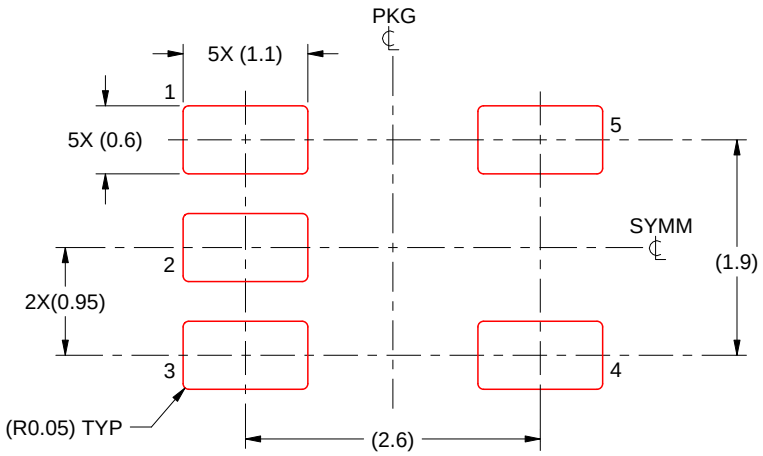


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

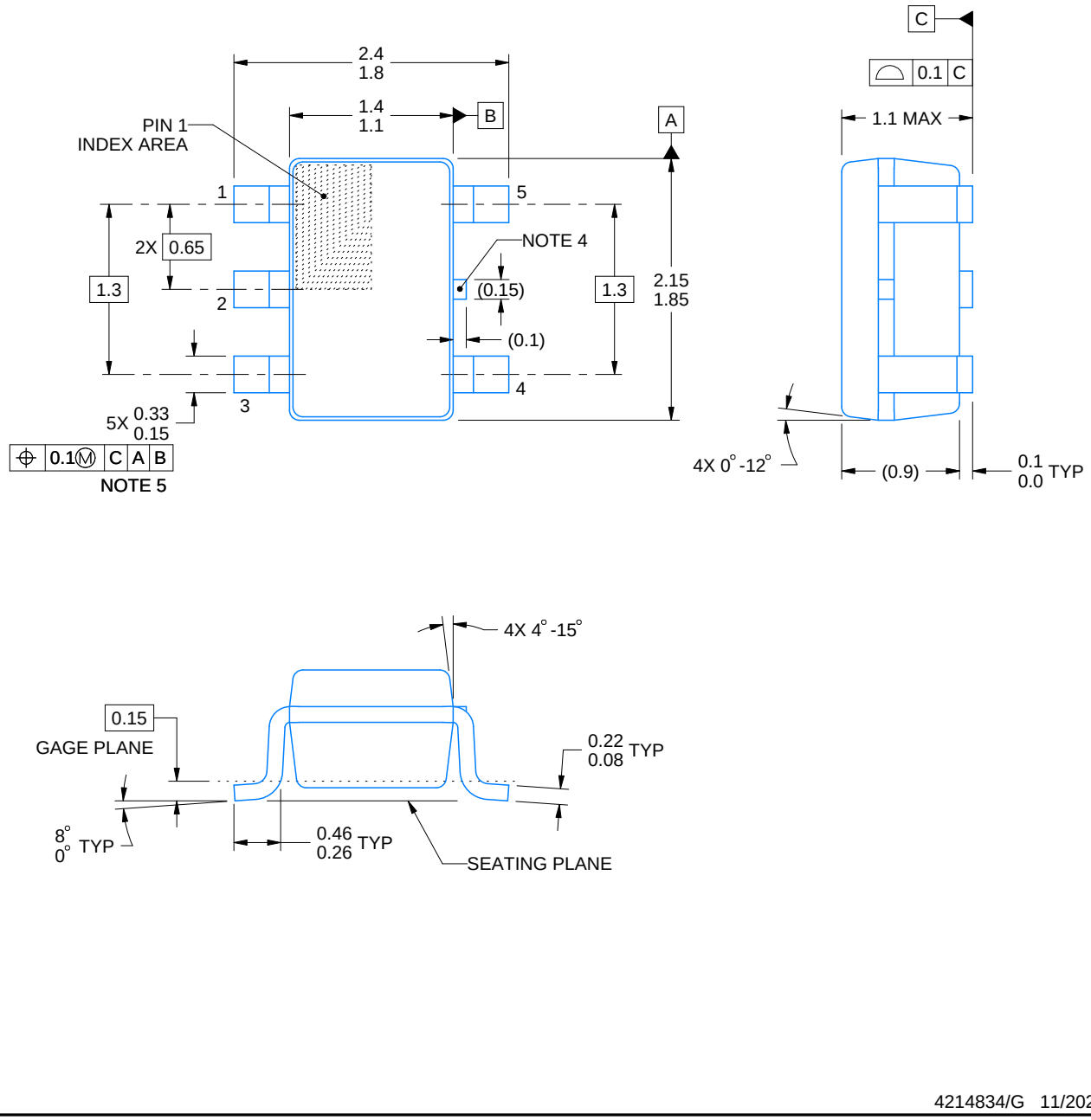
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

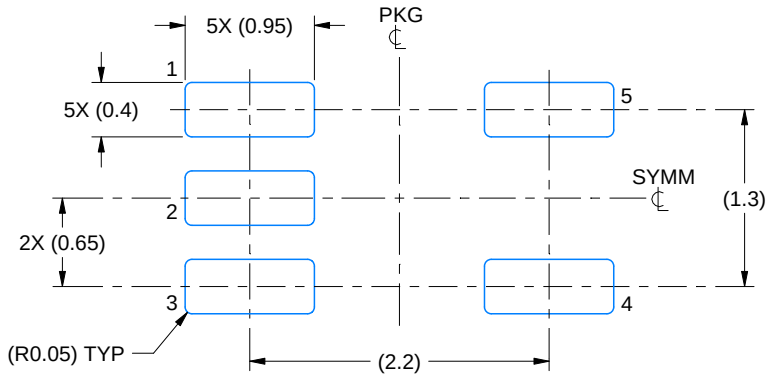
SMALL OUTLINE TRANSISTOR



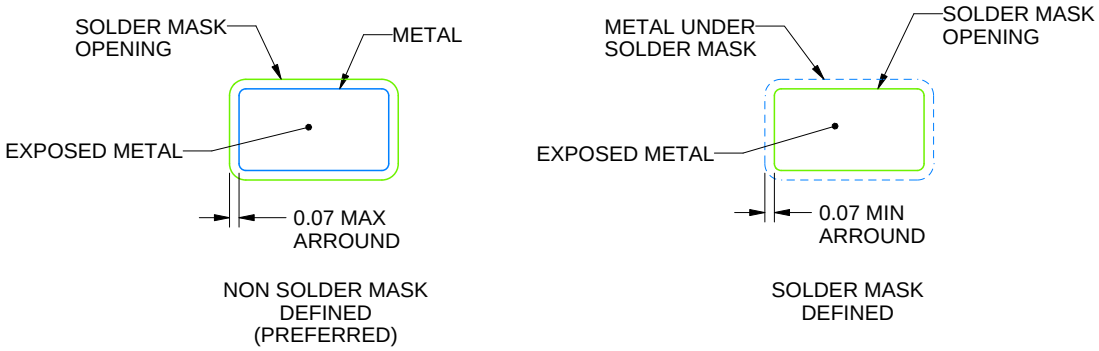
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

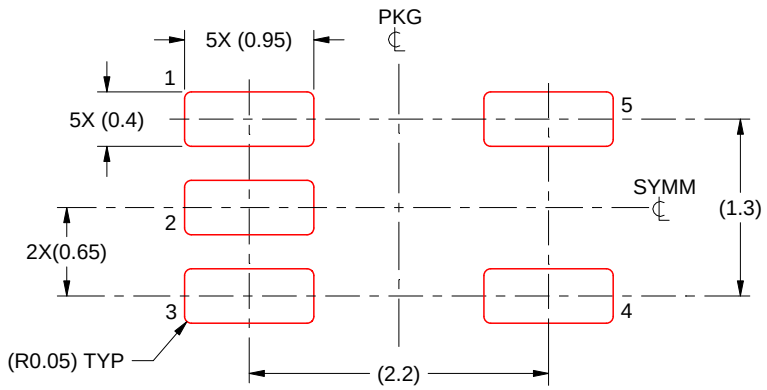


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

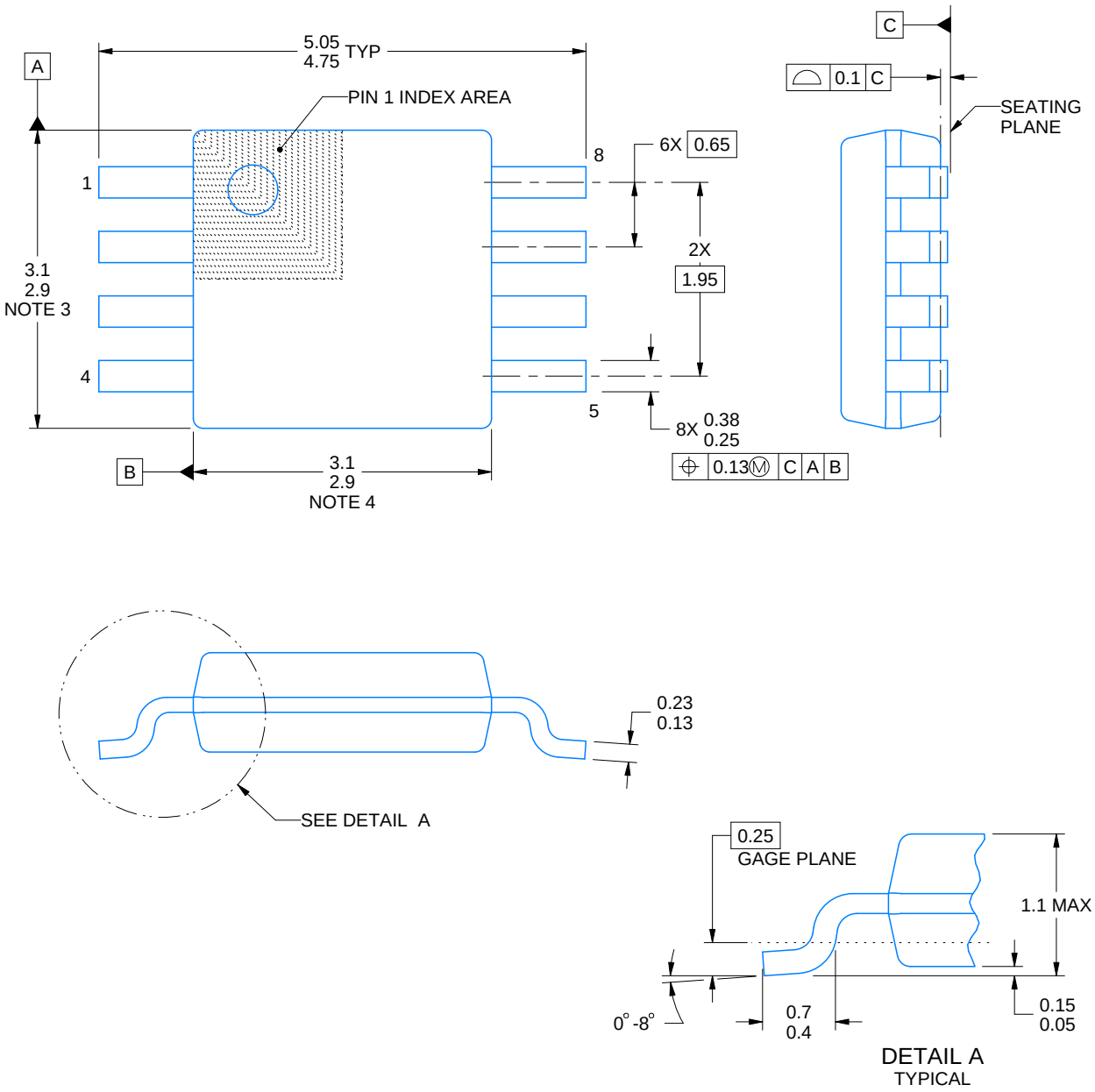
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

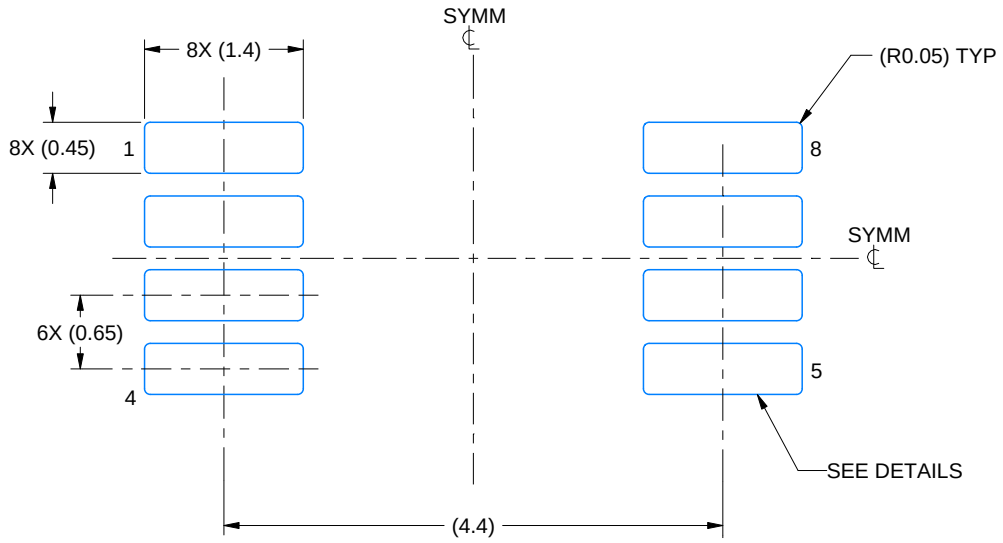
SMALL OUTLINE PACKAGE



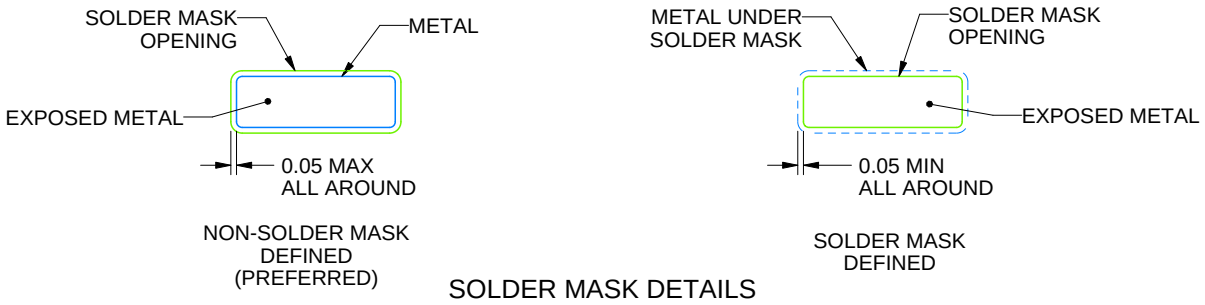
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

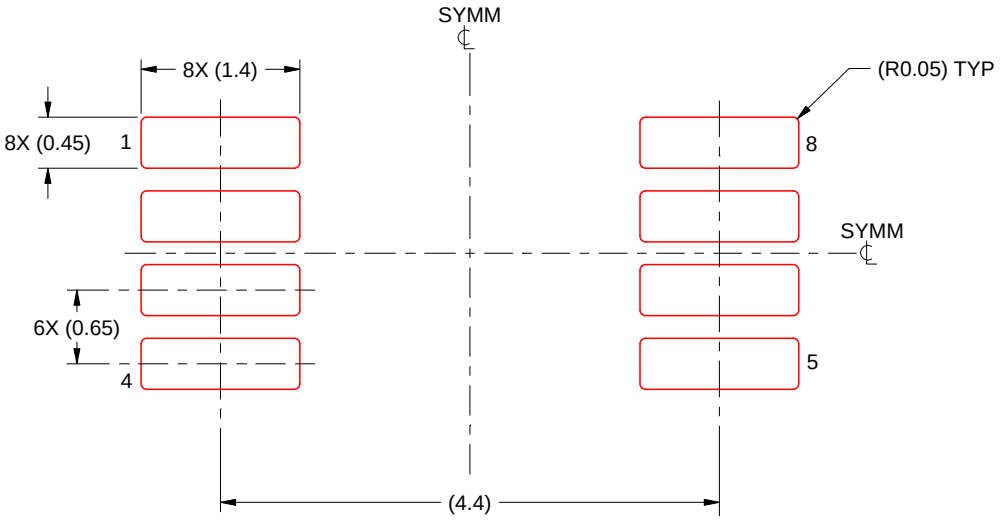


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

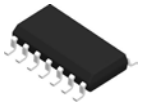


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

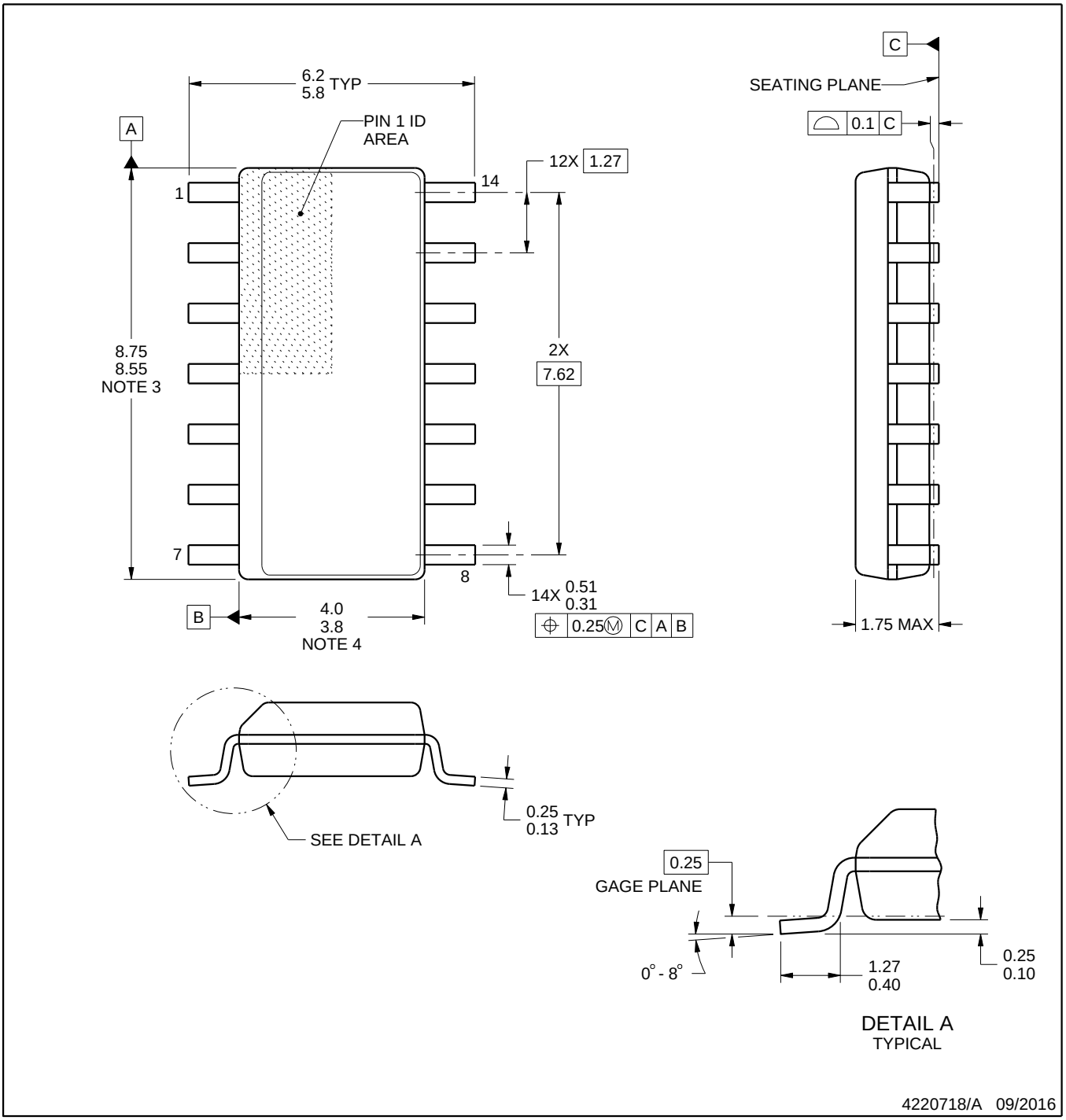


PACKAGE OUTLINE

D0014A

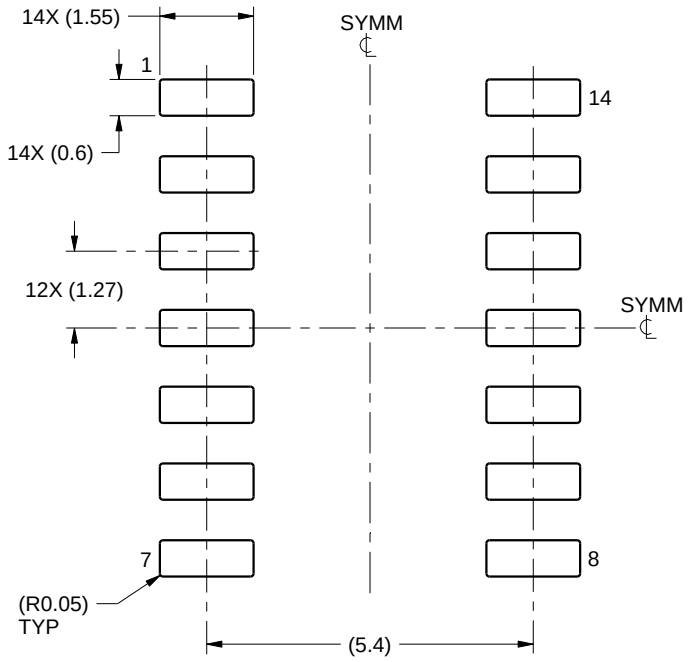
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

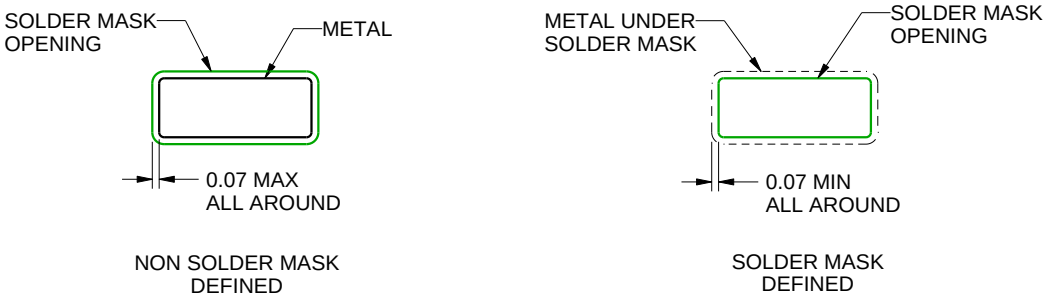


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

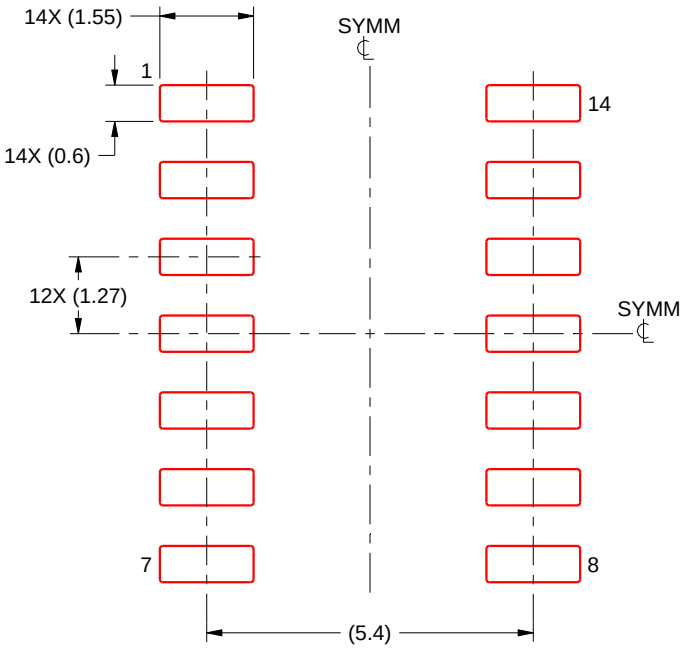
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

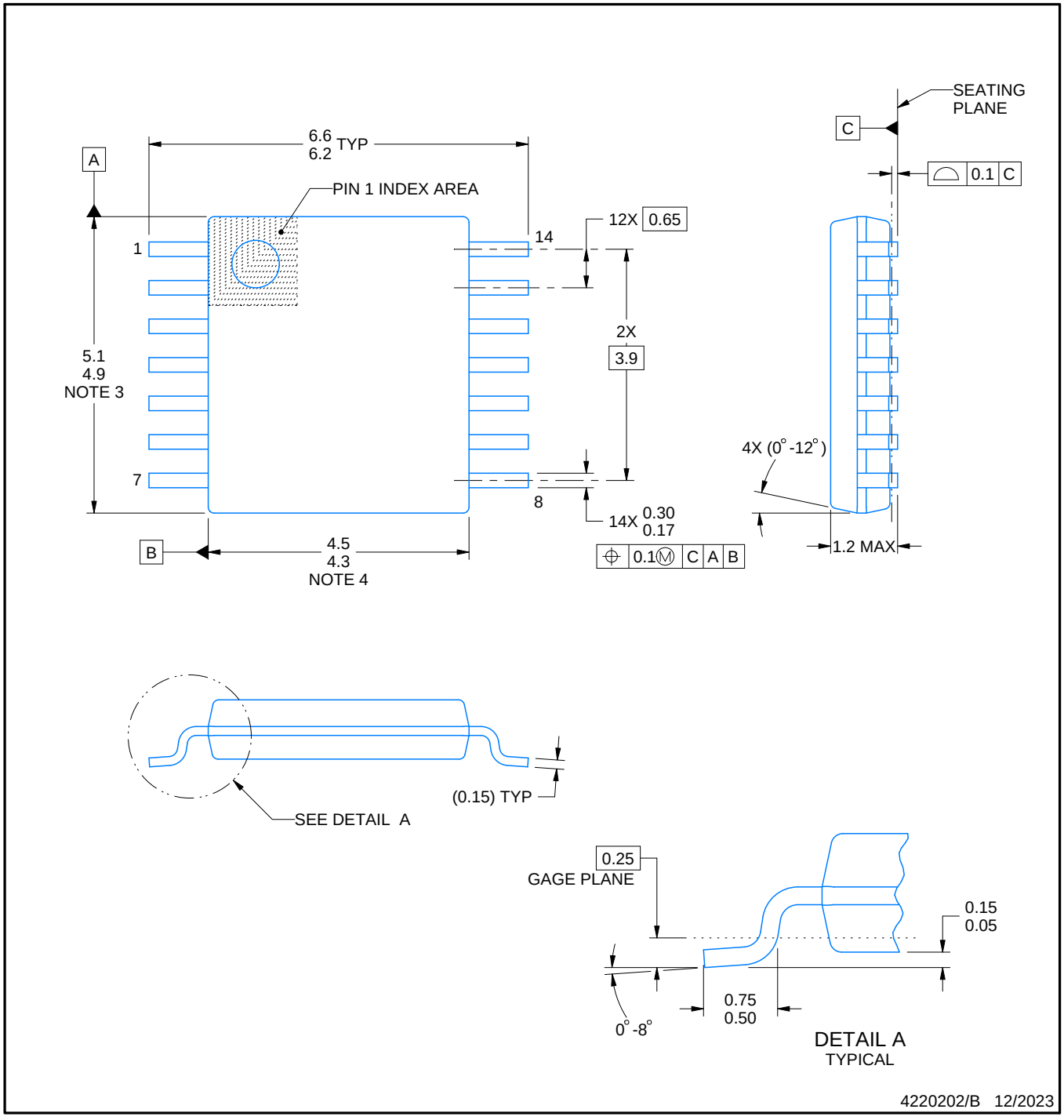
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

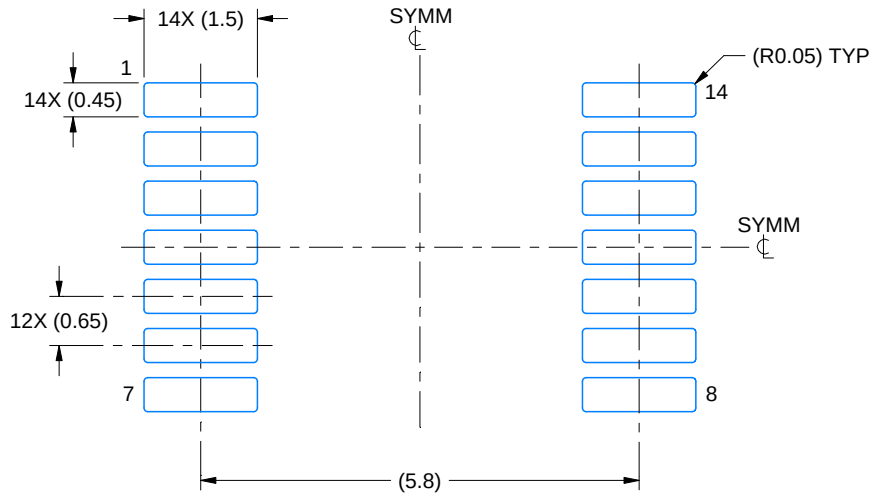
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

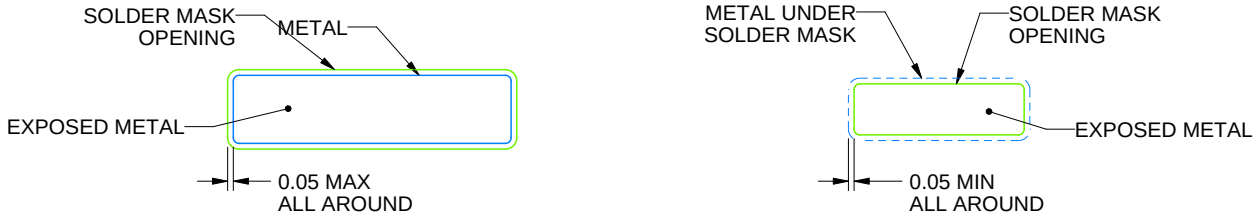


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

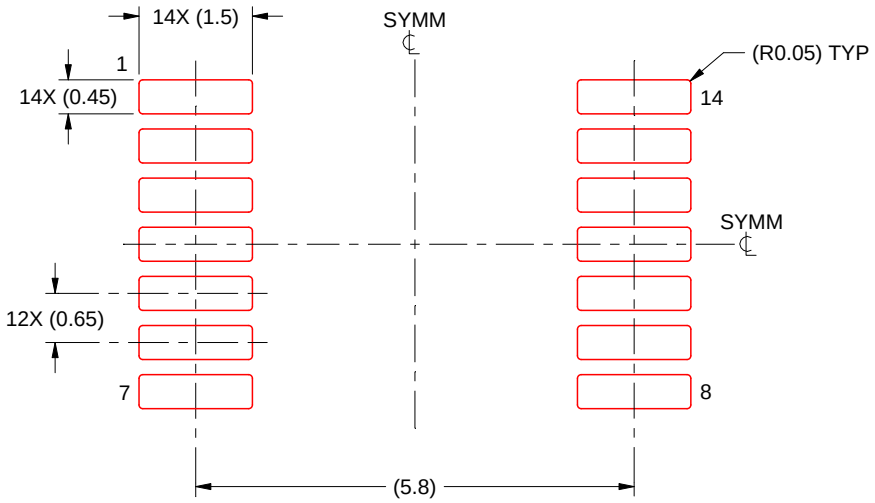


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

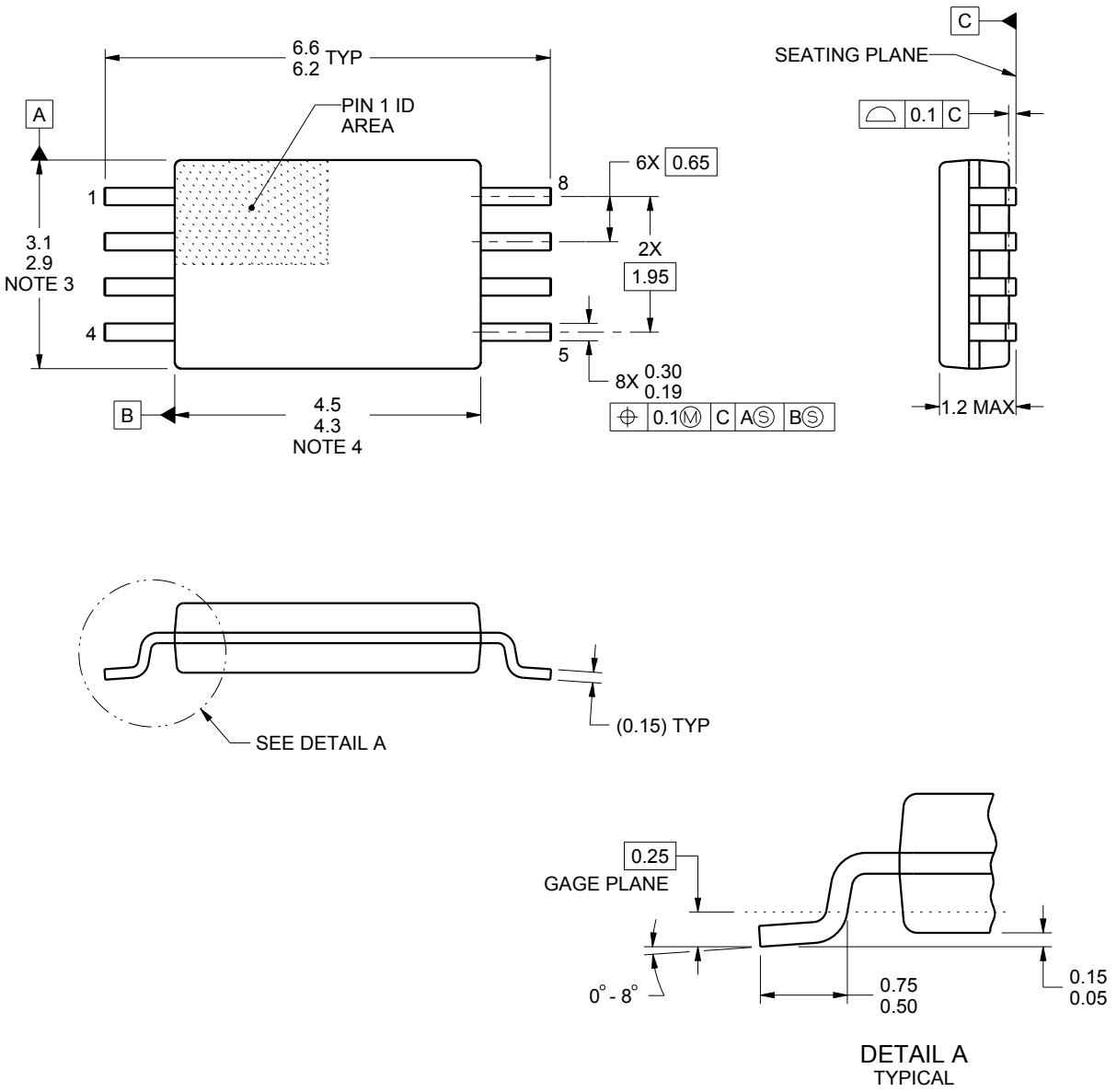
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

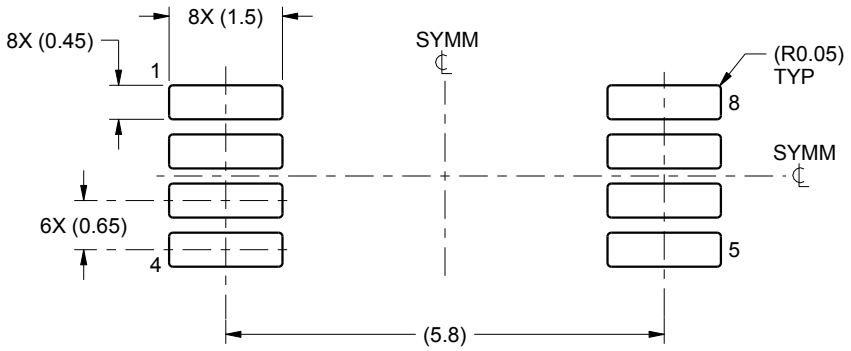
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

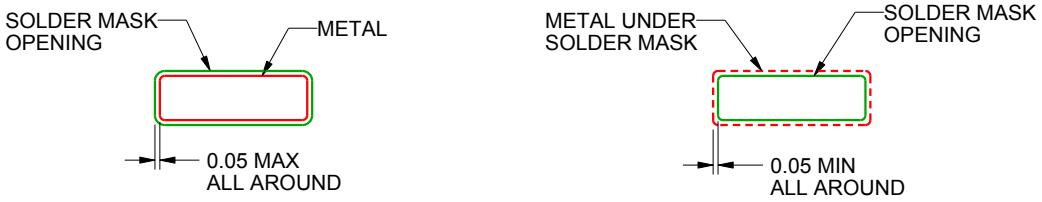


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

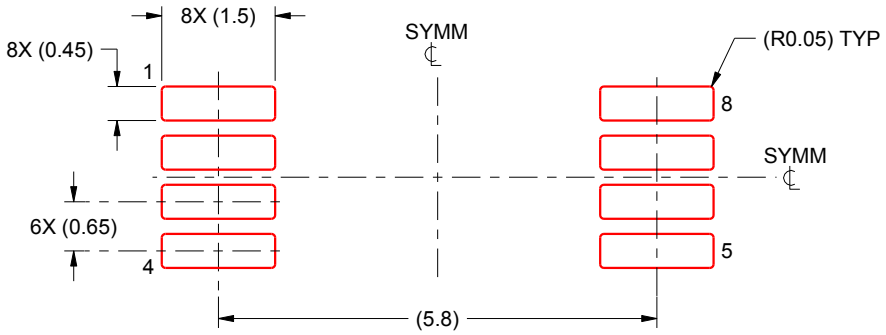


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

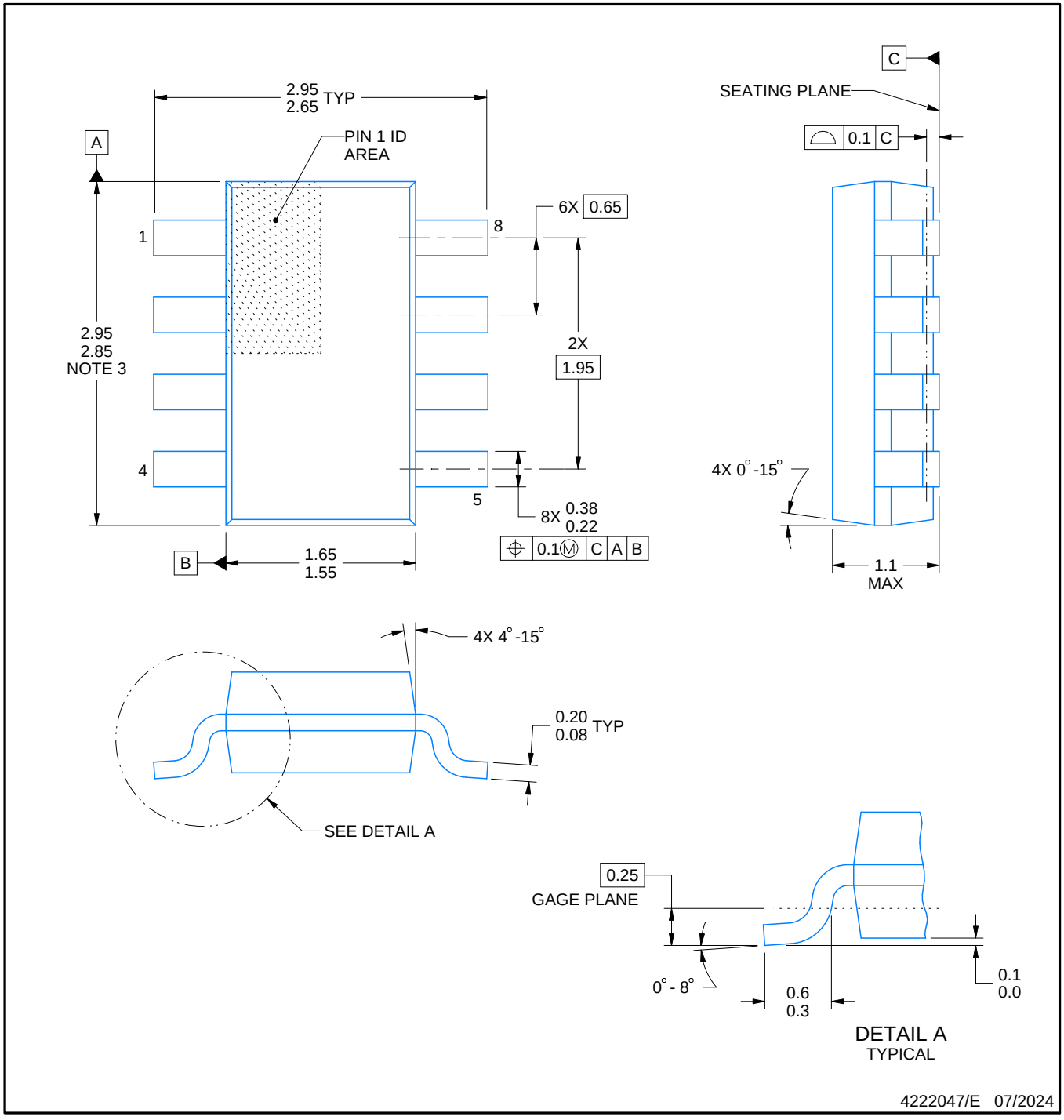
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

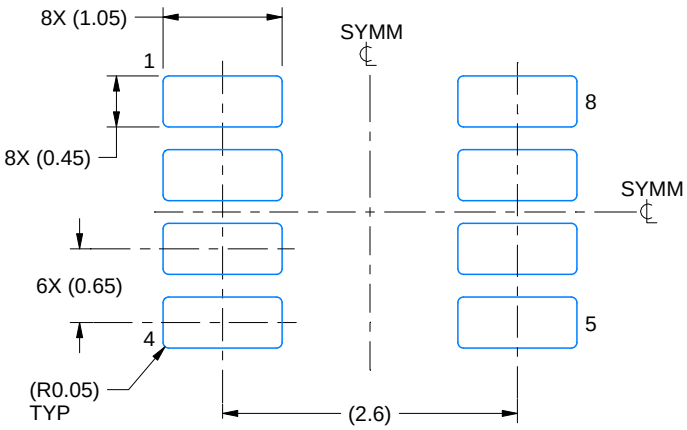
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

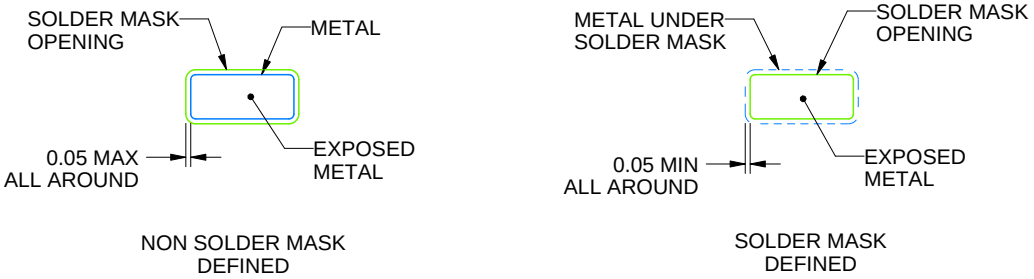


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

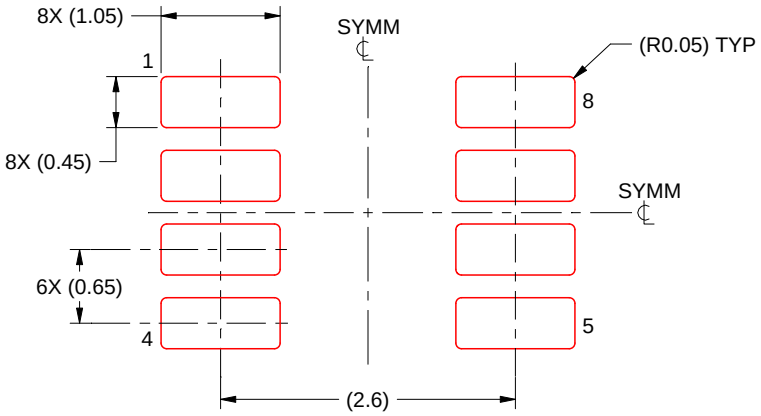
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

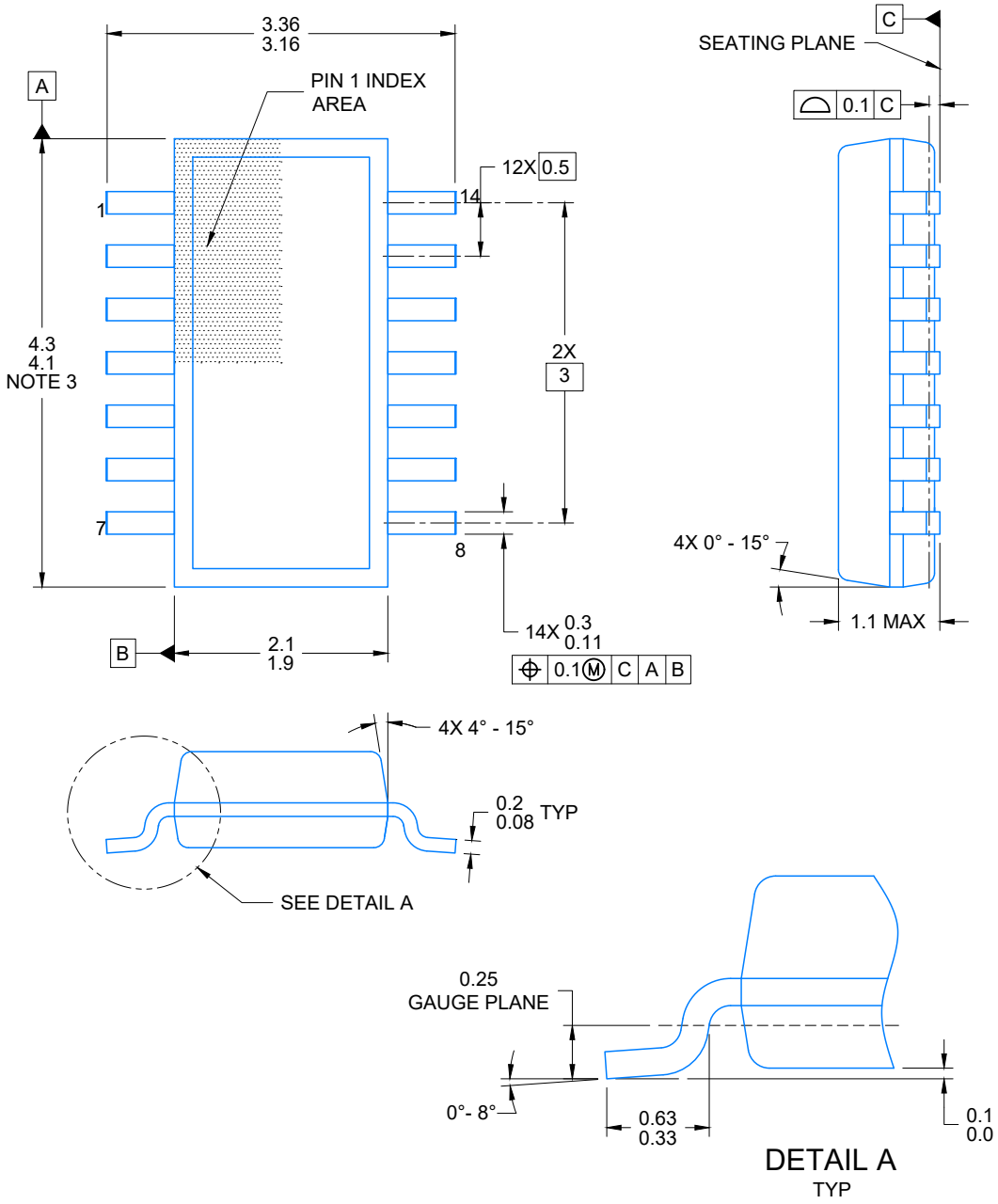
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0014A

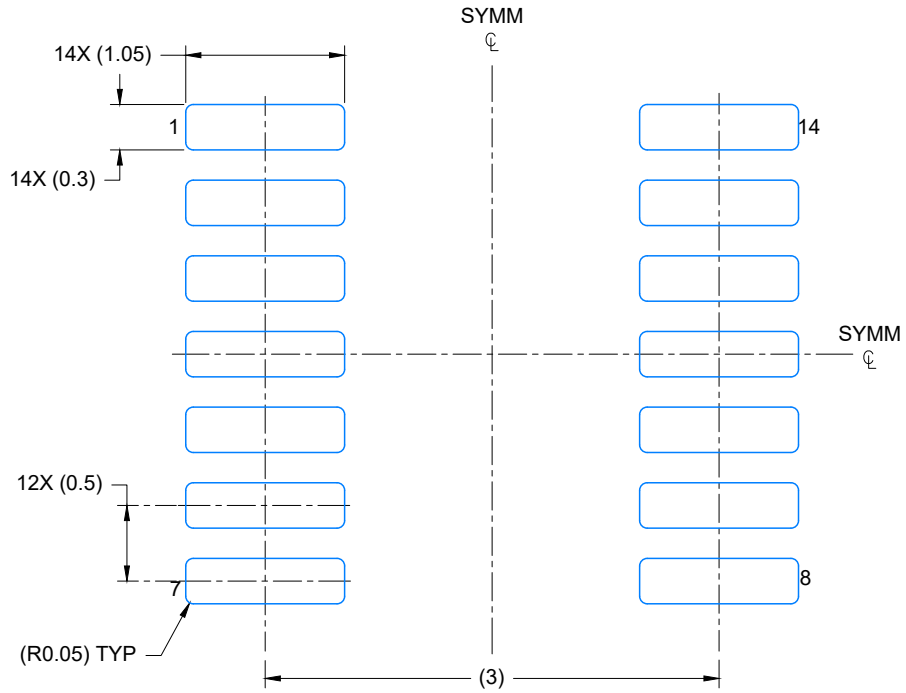
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

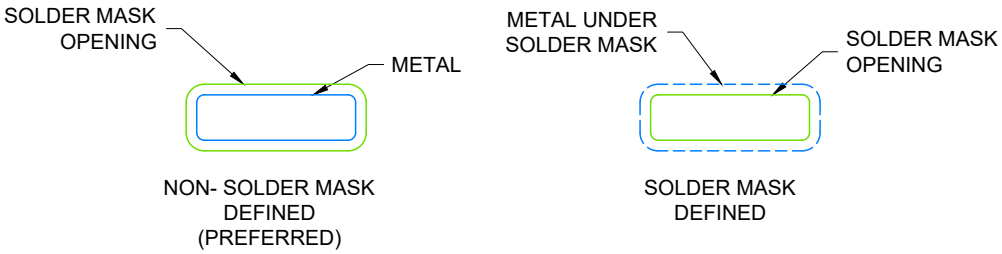


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

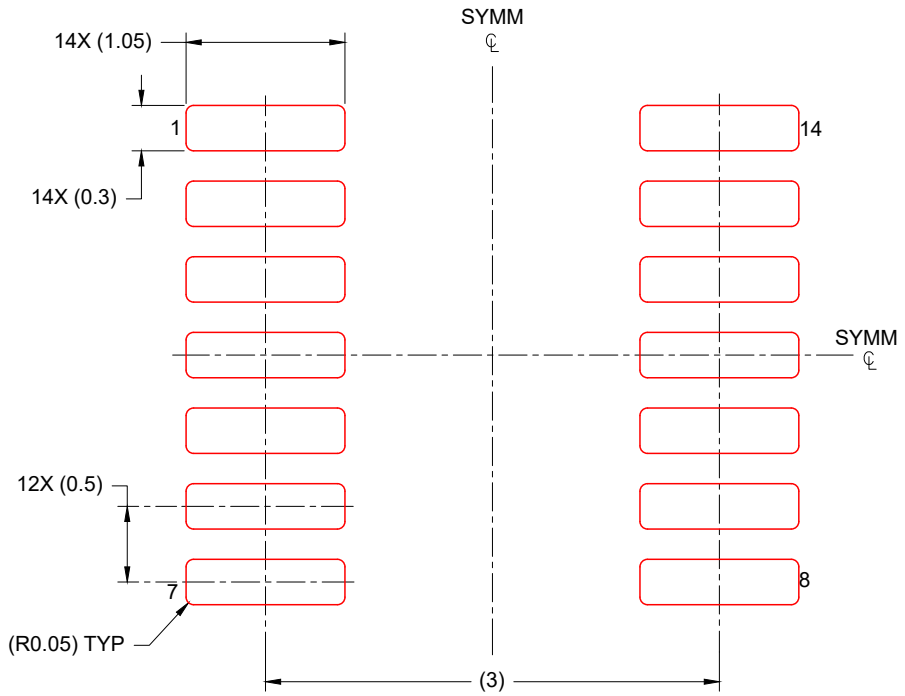


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

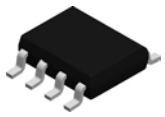


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

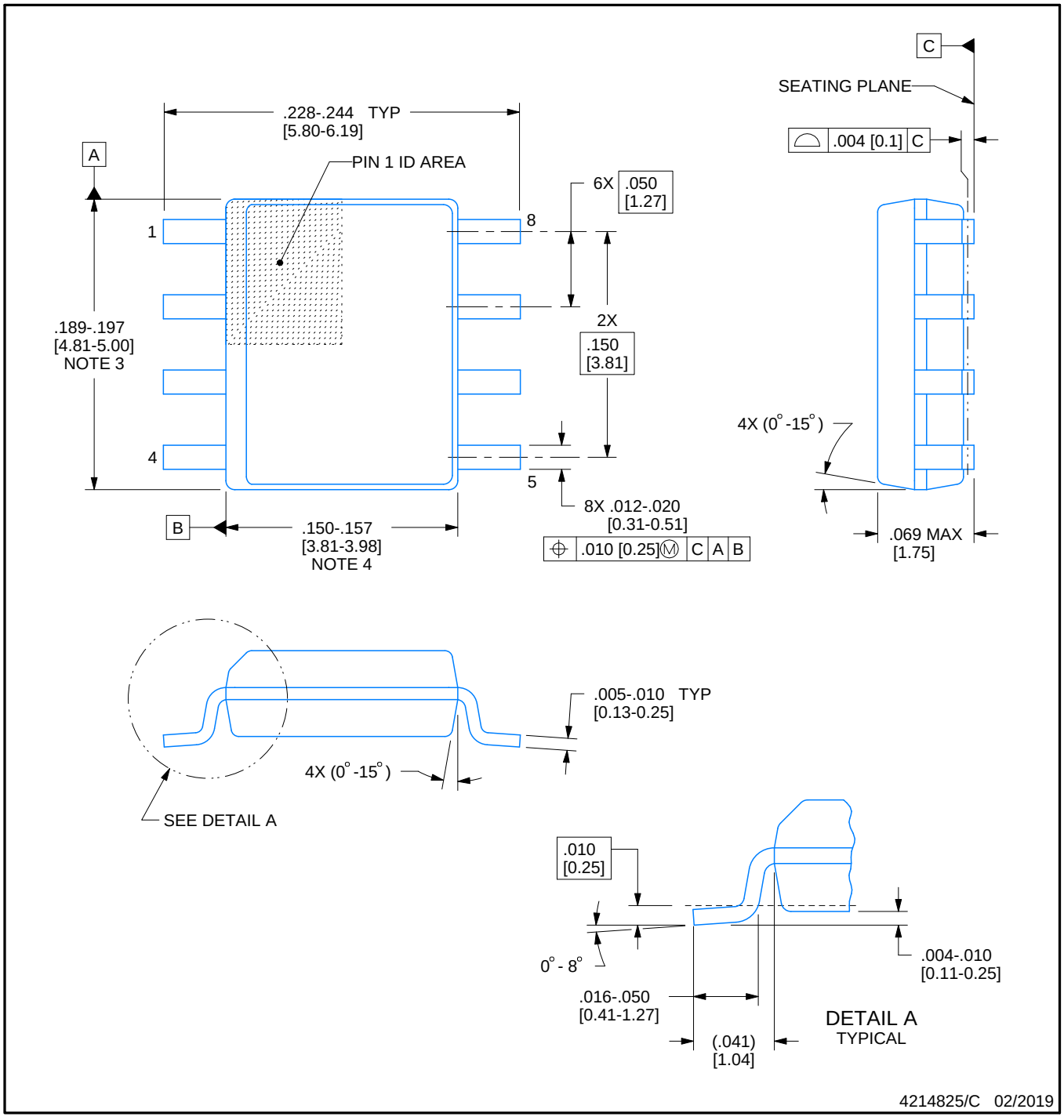


PACKAGE OUTLINE

D0008A

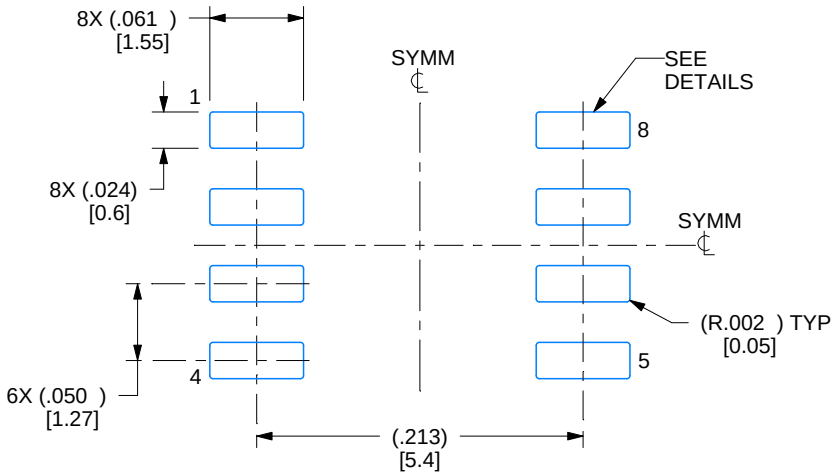
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

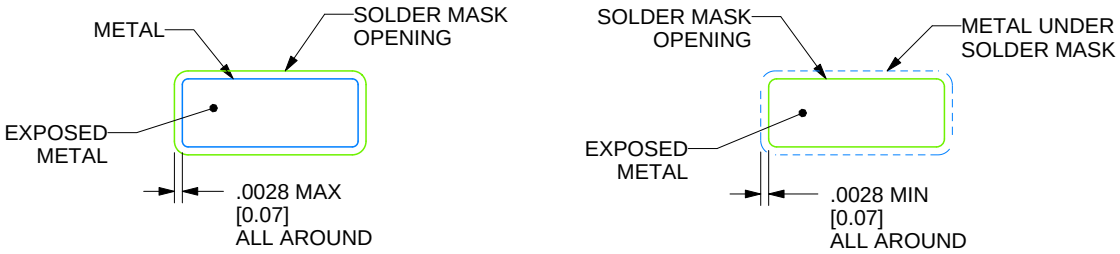


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

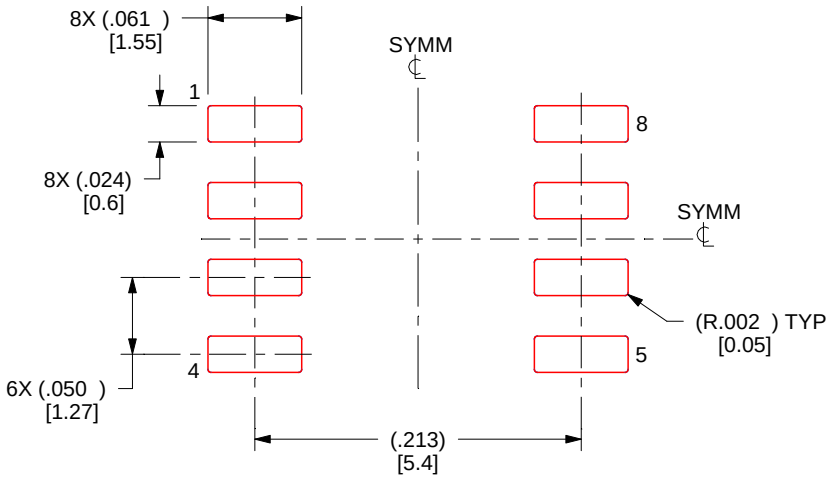
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月