ADS1220 具有集成式 PGA 和基准的 4 通道、2kSPS、低功耗、24 位 ADC

1 特性

- 低电流消耗：
  - 在占空比模式下低至 120 μA（典型值）
- 宽电源电压范围：2.3V 至 5.5V
- 可编程增益: 1 至 128
- 可编程数据速率：最高 2kSPS
- 高达 20 位的有效分辨率
- 使用单周期趋稳数字滤波器在 20SPS 下实现同步抑制 50Hz 和 60Hz
- 两路差分或思路单端输入
- 双匹配可编程电流源：
  - 10 μA 至 1.5mA
- 内部 2.048V 基准：5ppm/°C（典型值）漂移
- 内部 2% 高精度振荡器
- 内部温度传感器：
  - 0.5°C（典型值）精度
- SPI 兼容接口（模式 1）

2 应用

- 现场发送器：
  - 温度、压力、应变、流量
- PLC 和 DCS 模拟输入模块
- 患者监护系统：
  - 体温、血压
- 工厂自动化和过程控制

3 说明

ADS1220 是一款精密的 24 位模数转换器 (ADC)，其丰富的集成特性可降低测量微小传感器信号的应用中的系统成本和元件数量。该器件通过灵活的输入多路复用器 (MUX) 提供两路差分或四路单端输入，并集成了一个低噪声可编程增益放大器 (PGA)、两个可编程激励电流源、一个电压基准、一个振荡器、一个低侧开关以及一个精密温度传感器。

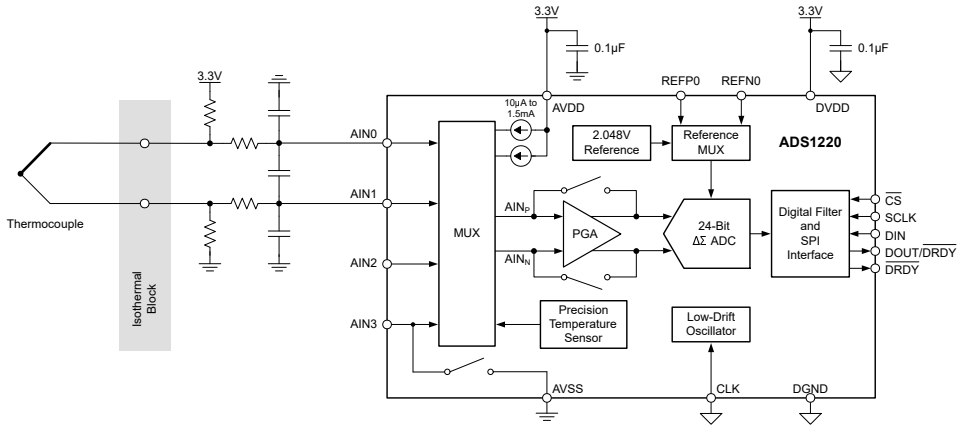
该器件能以高达 2,000 次采样每秒 (SPS) 的数据速率进行转换，并具备单周期稳定特性。在 20SPS 下，数字滤波器可同步抑制 50Hz 和 60Hz 干扰，满足噪声工业应用的需求。内部 PGA 提供高达 128 的增益。该 PGA 使 ADS1220 专为测量微小传感器信号的应用而设计，例如电阻温度检测器 (RTD)、热电偶、热敏电阻和电阻桥式传感器。使用 PGA 时，该器件支持伪差分或全差分信号测量。或者，可将器件配置为旁路内部 PGA，同时仍可提供高输入阻抗和最高 4 的增益，从而支持单端测量。

在禁用 PGA 且以占空比模式运行时，功耗低至 120 μA。ADS1220 采用无引线 VQFN-16 或 TSSOP-16 封装，额定工作温度范围为 –40°C 至 +125°C。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADS1220	RVA（VQFN，16）	3.5mm × 3.5mm
	PW（TSSOP，16）	5.0mm × 6.4mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



K 型热电偶测量

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 4
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议运行条件 6
6.4 热性能信息 6
6.5 电气特性 7
6.6 SPI 时序要求 9
6.7 SPI 开关特性 9
6.8 时序图 9
6.9 典型特性 10
7 参数测量信息 16
7.1 噪声性能 16
8 详细说明 19
8.1 概述 19
8.2 功能方框图 19
8.3 特性说明 20
8.3.1 多路复用器 20
8.3.2 低噪声 PGA 21
8.3.3 电压基准 26
8.3.4 时钟源 26
8.3.5 调制器 26
8.3.6 数字滤波器 27
8.3.7 输出数据速率 30
8.3.8 激励电流源 30
8.3.9 低侧电源开关 31
8.3.10 传感器检测 31
8.3.11 系统监控器 32
8.3.12 偏移校准 32
8.3.13 温度传感器 33
8.4 器件功能模式 34
8.4.1 上电和复位 34
8.4.2 转换模式 34
8.4.3 工作模式 35
8.5 编程 36
8.5.1 串行接口 36
8.5.2 数据格式 37
8.5.3 命令 38
8.5.4 读取数据 38
8.5.5 发送命令 40
8.5.6 连接多个器件 40
8.6 寄存器映射 42
8.6.1 配置寄存器 42
8.6.2 寄存器说明 42
9 应用和实施 47
9.1 应用信息 47
9.1.1 串行接口连接 47
9.1.2 模拟输入滤波 48
9.1.3 外部基准与比例式测量 49
9.1.4 建立适当的共模输入电压 49
9.1.5 未使用的输入和输出 50
9.1.6 伪代码示例 51
9.2 典型应用 52
9.2.1 K 型热电偶测量（-200°C 至 +1,250°C） 52
9.2.2 3 线 RTD 测量（–200°C 至 +850°C） 55
9.2.3 电阻式电桥测量 62
9.3 电源相关建议 64
9.3.1 电源排序 64
9.3.2 电源斜率 64
9.3.3 电源去耦 64
9.4 布局 65
9.4.1 布局指南 65
9.4.2 布局示例 66
10 器件和文档支持 67
10.1 文档支持 67
10.1.1 相关文档 67
10.2 接收文档更新通知 67
10.3 支持资源 67
10.4 商标 67
10.5 静电放电警告 67
10.6 术语表 67
11 修订历史记录 67
12 机械、封装和可订购信息 68

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

器件	分辨率（位）	最大增益	最大数据速率 (kSPS)	通道数	接口	激励电流源	温度传感器	双极电源	时钟	封装
ADS1119	16	4	1	4	I^2C	否	否	否	内部	WQFN-16 TSSOP-16
ADS1219	24	4	1	4	I^2C	否	否	否	内部	WQFN-16 TSSOP-16
ADS1120	16	128	2	4	SPI	是	是	是	内部、外部	VQFN-16 TSSOP-16
ADS1220	24	128	2	4	SPI	是	是	是	内部、外部	VQFN-16 TSSOP-16
ADS112C04	16	128	2	4	I^2C	是	是	是	内部	WQFN-16 TSSOP-16
ADS122C04	24	128	2	4	I^2C	是	是	是	内部	WQFN-16 TSSOP-16
ADS112U04	16	128	2	4	UART	是	是	是	内部	WQFN-16 TSSOP-16
ADS122U04	24	128	2	4	UART	是	是	是	内部	WQFN-16 TSSOP-16
ADS112S14	16	256	64	8	SPI	是	是	否	内部、外部	WQFN-16 DBSGA-16
ADS122S14	24	256	64	8	SPI	是	是	否	内部、外部	WQFN-16 DBSGA-16
ADS112C14	16	256	64	8	I^2C	是	是	否	内部、外部	WQFN-16 DBSGA-16
ADS122C14	24	256	64	8	I^2C	是	是	否	内部、外部	WQFN-16 DBSGA-16

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

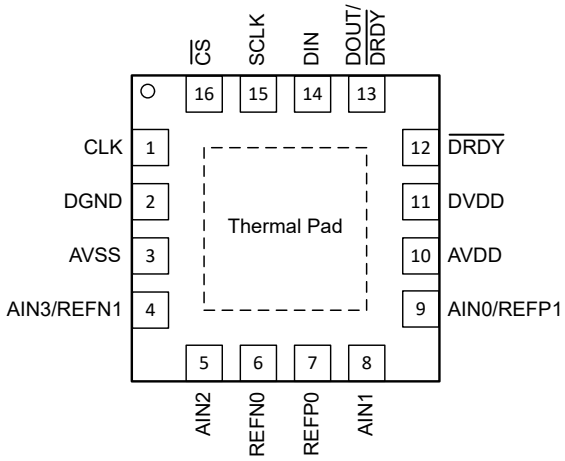


图 5-1. RVA 封装、 16 引脚 VQFN

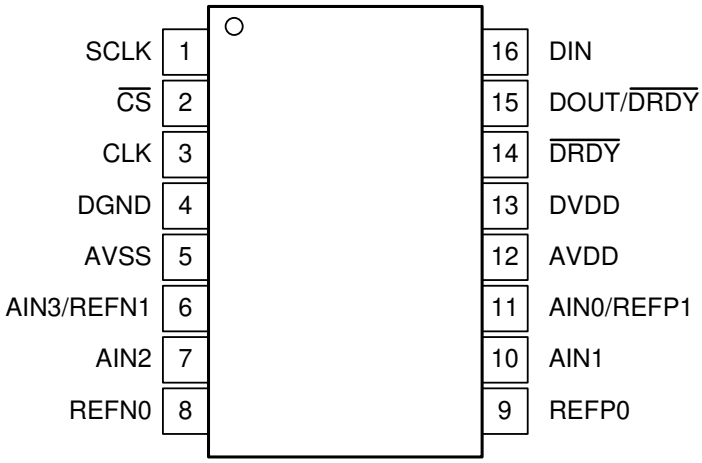


图 5-2. PW 封装、 16 引脚 TSSOP

表 5-1. 引脚功能

引脚			类型	说明(1)
名称	编号			
	RVA	PW		
AIN0/REFP1	9	11	模拟输入	模拟输入 0、正基准输入 1
AIN1	8	10	模拟输入	模拟输入 1
AIN2	5	7	模拟输入	模拟输入 2
AIN3/REFN1	4	6	模拟输入	模拟输入 3、负基准输入 1。 连接在 AIN3/REFN1 和 AVSS 之间的内部低侧电源开关。
AVDD	10	12	模拟电源	正模拟电源。将一个 100nF (或更大的) 电容器连接至 AVSS。
AVSS	3	5	模拟电源	负模拟电源
CLK	1	3	数字输入	外部时钟源引脚。不使用时连接至 DGND。
$\overline{CS}$	16	2	数字输入	片选，低电平有效。不使用时连接至 DGND。
DGND	2	4	数字电源	数字接地
DIN	14	16	数字输入	串行数据输入
DOUT/$\overline{DRDY}$	13	15	数字输出	串行数据输出和数据就绪信号结合，低电平有效
$\overline{DRDY}$	12	14	数字输出	数据就绪，低电平有效。 如果不使用，则保持未连接状态或使用弱上拉电阻器连接到 DVDD。
DVDD	11	13	数字电源	正数字电源。将一个 100nF (或更大的) 电容器连接至 DGND。
REFN0	6	8	模拟输入	负基准输入 0
REFP0	7	9	模拟输入	正基准输入 0
SCLK	15	1	数字输入	串行时钟输入
散热焊盘	Pad	—	—	散热 PowerPAD。不连接或仅连接至 AVSS。

(1) 有关未使用引脚的连接方式，请参见*未使用的输入和输出*部分。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	-0.3	7	V
	DVDD 至 DGND	-0.3	7	V
	AVSS 至 DGND	-2.8	0.3	V
模拟输入电压	AIN0/REFP1、AIN1、AIN2、AIN3/REFN1、REFP0、REFN0	AVSS – 0.3	AVDD + 0.3	V
数字输入电压	$\overline{CS}$、SCLK、DIN、DOUT/$\overline{DRDY}$、$\overline{DRDY}$、CLK	DGND – 0.3	DVDD + 0.3	V
输入电流	连续，除电源引脚外的任何引脚	-10	10	mA
温度	结温，T_J	-40	150	°C
	贮存温度，T_{stg}	-60	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 可通过标准 ESD 控制流程实现安全生产。

Copyright © 2026 Texas Instruments Incorporated

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源						
	单极模拟电源	AVDD 至 AVSS	2.3		5.5	V
		AVSS 至 DGND	-0.1	0	0.1	
	双极模拟电源	AVDD 至 DGND	2.3	2.5	2.75	V
		AVSS 至 DGND	-2.75	-2.5	-2.3	
	数字电源	DVDD 至 DGND	2.3		5.5	V
模拟输入(1)						
V_{IN}	差分输入电压	$V_{IN} = V_{AINP} - V_{AINN}$ (2)	$-V_{REF}$ / 增益		V_{REF} / 增益	V
V_{AINx}	绝对输入电压	禁用 PGA，增益 = 1 至 4	AVSS – 0.1		AVDD + 0.1	V
		启用 PGA，增益 = 1 至 128	请参阅*低噪声 PGA* 部分			
V_{CM}	共模输入电压	禁用 PGA，增益 = 1 至 4	AVSS – 0.1		AVDD + 0.1	V
		启用 PGA，增益 = 1 至 128	请参阅*低噪声 PGA* 部分			
电压基准输入(3)						
V_{REF}	差分基准输入电压	$V_{REF} = V_{REFPx} - V_{REFNx}$	0.75	2.5	AVDD – AVSS	V
V_{REFNx}	绝对负基准电压		AVSS – 0.1		V_{REFPx} – 0.75	V
V_{REFPx}	绝对正基准电压		V_{REFNx} + 0.75		AVDD + 0.1	V
外部时钟源						
f_{CLK}	外部时钟频率		0.5	4.096	4.5	MHz
	占空比		40%		60%	
数字输入						
	输入电压		DGND		DVDD	V
温度范围						
T_A	工作环境温度		-40		125	°C

(1) AIN_P 和 AIN_N 表示 PGA 正输入和负输入。AINx 表示四路可用模拟输入之一。
禁用 PGA 意味着低噪声 PGA 断电并被旁路。在这种情况下，仍然可以实现增益 1、2 和 4。
有关更多信息，请参阅*旁路 PGA* 部分。
(2) 不包括偏移和增益误差的影响。
启用 PGA 时，限制为 ±[(AVDD – AVSS) – 0.4V] / 增益。
(3) REFPx 和 REFNx 表示两对可用的差分基准输入中的一对。

6.4 热性能信息

热指标(1)		ADS1220		单位
		VQFN (RVA)	TSSOP (PW)	
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	43.4	99.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	47.3	35.2	°C/W
$R_{\theta JB}$	结至电路板热阻	18.4	44.3	°C/W
ψ_{JT}	结至顶部特征参数	0.6	2.4	°C/W
ψ_{JB}	结至电路板特征参数	18.4	43.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.0	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的适用条件为 T_A = 25°C。
所有规格均在以下条件下测得：AVDD = 3.3V，AVSS = 0V，DVDD = 3.3V，启用 PGA，DR = 20SPS 且外部 V_{REF} = 2.5V（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
	绝对输入电流			请参阅*典型特性*		
	差分输入电流			请参阅*典型特性*		
系统性能						
	分辨率（无代码丢失）			24		位
DR	数据速率	正常模式		20、45、90、175、330、600、1000		SPS
		占空比模式		5、11.25、22.5、44、82.5、150、250		
		Turbo 模式		40、90、180、350、660、1200、2000		
	噪声（输入参考）			请参阅*噪声性能*部分		
INL	积分非线性	增益 = 1 至 128，V_{CM} = 0.5AVDD，最佳拟合(1)	-15	±6	15	ppm_{FSR}
V_{IO}	输入偏移电压	禁用 PGA，增益 = 1 至 4，差分输入		±4		μV
		增益 = 1，差分输入，T_A = 25°C	-30	±4	30	
		增益 = 2 至 128，差分输入		±4		
	偏移漂移	禁用 PGA，增益 = 1 至 4		0.25		μV/°C
		增益 = 1 至 128，T_A = –40°C 至 +85°C(1)		0.08	0.3	
		增益 = 1 至 128		0.25		
	偏移匹配	在任意两个输入之间匹配		±20		μV
	增益误差	禁用 PGA，增益 = 1 至 4		±0.015%		
		增益 = 1 至 128，T_A = 25°C	-0.1%	±0.015%	0.1%	
	增益漂移	禁用 PGA，增益 = 1 至 4		1		ppm/°C
		增益 = 1 至 128(1)		1	4	
NMRR	正常模式抑制比(1)	50Hz ±3%，DR = 20SPS，外部时钟，50/60 位 = 10b	105			dB
		60Hz ±3%，DR = 20SPS，外部时钟，50/60 位 = 11b	105			
		50Hz 或 60Hz ±3%，DR = 20SPS，外部时钟，50/60 位 = 01b	90			
CMRR	共模抑制比	直流时，增益 = 1	90	105		dB
		f_{CM} = 50Hz，DR = 2000SPS(1)	95	115		
		f_{CM} = 60Hz，DR = 2000SPS(1)	95	115		
PSRR	电源抑制比	AVDD 为直流，V_{CM} = 0.5AVDD，增益 = 1	80	105		dB
		DVDD 为直流，V_{CM} = 0.5AVDD，增益 = 1(1)	100	115		
内部电压基准						
	初始精度	T_A = 25°C	2.045	2.048	2.051	V
	基准漂移(1)			5	30	ppm/°C
	长期漂移	1000 小时		110		ppm
电压基准输入						
	基准输入电流	REFP0 = V_{REF}，REFN0 = AVSS		±10		nA
内部振荡器						
	内部振荡器精度	正常模式	-2%	±1%	2%	
激励电流源 (IDAC)						
	电流设置			10、50、100、250、500、1000、1500		μA
	顺从电压	所有电流设置			AVDD – 0.9	V
	精度	所有电流设置，每个 IDAC	-6%	±1%	6%	
	电流匹配	IDAC 之间（对 10μA 设置无效）		±0.3%		
	温度漂移	每个 IDAC（对 10μA 设置无效）		50		ppm/°C

Copyright © 2026 Texas Instruments Incorporated

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的适用条件为 T_A = 25°C。
所有规格均在以下条件下测得：AVDD = 3.3V，AVSS = 0V，DVDD = 3.3V，启用 PGA，DR = 20SPS 且外部 V_{REF} = 2.5V（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
	温度漂移匹配	IDAC 之间（对 10μA 设置无效）		10		ppm/°C
温度传感器						
	转换分辨率			14		位
	温度分辨率			0.03125		°C
	精度	T_A = 0°C 至 +75°C	-0.5	±0.25	0.5	°C
		T_A = -40°C 至 +125°C	-1	±0.5	1	
	精度与模拟电源电压间的关系			0.0625	0.25	°C/V
低侧电源开关						
R_{ON}	导通电阻			3.5	5.5	Ω
	流经开关的电流				30	mA
数字输入/输出						
V_{IH}	高电平输入电压		0.7 DVDD		DVDD	V
V_{IL}	低电平输入电压		DGND		0.3 DVDD	V
V_{OH}	高电平输出电压	I_{OH} = 3mA	0.8 DVDD			V
V_{OL}	低电平输出电压	I_{OL} = 3mA			0.2 DVDD	V
I_H	输入泄漏，高电平	V_{IH} = 5.5V	-10		10	μA
I_L	输入泄漏，低电平	V_{IL} = DGND	-10		10	μA
电源						
I_{AVDD}	模拟电源电流(2)	断电模式		0.1	3	μA
		占空比模式，禁用 PGA		65		
		占空比模式，增益 = 1 至 16		95		
		占空比模式，增益 = 32		115		
		占空比模式，增益 = 64、128		135		
		正常模式，禁用 PGA		240		
		正常模式，增益 = 1 至 16		340	490	
		正常模式，增益 = 32		425		
		正常模式，增益 = 64、128		510		
		Turbo 模式，禁用 PGA		360		
		Turbo 模式，增益 = 1 至 16		540		
		Turbo 模式，增益 = 32		715		
		Turbo 模式，增益 = 64、128		890		
I_{DVDD}	数字电源电流(2)	断电模式		0.3	5	μA
		占空比模式		55		
		正常模式		75	110	
		Turbo 模式		95		
P_D	功率耗散(2)	占空比模式，禁用 PGA		0.4		mW
		正常模式，增益 = 1 至 16		1.4		
		Turbo 模式，增益 = 1 至 16		2.1		

(1) 最小值和最大值已经过设计和表征数据验证。
(2) 选择内部电压基准，启用内部振荡器，关闭 IDAC 且处于连续转换模式。
选择外部基准时，模拟电源电流增加 70μA，（典型值）正常模式，turbo 模式。
启用 IDAC 时，模拟电源电流增加 190μA（典型值）（不包括实际 IDAC 电流）。

Copyright © 2026 Texas Instruments Incorporated

6.6 SPI 时序要求

在工作环境温度范围内，DVDD = 2.3V 至 5.5V（除非另有说明）

			最小值	最大值	单位
$t_{d(CSSC)}$	延迟时间，$\overline{CS}$ 下降沿到第一个 SCLK 上升沿(2)		50		ns
$t_{d(SCCS)}$	延迟时间，最后一个 SCLK 下降沿到 $\overline{CS}$ 上升沿		25		ns
$t_{w(CSH)}$	脉冲持续时间，$\overline{CS}$ 为高电平		50		ns
$t_{c(SC)}$	SCLK 周期		150		ns
$t_{w(SCH)}$	脉冲持续时间，SCLK 高电平		60		ns
$t_{w(SCL)}$	脉冲持续时间，SCLK 低电平		60		ns
$t_{su(DI)}$	建立时间，SCLK 下降沿前的 DIN 有效		50		ns
$t_{h(DI)}$	保持时间，DIN 在 SCLK 下降沿后有效		25		ns
	SPI 超时(1)	正常模式、占空比模式		14000	t_{MOD}
		Turbo 模式		28000	

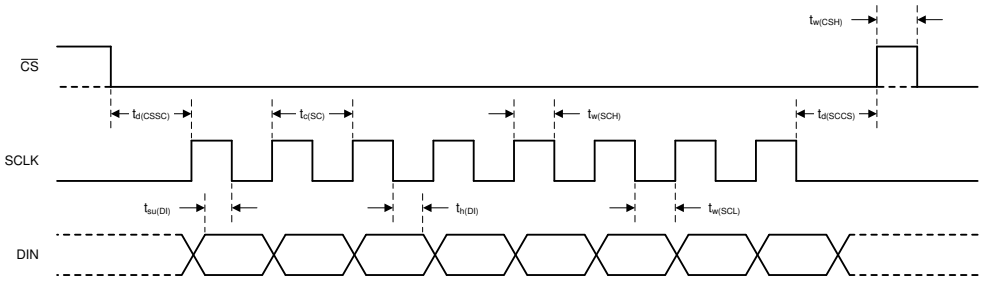
(1) 有关更多信息，请参阅 *SPI 超时*部分。
$t_{MOD} = 1 / f_{MOD}$。使用内部振荡器或外部 4.096MHz 时钟时，调制器频率 f_{MOD} = 256kHz（正常模式、占空比模式）和 512kHz（turbo 模式）。
(2) 如果串行总线未与任何其他器件共用，则 $\overline{CS}$ 可永久连接至低电平。

6.7 SPI 开关特性

在工作环境温度范围内，DVDD = 2.3V 至 5.5V（除非另有说明）

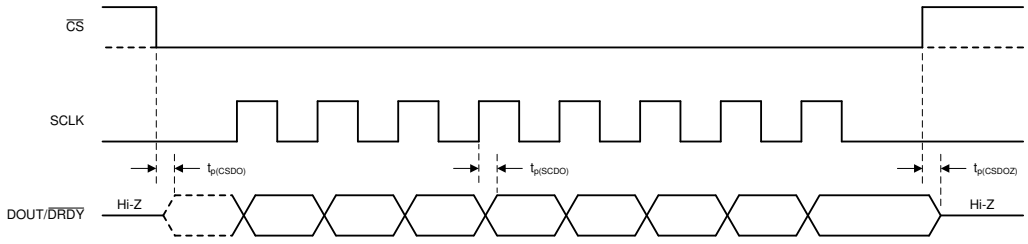
参数		测试条件	最小值	典型值	最大值	单位
$t_{p(CSDO)}$	传播延迟时间，$\overline{CS}$ 下降沿至 DOUT 被驱动	DOUT 负载 = 20pF || 10kΩ 至 DGND			50	ns
$t_{p(SCDO)}$	传播延迟时间，SCLK 上升沿至新的有效 DOUT	DOUT 负载 = 20pF || 10kΩ 至 DGND	0		50	ns
$t_{p(CSDOZ)}$	传播延迟时间，$\overline{CS}$ 上升沿至 DOUT 高阻抗	DOUT 负载 = 20pF || 10kΩ 至 DGND			50	ns

6.8 时序图



所示为单字节通信。实际通信可以是多个字节。

图 6-1. 串行接口时序要求

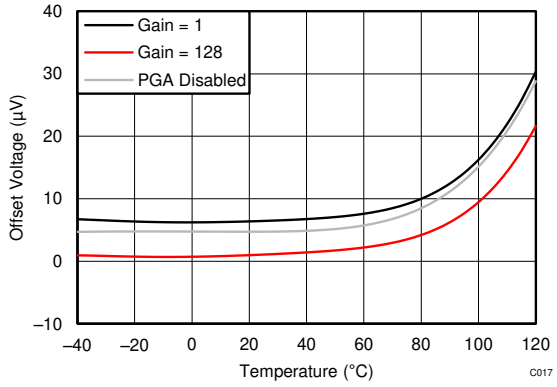


所示为单字节通信。实际通信可以是多个字节。

图 6-2. 串行接口开关特性

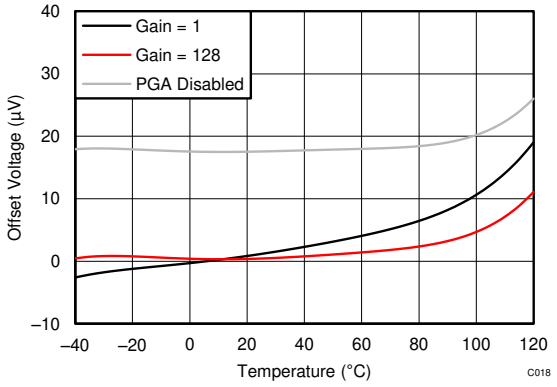
6.9 典型特性

T_A = 25°C，AVDD = 3.3V，AVSS = 0V，使用外部 V_{REF} = 2.5V 启用 PGA（除非另有说明）。



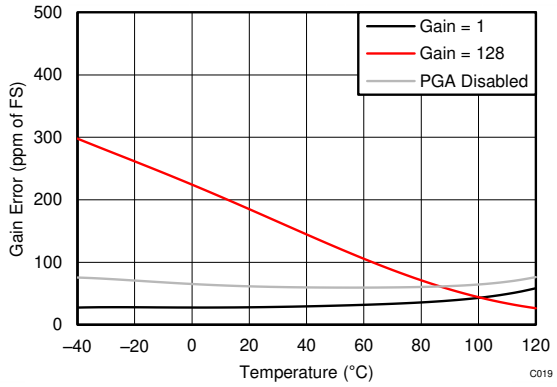
AVDD = 3.3V

图 6-3. 输入基准偏移电压与温度间的关系



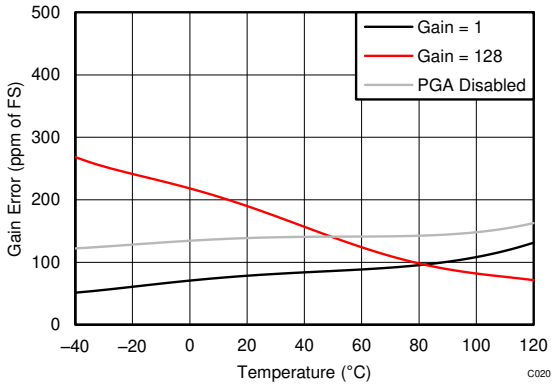
AVDD = 5.0V

图 6-4. 输入基准偏移电压与温度间的关系



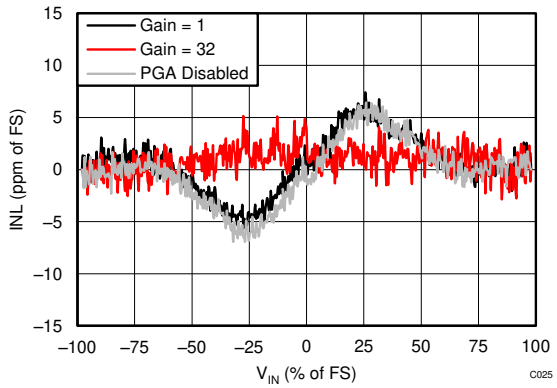
AVDD = 3.3V

图 6-5. 增益误差与温度间的关系



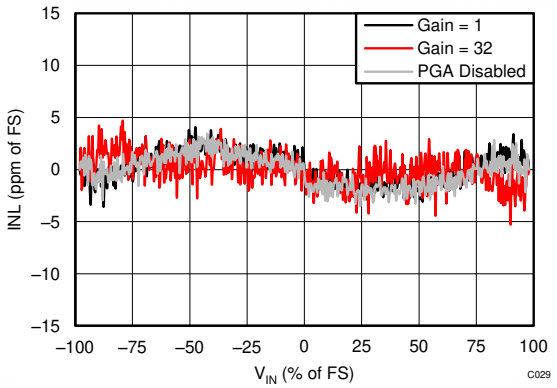
AVDD = 5.0V

图 6-6. 增益误差与温度间的关系



AVDD = 3.3V、外部 2.5V 基准、正常模式

图 6-7. 积分非线性度与差分输入信号间的关系



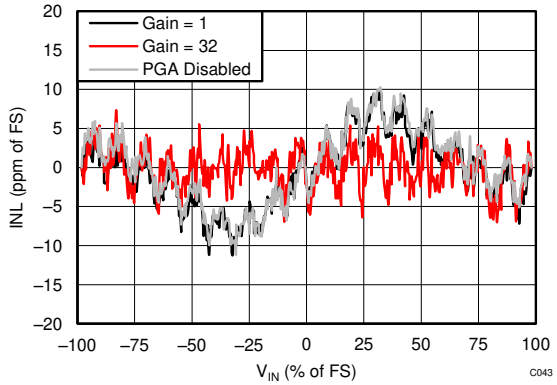
AVDD = 5.0V、外部 2.5V 基准、正常模式

图 6-8. 积分非线性度与差分输入信号间的关系

Copyright © 2026 Texas Instruments Incorporated

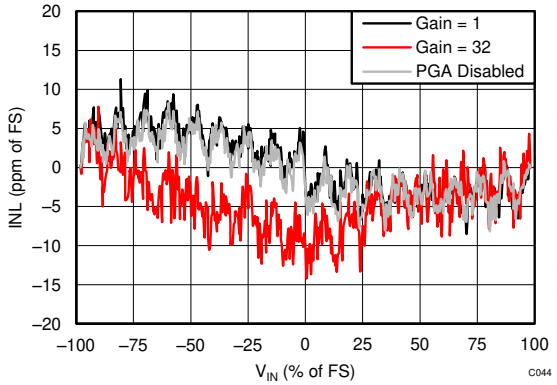
6.9 典型特性（续）

T_A = 25°C，AVDD = 3.3V，AVSS = 0V，使用外部 V_{REF} = 2.5V 启用 PGA（除非另有说明）。



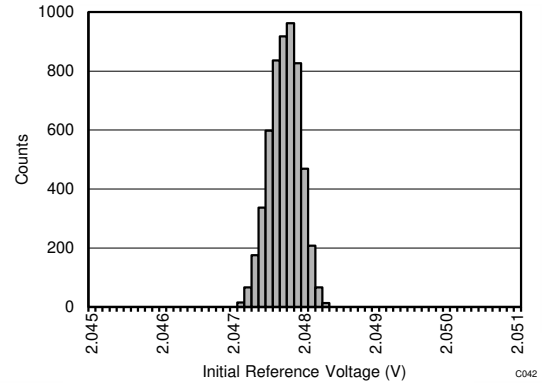
AVDD = 3.3V、内部基准、正常模式

图 6-9. 积分非线性度与差分输入信号间的关系



AVDD = 5.0V、内部基准、正常模式

图 6-10. 积分非线性度与差分输入信号间的关系



T_A = 25°C，数据来自 5490 器件

图 6-11. 内部基准电压直方图

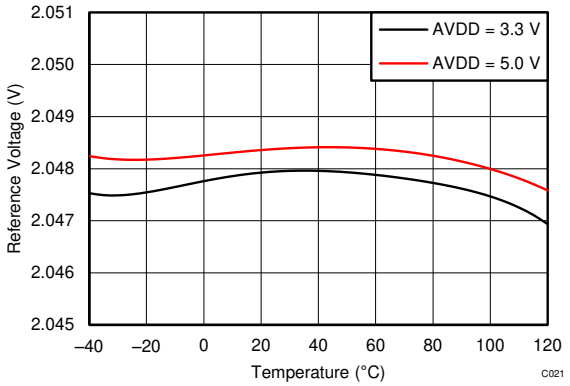
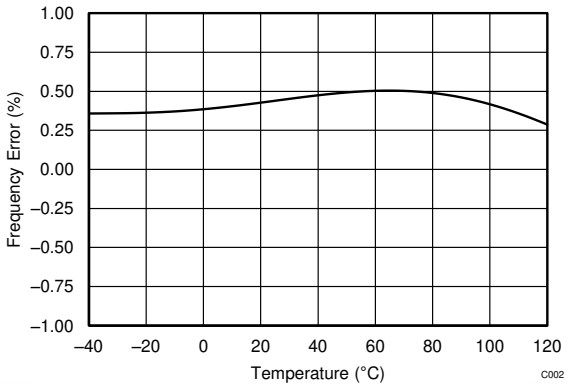


图 6-12. 内部基准电压与温度间的关系



DVDD = 3.3V、正常模式

图 6-13. 内部振荡器精度与温度间的关系

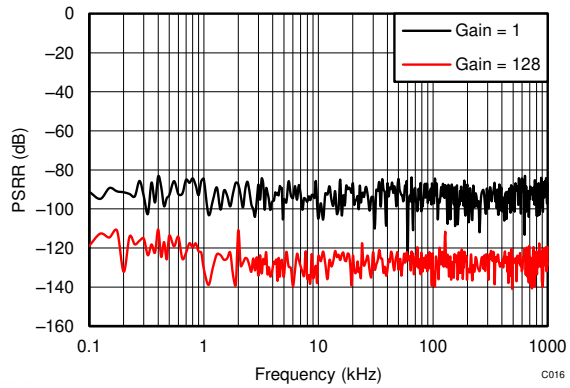
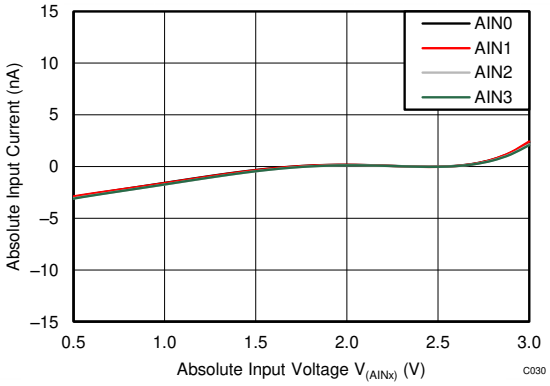


图 6-14. AVDD 电源抑制比与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

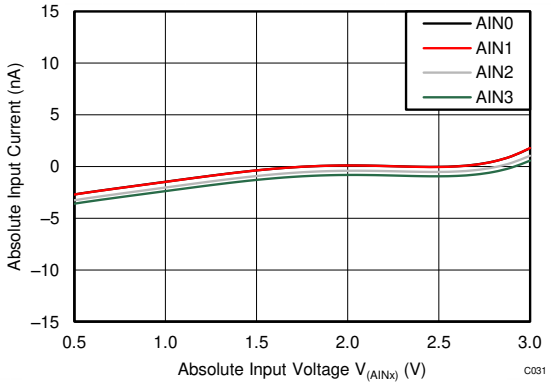
6.9 典型特性（续）

T_A = 25°C，AVDD = 3.3V，AVSS = 0V，使用外部 V_{REF} = 2.5V 启用 PGA（除非另有说明）。



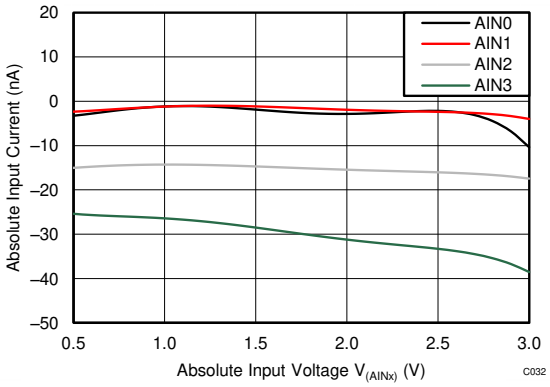
AVDD = 3.3V，启用 PGA，T_A = –40°C

图 6-15. 绝对输入电流与绝对输入电压间的关系



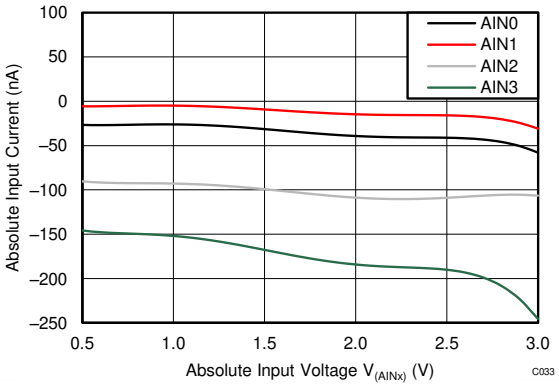
AVDD = 3.3V，启用 PGA，T_A = 25°C

图 6-16. 绝对输入电流与绝对输入电压间的关系



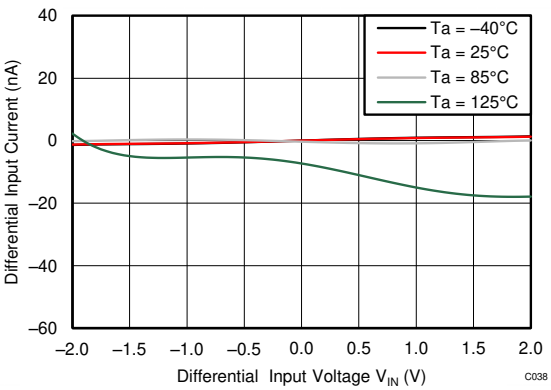
AVDD = 3.3V，启用 PGA，T_A = 85°C

图 6-17. 绝对输入电流与绝对输入电压间的关系



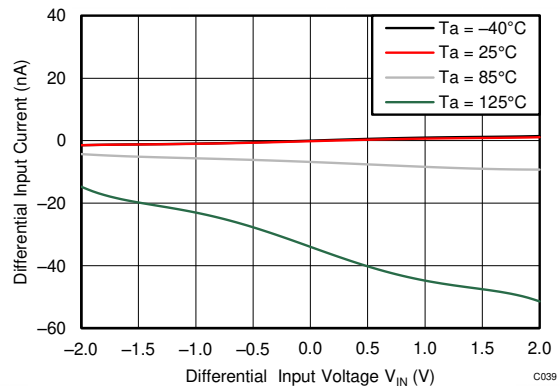
AVDD = 3.3V，启用 PGA，T_A = 125°C

图 6-18. 绝对输入电流与绝对输入电压间的关系



AVDD = 3.3V，启用 PGA，AIN_P = AIN0，AIN_N = AIN1

图 6-19. 差分输入电流与差分输入电压间的关系



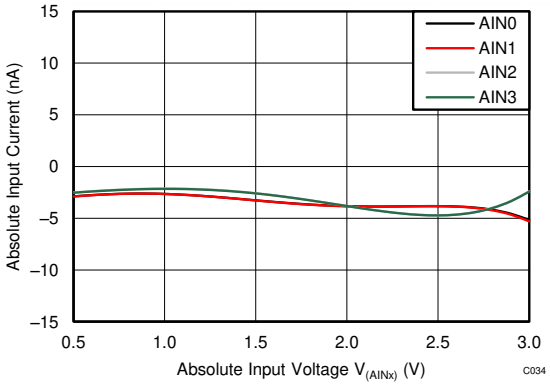
AVDD = 3.3V，启用 PGA，AIN_P = AIN3，AIN_N = AIN2

图 6-20. 差分输入电流与差分输入电压间的关系

Copyright © 2026 Texas Instruments Incorporated

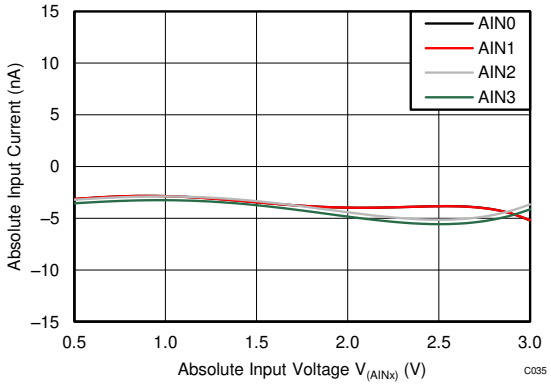
6.9 典型特性（续）

T_A = 25°C，AVDD = 3.3V，AVSS = 0V，使用外部 V_{REF} = 2.5V 启用 PGA（除非另有说明）。



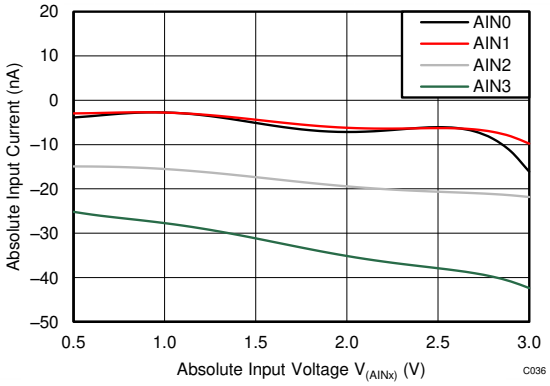
AVDD = 3.3V，禁用 PGA，T_A = –40°C

图 6-21. 绝对输入电流与绝对输入电压间的关系



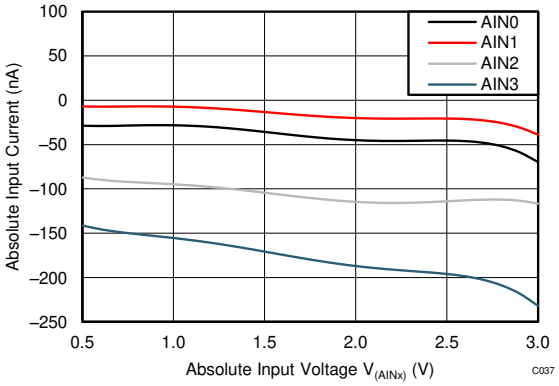
AVDD = 3.3V，禁用 PGA，T_A = 25°C

图 6-22. 绝对输入电流与绝对输入电压间的关系



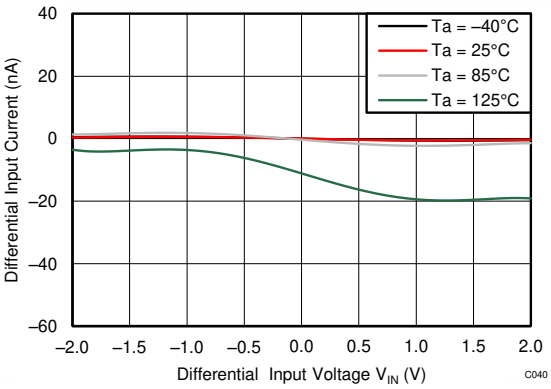
AVDD = 3.3V，禁用 PGA，T_A = 85°C

图 6-23. 绝对输入电流与绝对输入电压间的关系



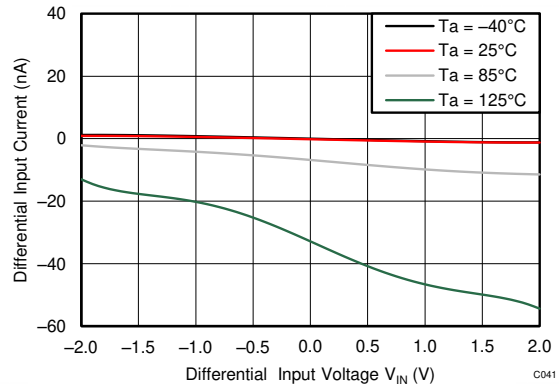
AVDD = 3.3V，禁用 PGA，T_A = 125°C

图 6-24. 绝对输入电流与绝对输入电压间的关系



AVDD = 3.3V，禁用 PGA，AIN_P = AIN0，AIN_N = AIN1

图 6-25. 差分输入电流与差分输入电压间的关系



AVDD = 3.3V，禁用 PGA，AIN_P = AIN3，AIN_N = AIN2

图 6-26. 差分输入电流与差分输入电压间的关系

Copyright © 2026 Texas Instruments Incorporated

6.9 典型特性（续）

T_A = 25°C，AVDD = 3.3V，AVSS = 0V，使用外部 V_{REF} = 2.5V 启用 PGA（除非另有说明）。

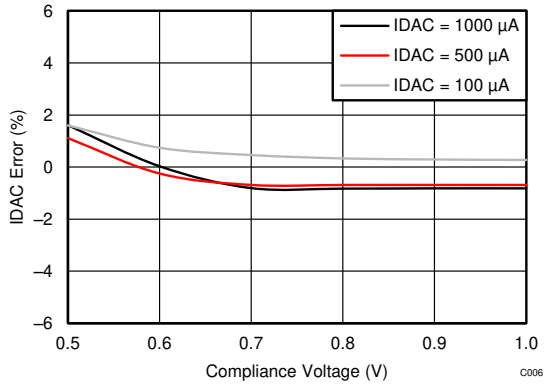


图 6-27. IDAC 精度与顺从电压间的关系

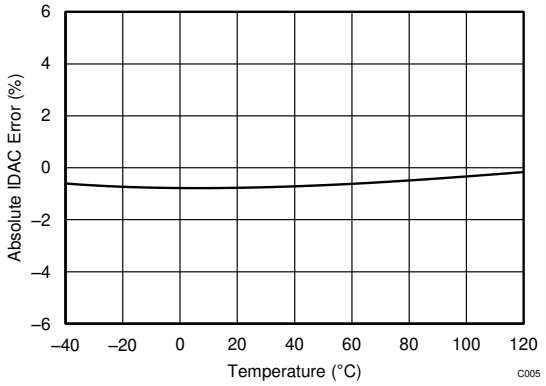


图 6-28. IDAC 精度与温度间的关系

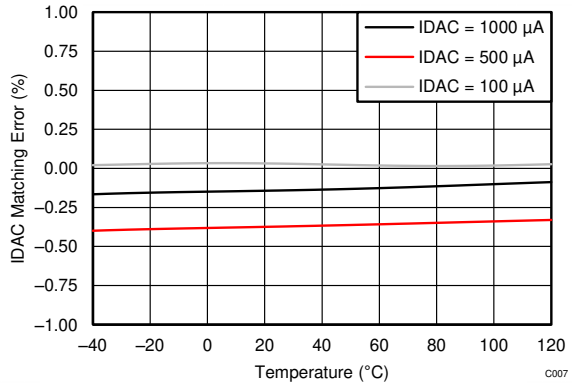
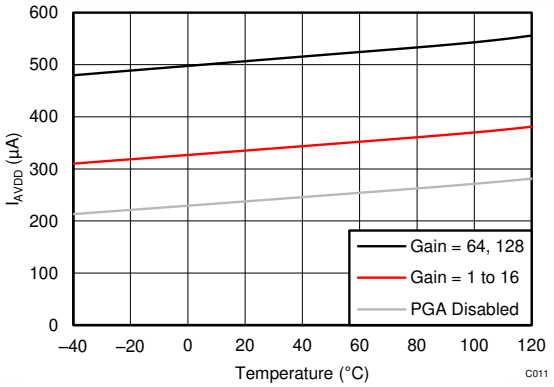
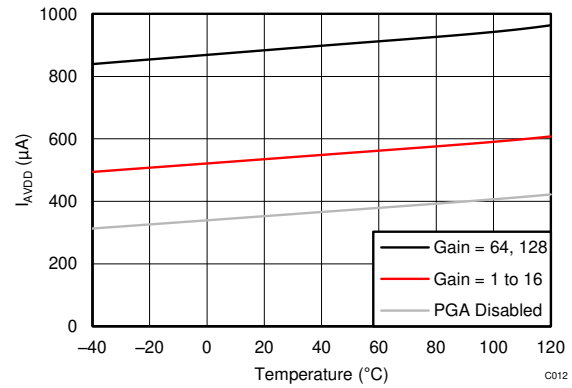


图 6-29. IDAC 匹配与温度间的关系



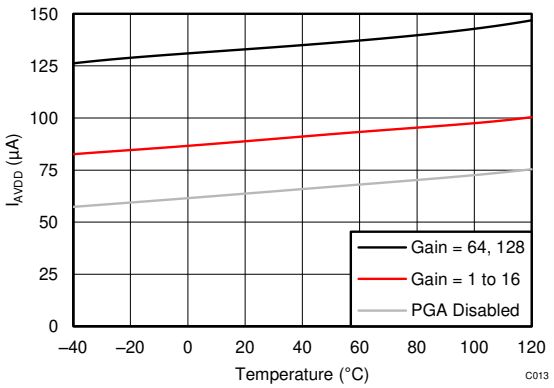
AVDD = 3.3V、内部基准、正常模式

图 6-30. I_{AVDD} 与温度间的关系



AVDD = 3.3V、内部基准、turbo 模式

图 6-31. I_{AVDD} 与温度间的关系



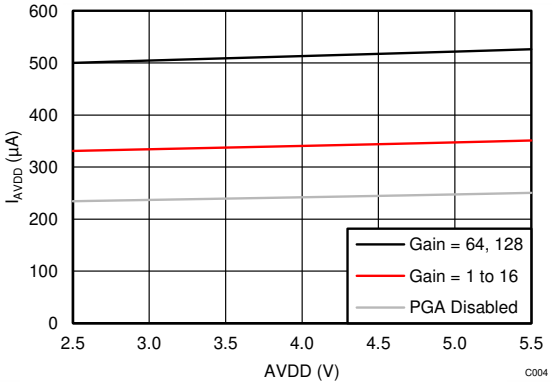
AVDD = 3.3V、内部基准、占空比模式

图 6-32. I_{AVDD} 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6.9 典型特性（续）

T_A = 25°C，AVDD = 3.3V，AVSS = 0V，使用外部 V_{REF} = 2.5V 启用 PGA（除非另有说明）。



正常模式、内部基准

图 6-33. I_{AVDD} 与 AVDD 间的关系

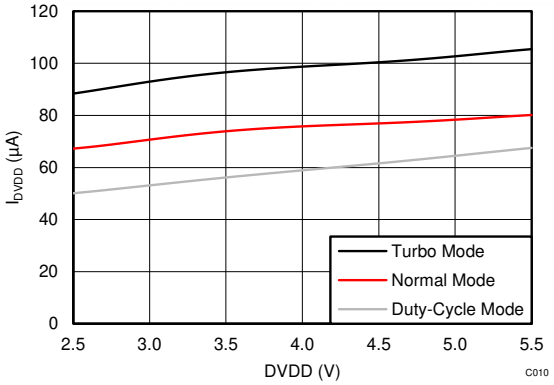
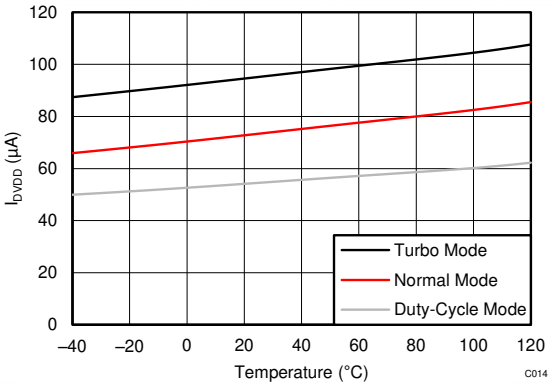


图 6-34. I_{DVDD} 与 DVDD 的关系



DVDD = 3.3V

图 6-35. I_{DVDD} 与温度间的关系

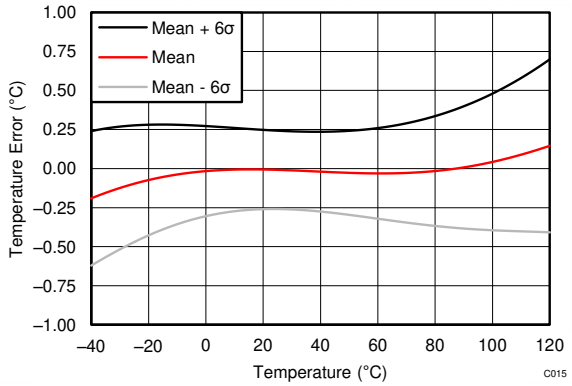


图 6-36. 内部温度传感器精度与温度间的关系

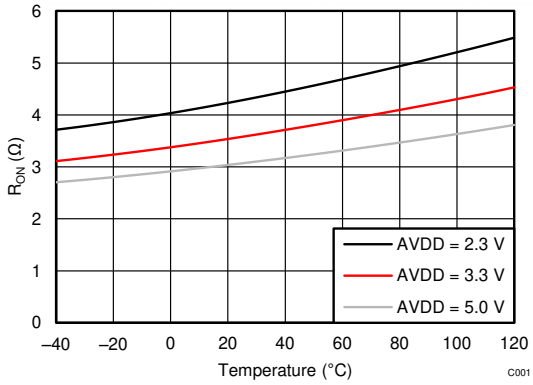


图 6-37. 低侧电源开关 R_{ON} 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

7 参数测量信息

7.1 噪声性能

Δ-Σ (Δ Σ) 模数转换器 (ADC) 基于过采样原理。Δ Σ ADC 的输入信号在高频下（调制器频率）进行采样，随后在数字域中进行滤波和抽取，从而在相应输出数据速率下生成转换结果。调制器频率与输出数据速率的比值称为*过采样率* (OSR)。通过增加 OSR 并降低输出数据速率， ADC 的噪声性能可以被优化。即当输出数据速率下降时，获取一个转换结果需要对内部调制器的更多样本求取平均值，因此输入参考噪声下降。增大增益还可降低输入参考噪声，这在测量低电平信号时特别有用。

表 7-1 至表 7-8 总结了器件噪声性能。这些数据代表 T_A = 25°C 且使用内部 2.048V 基准时的典型噪声性能。所示数据是对单个器件在大约 0.75 秒内读取的读数求平均值的结果，且在测量时在内部将输入端短接在一起。表 7-1、表 7-3、表 7-5 和表 7-7 列出了所示条件下的输入基准噪声（单位为 μV_{RMS}）。括号中显示了以 μV_{PP} 为单位的值。表 7-2、表 7-4、表 7-6 和表 7-8 列出了使用方程式 1 根据 μV_{RMS} 值计算出的相应有效分辨率数据。括号中显示了使用方程式 2 根据峰间值噪声值计算得出的无噪声分辨率。

当使用外部低噪声基准（如 REF5020）时，输入基准噪声（表 7-1、表 7-3、表 7-5 和表 7-7）仅发生轻微变化。使用 2.048V 以外的基准电压时，可使用方程式 1 和方程式 2 计算有效分辨率数值和无噪声分辨率：

$$\text{Effective Resolution} = \ln [2 \times V_{REF} / (\text{Gain} \times V_{RMS\text{-}Noise})] / \ln(2) \quad (1)$$

$$\text{Noise-Free Resolution} = \ln [2 \times V_{REF} / (\text{Gain} \times V_{PP\text{-}Noise})] / \ln(2) \quad (2)$$

表 7-1. 噪声，以 μV_{RMS} 为单位 (μV_{PP})
测试条件：AVDD = 3.3V，AVSS = 0V，正常模式，内部基准 = 2.048V

数据速率 (SPS)	增益（启用 PGA）							
	1	2	4	8	16	32	64	128
20	3.71 (13.67)	1.54 (5.37)	1.15 (4.15)	0.80 (3.36)	0.35 (1.16)	0.23 (0.73)	0.10 (0.35)	0.09 (0.41)
45	7.36 (29.54)	2.93 (13.06)	1.71 (9.28)	0.88 (4.06)	0.50 (2.26)	0.29 (1.49)	0.19 (0.82)	0.12 (0.51)
90	10.55 (47.36)	4.50 (20.75)	2.43 (11.35)	1.51 (6.65)	0.65 (3.62)	0.42 (2.14)	0.27 (1.22)	0.18 (0.85)
175	11.90 (63.72)	6.45 (34.06)	3.26 (17.76)	1.82 (11.20)	1.01 (5.13)	0.57 (3.09)	0.34 (2.14)	0.26 (1.60)
330	19.19 (106.93)	9.38 (50.78)	4.25 (26.25)	2.68 (14.13)	1.45 (7.52)	0.79 (4.66)	0.50 (2.69)	0.34 (1.99)
600	24.78 (151.61)	13.35 (72.27)	6.68 (39.43)	3.66 (19.26)	2.10 (12.77)	1.14 (6.87)	0.70 (4.76)	0.55 (3.34)
1000	37.53 (227.29)	18.87 (122.68)	9.53 (58.53)	5.37 (31.52)	2.95 (18.08)	1.65 (10.71)	1.03 (6.52)	0.70 (4.01)

表 7-2. 由 RMS 噪声得出的有效分辨率（由峰间值噪声得出的无噪声分辨率）
测试条件：AVDD = 3.3V，AVSS = 0V，正常模式，内部基准 = 2.048V

数据速率 (SPS)	增益（启用 PGA）							
	1	2	4	8	16	32	64	128
20	20.08 (18.19)	20.34 (18.54)	19.76 (17.91)	19.28 (17.22)	19.48 (17.75)	19.10 (17.42)	19.33 (17.49)	18.49 (16.26)
45	19.09 (17.08)	19.42 (17.26)	19.19 (16.75)	19.15 (16.94)	18.95 (16.79)	18.74 (16.39)	18.38 (16.25)	18.00 (15.49)
90	18.57 (16.40)	18.80 (16.59)	18.68 (16.46)	18.37 (16.23)	18.60 (16.11)	18.20 (15.87)	17.87 (15.67)	17.44 (15.20)
175	18.39 (15.97)	18.28 (15.88)	18.26 (15.82)	18.10 (15.48)	17.96 (15.61)	17.78 (15.34)	17.53 (14.87)	16.91 (14.29)
330	17.70 (15.23)	17.74 (15.30)	17.88 (15.25)	17.54 (15.15)	17.43 (15.05)	17.30 (14.74)	16.96 (14.54)	16.50 (13.97)
600	17.33 (14.72)	17.23 (14.79)	17.23 (14.66)	17.09 (14.70)	16.89 (14.29)	16.77 (14.18)	16.48 (13.72)	15.83 (13.23)
1000	16.74 (14.14)	16.73 (14.03)	16.71 (14.09)	16.54 (13.99)	16.41 (13.79)	16.25 (13.54)	15.92 (13.26)	15.49 (12.96)

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 禁用 PGA 时的噪声，以 μV_{RMS} 为单位 (μV_{PP})
测试条件：AVDD = 3.3V，AVSS = 0V，正常模式，内部基准 = 2.048V

数据速率 (SPS)	增益（禁用 PGA）		
	1	2	4
20	3.89 (13.43)	1.85 (6.84)	1.26 (3.91)
45	6.97 (31.98)	2.94 (12.94)	1.41 (5.62)
90	8.50 (42.48)	4.49 (18.92)	2.07 (9.95)
175	12.99 (65.92)	6.24 (35.40)	3.04 (18.92)
330	18.18 (94.24)	8.12 (50.17)	4.71 (28.75)
600	25.29 (138.67)	12.77 (78.13)	6.27 (39.79)
1000	38.04 (260.50)	18.40 (120.97)	9.48 (63.72)

表 7-4. 禁用 PGA 时由 RMS 噪声得出的有效分辨率（由峰间值噪声得出的无噪声分辨率），测试条件：AVDD = 3.3V，AVSS = 0V，正常模式，内部基准 = 2.048V

数据速率 (SPS)	增益（禁用 PGA）		
	1	2	4
20	20.01 (18.22)	20.08 (18.19)	19.63 (18.00)
45	19.61 (16.97)	19.41 (17.27)	19.47 (17.48)
90	18.88 (16.56)	18.80 (16.72)	18.91 (16.65)
175	18.27 (15.92)	18.32 (15.82)	18.36 (15.72)
330	17.78 (15.41)	17.94 (15.32)	17.73 (15.12)
600	17.31 (14.85)	17.29 (14.68)	17.32 (14.65)
1000	16.72 (13.94)	16.76 (14.05)	16.72 (13.97)

表 7-5. 噪声，以 μV_{RMS} 为单位 (μV_{PP})
测试条件：AVDD = 3.3V，AVSS = 0V，Turbo 模式，内部基准 = 2.048V

数据速率 (SPS)	增益（启用 PGA）							
	1	2	4	8	16	32	64	128
40	4.56 (24.17)	2.40 (11.35)	1.22 (4.94)	0.71 (2.84)	0.35 (1.60)	0.19 (0.85)	0.16 (0.71)	0.09 (0.55)
90	5.74 (25.88)	2.97 (14.40)	1.47 (5.80)	1.13 (5.52)	0.50 (2.67)	0.32 (1.32)	0.23 (1.13)	0.15 (0.69)
180	8.49 (46.88)	4.66 (21.36)	2.30 (12.88)	1.24 (7.23)	0.72 (4.82)	0.42 (2.57)	0.28 (1.47)	0.24 (1.34)
350	13.42 (84.72)	5.86 (40.04)	3.39 (19.04)	1.88 (10.13)	1.05 (6.15)	0.64 (3.59)	0.43 (2.29)	0.28 (1.39)
660	17.09 (120.36)	9.34 (47.36)	4.81 (27.83)	2.97 (17.36)	1.54 (10.21)	0.82 (4.43)	0.58 (3.67)	0.41 (2.93)
1200	25.71 (162.35)	12.31 (85.94)	6.81 (44.01)	3.72 (21.55)	2.09 (15.14)	1.23 (7.58)	0.80 (5.31)	0.57 (3.51)
2000	36.23 (265.14)	18.24 (127.32)	9.24 (65.43)	5.49 (37.02)	2.89 (18.89)	1.77 (12.00)	1.13 (7.60)	0.82 (5.81)

表 7-6. 由 RMS 噪声得出的有效分辨率（由峰间值噪声得出的无噪声分辨率）
测试条件：AVDD = 3.3V，AVSS = 0V，Turbo 模式，内部基准 = 2.048V

数据速率 (SPS)	增益（启用 PGA）							
	1	2	4	8	16	32	64	128
40	19.78 (17.37)	19.71 (17.46)	19.68 (17.66)	19.45 (17.46)	19.47 (17.29)	19.37 (17.21)	18.65 (16.46)	18.40 (15.83)
90	19.45 (17.27)	19.39 (17.12)	19.41 (17.43)	18.79 (16.50)	18.97 (16.55)	18.62 (16.57)	18.11 (15.80)	17.75 (15.49)
180	18.88 (16.42)	18.75 (16.55)	18.76 (16.28)	18.65 (16.11)	18.43 (15.70)	18.23 (15.60)	17.79 (15.41)	17.05 (14.54)
350	18.22 (15.56)	18.42 (15.64)	18.21 (15.71)	18.05 (15.62)	17.89 (15.35)	17.62 (15.12)	17.20 (14.77)	16.78 (14.49)
660	17.87 (15.05)	17.74 (15.40)	17.70 (15.17)	17.39 (14.85)	17.34 (14.61)	17.25 (14.82)	16.75 (14.09)	16.25 (13.42)
1200	17.28 (14.62)	17.34 (14.54)	17.20 (14.51)	17.07 (14.54)	16.90 (14.05)	16.67 (14.04)	16.28 (13.56)	15.77 (13.15)
2000	16.79 (13.92)	16.78 (13.97)	16.76 (13.93)	16.51 (13.76)	16.44 (13.73)	16.14 (13.38)	15.79 (13.04)	15.25 (12.43)

Copyright © 2026 Texas Instruments Incorporated

表 7-7. 禁用 PGA 时的噪声，以 μV_{RMS} 为单位 (μV_{PP})
测试条件：AVDD = 3.3V，AVSS = 0V，Turbo 模式，内部基准 = 2.048V

数据速率 (SPS)	增益 (禁用 PGA)		
	1	2	4
40	4.22 (22.46)	2.30 (10.74)	0.93 (3.91)
90	6.57 (31.01)	3.53 (14.28)	1.59 (6.84)
180	8.41 (55.66)	4.30 (22.09)	2.31 (14.59)
350	12.68 (75.20)	6.02 (34.18)	3.22 (17.64)
660	17.81 (111.08)	9.06 (56.76)	4.24 (27.47)
1200	25.43 (176.03)	12.70 (89.23)	6.28 (40.95)
2000	36.11 (250.98)	17.30 (131.35)	8.77 (68.18)

表 7-8. 禁用 PGA 时由 RMS 噪声得出的有效分辨率 (由峰间值噪声得出的无噪声分辨率) ，测试条件：AVDD = 3.3V，AVSS = 0V，Turbo 模式，内部基准 = 2.048V

数据速率 (SPS)	增益 (禁用 PGA)		
	1	2	4
40	19.89 (17.48)	19.76 (17.54)	20.07 (18.00)
90	19.25 (17.01)	19.15 (17.13)	19.29 (17.19)
180	18.89 (16.17)	18.86 (16.50)	18.76 (16.10)
350	18.30 (15.73)	18.38 (15.87)	18.28 (15.83)
660	17.81 (15.17)	17.79 (15.14)	17.88 (15.19)
1200	17.30 (14.51)	17.30 (14.49)	17.31 (14.61)
2000	16.79 (13.99)	16.85 (13.93)	16.83 (13.87)

Copyright © 2026 Texas Instruments Incorporated

8 详细说明

8.1 概述

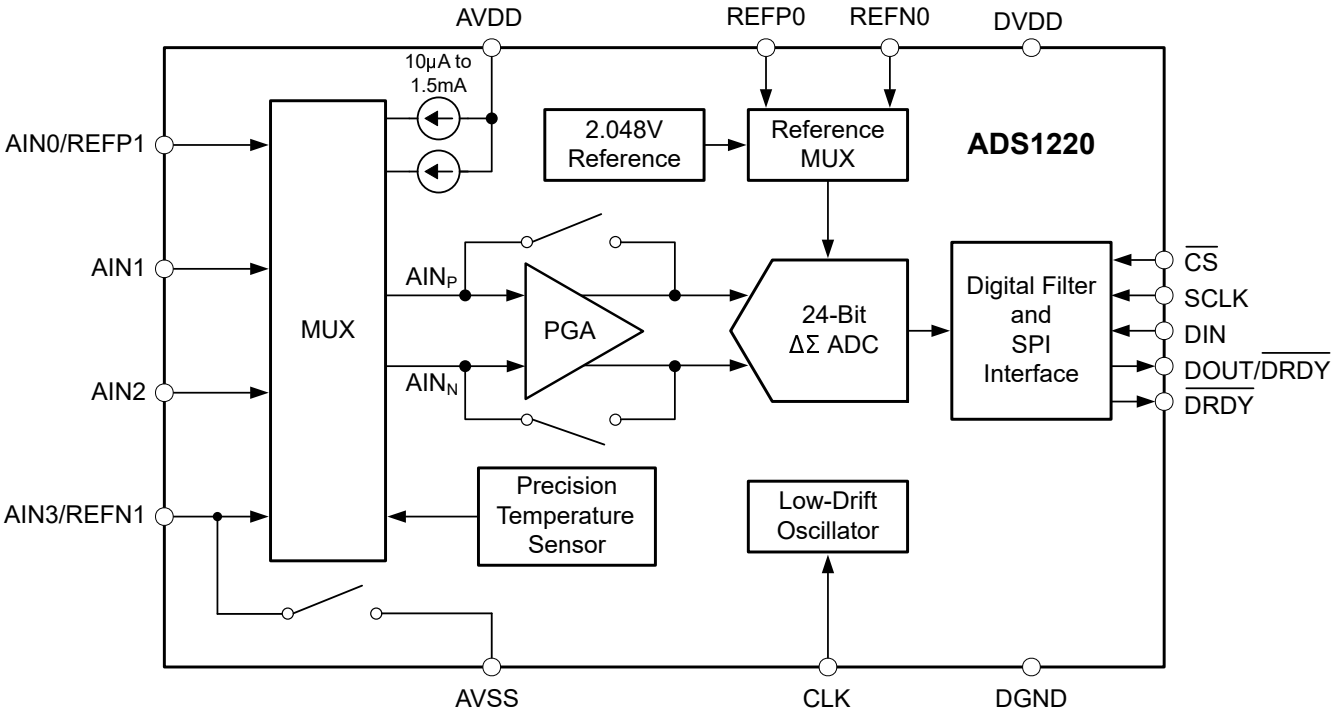
ADS1220 是一款小型、低功耗、24 位 ΔΣ ADC，其丰富的集成特性可降低测量微小传感器信号的应用中的系统成本和元件数量。

除了 ΔΣ ADC 内核和单周期稳定数字滤波器外，该器件还提供了低噪声、高输入阻抗、可编程增益放大器 (PGA)、内部电压基准和时钟振荡器。该器件还集成了一个高度线性且精确的温度传感器，以及两个用于传感器激励的匹配可编程电流源 (IDAC)。所有这些特性旨在减少典型传感器应用中所需的外部电路并提升总体系统性能。额外的低侧电源开关可简化低功耗桥式传感器应用的设计。该器件通过四个寄存器进行全面配置，并通过模式 1 SPI 兼容接口由六条命令进行控制。*功能方框图*部分展示了器件的功能方框图。

ADS1220 ADC 测量差分信号 V_{IN}，即节点 AIN_P 和 AIN_N 之间的电压差。转换器内核由一个差分开关电容器 ΔΣ 调制器后跟一个数字滤波器组成。数字滤波器从调制器接收高速比特流，输出与输入电压成正比的代码。该架构会使任何共模信号发生强烈的衰减。

该器件具有两种可用的转换模式：单次和连续转换模式。在单次转换模式下，ADC 根据请求对输入信号执行一次转换，并将值存储在内部数据缓冲器中。然后，该器件进入低功耗状态以省电。单次转换模式旨在为仅需要定期转换或转换之间存在较长空闲期的系统提供显著的节能效果。在连续转换模式下，ADC 在上一次转换完成后立即自动开始转换输入信号。新数据按编程的数据速率提供。数据可以随时读取，而无需担心数据损坏，并且始终反映最近完成的转换。

8.2 功能方框图



8.3 特性说明

8.3.1 多路复用器

图 8-1 展示了该器件的灵活输入多路复用器。可以测量四路单端信号、两路差分信号，或两路单端信号与一路差分信号的组合。可使用配置寄存器中的 MUX[3:0] 位配置多路复用器。在测量单端信号时，ADC 负输入端 (AIN_N) 通过多路复用器内部的开关在内部连接到 AVSS。出于系统监测目的，可以选择模拟电源 (AVDD – AVSS) / 4 或当前选择的外部基准电压 (V_{REFPx} – V_{REFNx}) / 4 作为 ADC 的输入。该多路复用器还允许将两个可编程电流源中的任意一个路由至任意模拟输入 (AINx) 或任意专用基准引脚（REFP0、REFN0）。

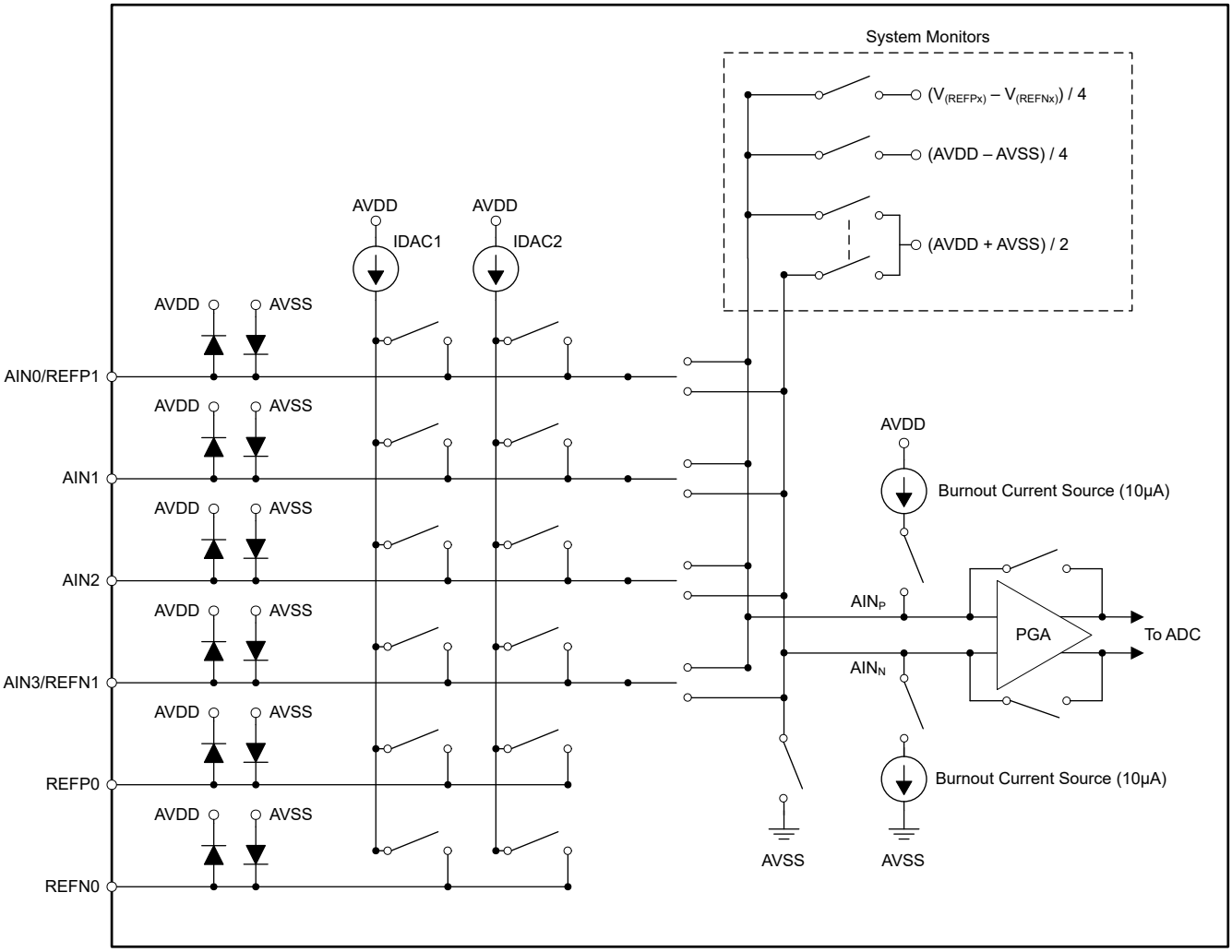


图 8-1. 模拟输入多路复用器

连接到 AVDD 和 AVSS 的静电放电 (ESD) 二极管可保护输入。为防止 ESD 二极管导通，任何输入端的绝对电压必须保持在方程式 3 提供的范围内：

$$AVSS - 0.3V < V_{(AINx)} < AVDD + 0.3V \quad (3)$$

如果输入引脚上的电压可能违反这些条件，可能需要使用外部肖特基二极管或串联电阻器将输入电流限制到安全值（请参阅*绝对最大额定值*）表。过驱器件上未选择的输入端可能会影响其他输入引脚上发生的转换。

Copyright © 2026 Texas Instruments Incorporated

8.3.2 低噪声 PGA

该器件具有以下可编程增益：1、2、4、8、16、32、64 和 128。可使用配置寄存器中的 GAIN[2:0] 位来配置增益。增益分两级实现。第一级是一个低噪声、低漂移、高输入阻抗的可编程增益放大器 (PGA)。第二级增益由 Δ Σ 调制器输入端的开关电容器电路实现。表 8-1 展示了如何实现每种增益。

表 8-1. 增益实现

增益设置	PGA 增益	开关电容器增益
1	1	1
2	1	2
4	1	4
8	2	4
16	4	4
32	8	4
64	16	4
128	32	4

PGA 由两个斩波稳定放大器（A1 和 A2）和一个设置 PGA 增益的电阻器反馈网络组成。PGA 输入端配备了电磁干扰 (EMI) 滤波器。图 8-2 展示了 PGA 的简化示意图。

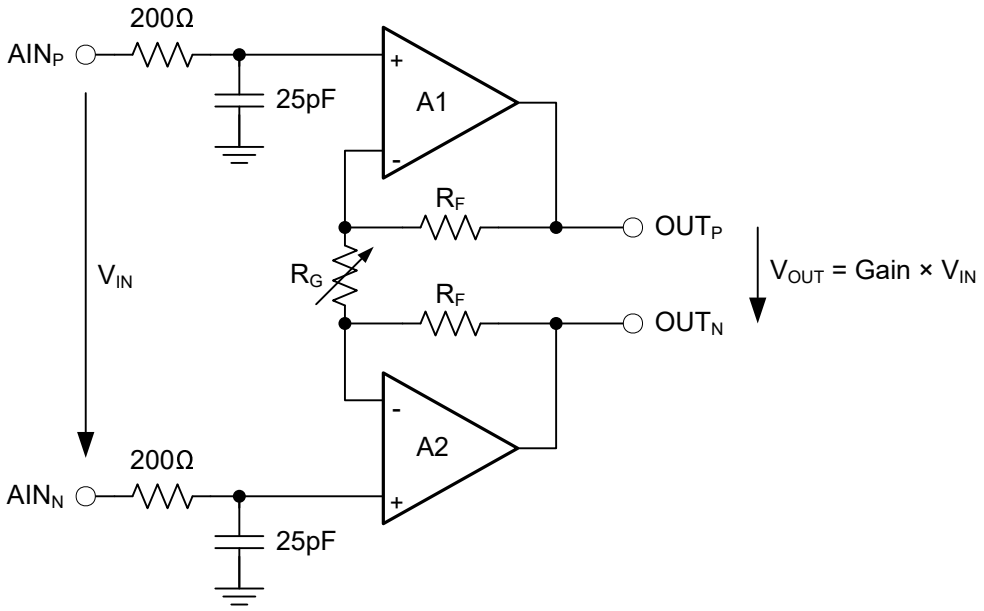


图 8-2. 简化的 PGA 示意图

V_{IN} 表示差分输入电压 $V_{IN} = (V_{AINP} - V_{AINN})$。PGA 的增益可以通过方程式 4 计算得出：

$$Gain = 1 + 2 \times R_F / R_G \quad (4)$$

可使用可变电阻器 R_G 在器件内部改变增益。PGA 的差分满量程输入电压范围 (FSR) 由增益设置和使用的基准电压定义，如方程式 5 所示：

$$FSR = \pm V_{REF} / Gain \quad (5)$$

表 8-2 展示了使用内部 2.048V 基准时相应的满量程范围。

Copyright © 2026 Texas Instruments Incorporated

表 8-2. PGA 满量程范围

增益设置	FSR
1	±2.048V
2	±1.024V
4	±0.512V
8	±0.256V
16	±0.128V
32	±0.064V
64	±0.032V
128	±0.016V

8.3.2.1 PGA 共模电压要求

为使 PGA 保持在线性工作范围内，输入信号必须满足本部分所讨论的特定要求。

图 8-2 中两个放大器（A1 和 A2）的输出不能摆动到距离电源轨（AVSS 和 AVDD）200mV 以内。如果输出端 OUT_P 和 OUT_N 被驱动到电源轨的 200mV 范围内，则放大器会饱和，进而变为非线性。为防止出现这种非线性工作状态，输出电压必须满足方程式 6：

$$AVSS + 0.2V \leq V_{OUTN}, V_{OUTP} \leq AVDD - 0.2V \quad (6)$$

由于无法直接访问 PGA 的输出端，将方程式 6 的要求转换为对 PGA 输入端（AIN_P 和 AIN_N）的要求非常有用。PGA 采用对称设计，因此可假定 PGA 输出端的共模电压与输入信号的共模电压相同，如图 8-3 所示。

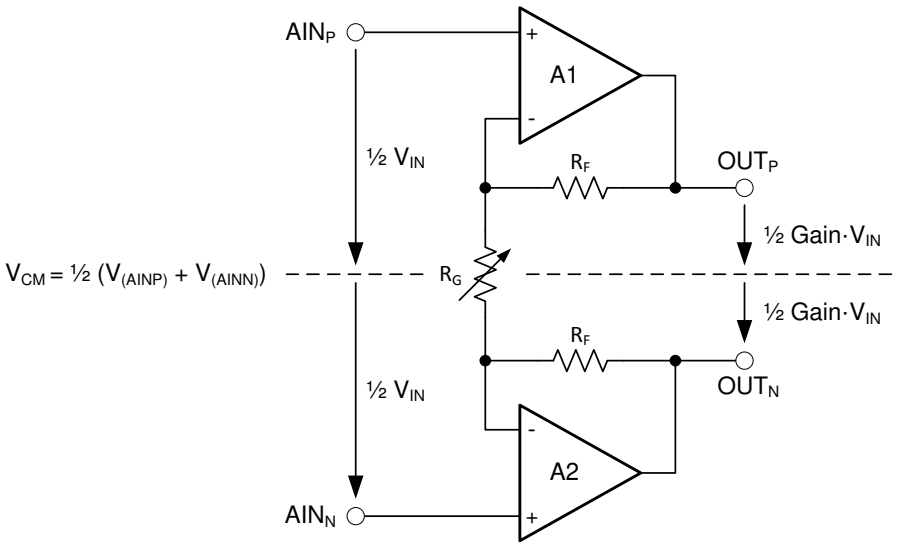


图 8-3. PGA 共模电压

使用方程式 7 计算共模电压：

$$V_{CM} = ½ (V_{AINP} + V_{AINN}) = ½ (V_{OUTP} + V_{OUTN}) \quad (7)$$

Copyright © 2026 Texas Instruments Incorporated

PGA 输入端（AIN_P 和 AIN_N）的电压可以表示为方程式 8 和方程式 9：

$$V_{AINP} = V_{CM} + ½ V_{IN} \quad (8)$$

$$V_{AINN} = V_{CM} - ½ V_{IN} \quad (9)$$

输出电压（V_{OUTP} 和 V_{OUTN}）可按方程式 10 和方程式 11 计算：

$$V_{OUTP} = V_{CM} + ½ \text{ Gain} \times V_{IN} \quad (10)$$

$$V_{OUTN} = V_{CM} - ½ \text{ Gain} \times V_{IN} \quad (11)$$

现在，可将放大器 A1 和 A2 的输出电压要求（方程式 6）利用方程式 10 和方程式 11 转换为输入共模电压范围要求，如方程式 12 和方程式 13 所示：

$$V_{CMMIN} \geq AVSS + 0.2V + ½ \text{ Gain} \times V_{INMAX} \quad (12)$$

$$V_{CMMAX} \leq AVDD - 0.2V - ½ \text{ Gain} \times V_{INMAX} \quad (13)$$

要计算最小和最大共模电压限值，必须使用应用中出现的最大差分输入电压 (V_{INMAX})。V_{INMAX} 可以小于可能的 FS 最大值。

除方程式 12 外，由于 PGA 的特定设计实现，最小 V_{CM} 还必须满足方程式 14。

$$V_{CMMIN} \geq AVSS + ¼ (AVDD - AVSS) \quad (14)$$

图 8-4 和图 8-5 分别以图形方式展示了 AVDD = 3.3V、AVSS = 0V 时，增益为 1 和增益为 16 的共模电压限值。

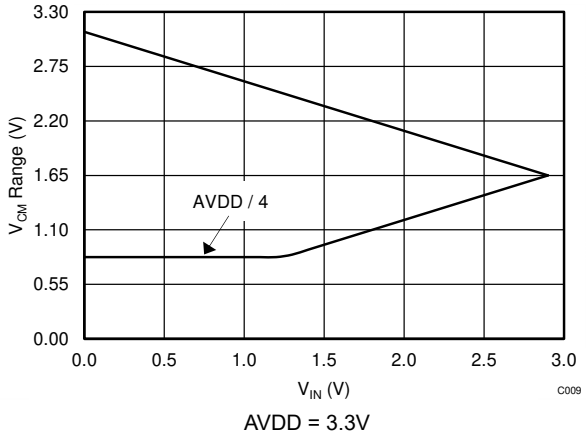


图 8-4. 共模电压限值

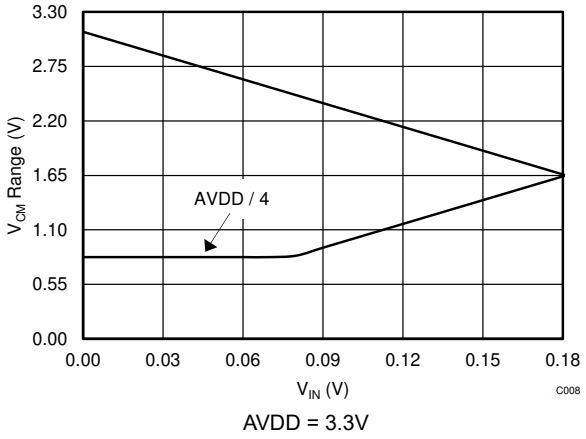


图 8-5. 共模电压限值

以下讨论说明了如何将方程式 12 至方程式 14 应用于一个假设的应用场景。该示例的设置如下：AVDD = 3.3V，AVSS = 0V，增益 = 16，并使用外部基准
V_{REF} = 2.5V。然后可施加的最大差分输入电压 V_{IN} = (V_{AINP} – V_{AINN}) 被限制到 FSR = ±2.5V / 16 = ±0.156V 的满量程范围。因此，由方程式 12 至方程式 14 得出，允许的 V_{CM} 范围为 1.45V ≤ V_{CM} ≤ 1.85V。

例如，如果在该假设应用中连接到输入端的传感器信号未使用整个满量程范围，而限制为 $V_{IN\ (MAX)}$ = ±0.1V，则这一减小的输入信号幅度会将 V_{CM} 限制放宽至 1.0V ≤ V_{CM} ≤ 2.3V。

对于全差分传感器信号，每个输入端（AIN_P、AIN_N）可在共模电压 (V_{AINP} + V_{AINN}) / 2 上下摆动最高 ±50mV，该共模电压必须保持在 1.0V 至 2.3V 之间。对称惠斯通电桥的输出即为全差分信号的一个例子。图 8-6 展示了输入信号的共模电压处于最低限值的情况。在该情况下，V_{OUTN} 恰好为 0.2V。如果共模电压 (V_{CM}) 进一步降低或差分输入电压 (V_{IN}) 增加，都会驱动 V_{OUTN} 至低于 0.2V 并使放大器 A2 饱和。

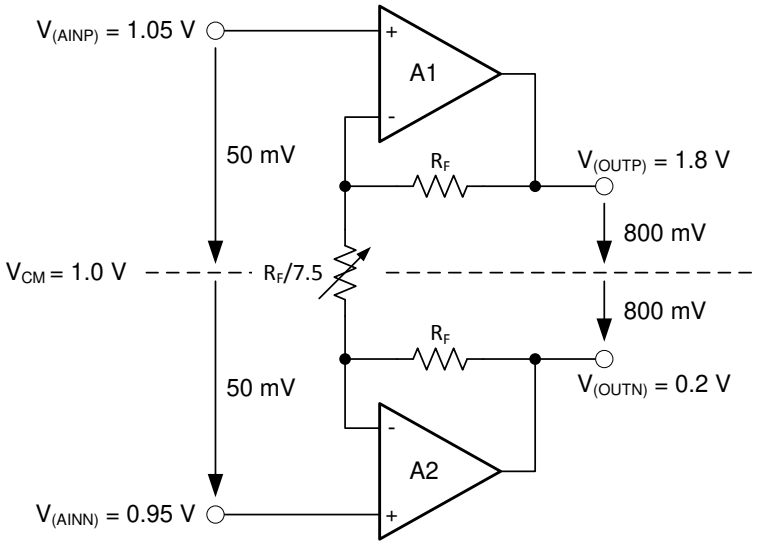


图 8-6. V_{CM} 处于最低限值的示例

相比之下，RTD 的信号具有伪差分性质（如果按 *RTD 测量*部分中所示实现），其负输入端保持在 0V 以外的恒定电压，并且只有正输入端的电压发生变化。必须测量伪差分信号时，该示例中的负输入端必须偏置到 0.95V 至 2.25V 之间的某个电压。正输入端则可在负输入端电压的基础上向上摆动，
最大可达 V_{INMAX} = 100mV。在这种情况下，共模电压会随着正输入端电压的变化而同时变化。也就是说，当输入信号在 0V ≤ V_{IN} ≤ V_{INMAX} 之间摆动时，共模电压在 V_{AINN} ≤ V_{CM} ≤ V_{AINN} + ½ V_{INMAX} 之间摆动。只要满足最大输入电压 V_{INMAX} 的共模电压要求，也就满足了整个信号范围的要求。

Copyright © 2026 Texas Instruments Incorporated

图 8-7 和图 8-8 分别展示了全差分和伪差分信号的示例。

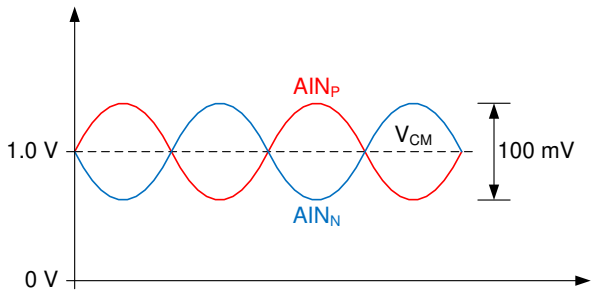


图 8-7. 全差分输入信号

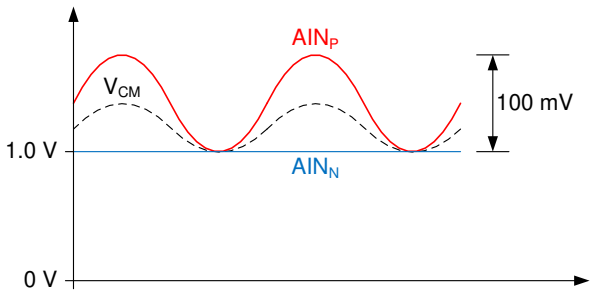


图 8-8. 伪差分输入信号

备注

请记住，启用 PGA 时的共模电压要求（方程式 12 至方程式 14）如下：

- $V_{CMMIN} \geq AVSS + ¼ (AVDD – AVSS)$
- $V_{CMMIN} \geq AVSS + 0.2V + ½ 增益 \times V_{INMAX}$
- $V_{CMMAX} \leq AVDD – 0.2V – ½ 增益 \times V_{INMAX}$

8.3.2.2 旁路 PGA

当增益为 1、2 和 4 时，设置配置寄存器中的 PGA_BYPASS 位以禁用和旁路低噪声 PGA。禁用 PGA 可以降低总功耗，同时消除方程式 12 至方程式 14 对共模输入电压范围 V_{CM} 的限制。禁用 PGA 时，可用的绝对和共模输入电压范围为（$AVSS – 0.1V \leq V_{AINx}$，$V_{CM} \leq AVDD + 0.1V$）。

要测量以 AVSS 为基准的单端信号（$AIN_P = V_{IN}$，$AIN_N = AVSS$），必须旁路 PGA。通过在外部将其中一个模拟输入端连接到 AVSS 或使用多路复用器的内部 AVSS 连接（MUX[3:0] 设置 1000b 至 1011b），可将器件配置为单端测量。无论 PGA_BYPASS 设置如何，始终在增益设置大于 4 时启用 PGA。

当 PGA 被禁用时，该器件使用缓冲开关电容器级来获得增益 1、2 和 4。开关电容器级之前的内部缓冲器可确保电容器充放电对输入负载的影响降至最低。有关禁用 PGA 时绝对输入电流（流入或流出每个输入端的电流）和差分输入电流（正、负输入端之间的绝对电流差）的典型值，请参阅图 6-21 至图 6-26。

对于输出阻抗较高的信号源，可能仍有必要进行外部缓冲。有源缓冲器会引入噪声，还会带来偏移电压和增益误差。在高精度应用中，需要综合考虑所有这些因素。

Copyright © 2026 Texas Instruments Incorporated

8.3.3 电压基准

该器件集成了低漂移 2.048V 基准。对于需要不同基准电压值或比例式测量方法的应用，该器件提供了两对差分基准输入（REFP0、REFN0 和 REFP1、REFN1）。此外，模拟电源 (AVDD – AVSS) 也可用作基准。

基准源由配置寄存器中的两个位 (VREF[1:0]) 选择。默认情况下会选择内部基准。在加电后、退出省电模式时，或从外部基准源切换至内部基准时，内部电压基准需要不到 25μs 即可完全稳定。

差分基准输入允许自由调节基准共模电压。REFP0 和 REFN0 是专用基准输入端，而 REFP1 和 REFN1 分别与输入端 AIN0 和 AIN3 共用。所有基准输入均在内部缓冲，以提高输入阻抗。因此，使用外部基准时通常无需额外的基准缓冲器。在比例式应用中使用时，基准输入端不会给外部电路增加负载。使用外部基准时，由于启用了基准缓冲器，模拟电源电流会增加。

在大多数情况下，转换结果与基准源的稳定性成正比。电压基准的任何噪声和漂移都会反映在转换结果中。

8.3.4 时钟源

器件系统时钟可由内部低漂移振荡器或 CLK 输入端的外部时钟源提供。在加电或复位之前，将 CLK 引脚连接至 DGND，可激活内部振荡器。任何时候在 CLK 引脚上接入外部时钟，检测到 CLK 引脚上出现两个上升沿后，内部振荡器即被禁用。器件随后使用外部时钟工作。ADS1220 切换到外部时钟后，只能通过断电再加电或发送 RESET 命令才能切换回内部振荡器。

8.3.5 调制器

ADS1220 采用 ΔΣ 调制器将模拟输入电压转换为脉冲编码调制 (PCM) 数据流。调制器的时钟频率在正常模式和占空比模式下为 $f_{MOD} = f_{CLK} / 16$，在 turbo 模式下为 $f_{MOD} = f_{CLK} / 8$，其中 f_{CLK} 由内部振荡器或外部时钟源提供。表 8-3 展示了使用内部振荡器或 4.096MHz 外部时钟，每种工作模式下的调制器频率。

表 8-3. 不同工作模式下的调制器时钟频率 (1)

工作模式	f_{MOD}
占空比模式	256kHz
正常模式	256kHz
Turbo 模式	512kHz

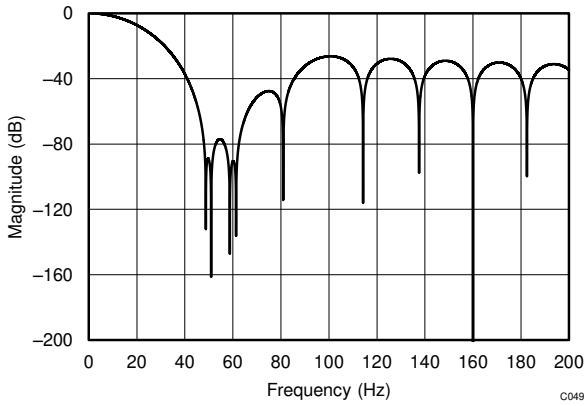
(1) 使用内部振荡器或外部 4.096MHz 时钟。

Copyright © 2026 Texas Instruments Incorporated

8.3.6 数字滤波器

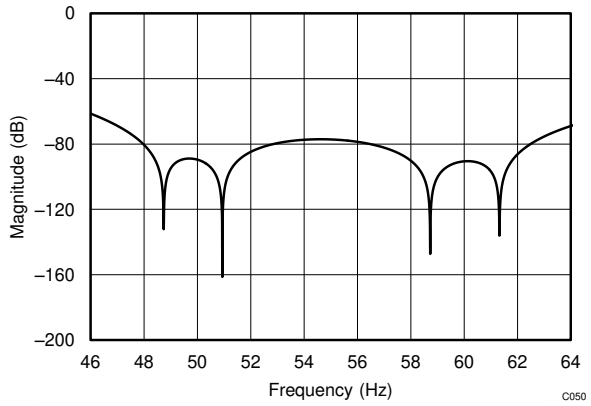
该器件使用线性相位有限脉冲响应 (FIR) 数字滤波器，对来自调制器的数字数据流进行滤波和抽取。该数字滤波器根据不同数据速率自动调节，始终可在一个周期内达到稳定状态。在 5SPS 和 20SPS 的数据速率下，使用配置寄存器中的 50/60[1:0] 位来选择 50Hz 或 60Hz 的线路频率抑制，或者同步抑制 50Hz 和 60Hz。图 8-9 至图 8-22 展示了使用内部振荡器或外部 4.096MHz 时钟时，对于不同输出数据速率的数字滤波器频率响应。

滤波器陷波和输出数据速率与时钟频率成正比。例如，当使用 4.096MHz 时钟时，陷波出现在 20Hz；如果使用 2.048MHz 时钟，则出现在 10Hz。内部振荡器会随温度而变化，如*电气特性*表所示。因此，数据速率或转换时间以及滤波器陷波的变化量相同。如果要求数字滤波器在特定频率形成容差更严格的陷波，可考虑使用外部精密时钟源。



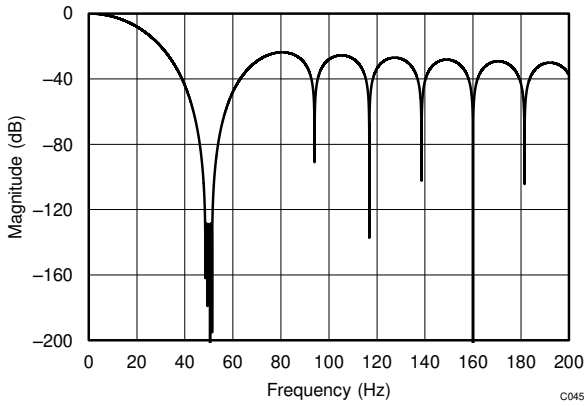
同步抑制 50Hz 和 60Hz，50/60[1:0] = 01b

图 8-9. 滤波器响应 (DR = 20SPS)



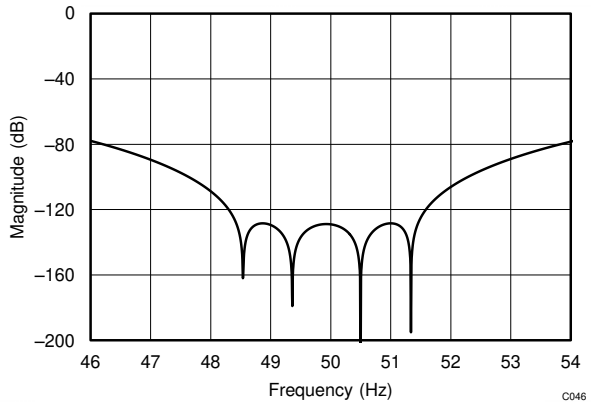
同步抑制 50Hz 和 60Hz，50/60[1:0] = 01b

图 8-10. 滤波器响应详细视图 (DR = 20SPS)



仅抑制 50Hz，50/60[1:0]= 10b

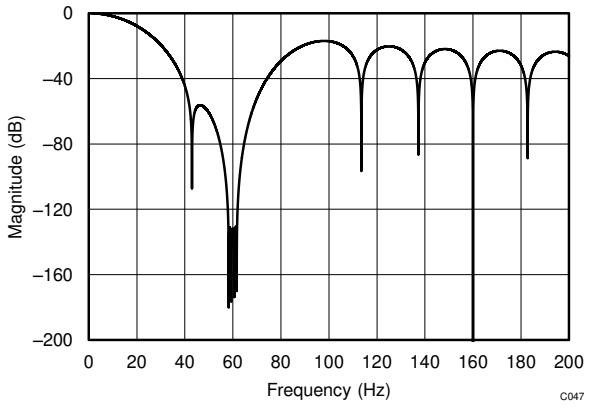
图 8-11. 滤波器响应 (DR = 20SPS)



仅抑制 50Hz，50/60[1:0]= 10b

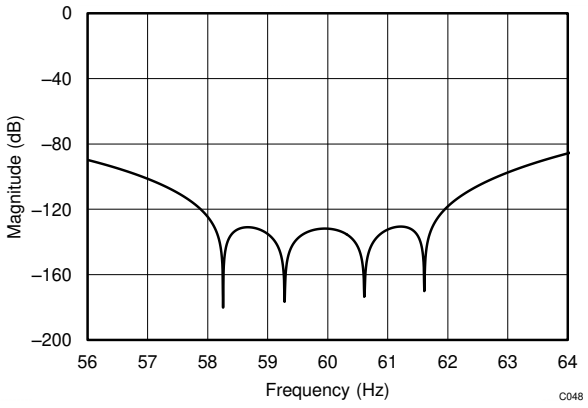
图 8-12. 滤波器响应详细视图 (DR = 20SPS)

Copyright © 2026 Texas Instruments Incorporated



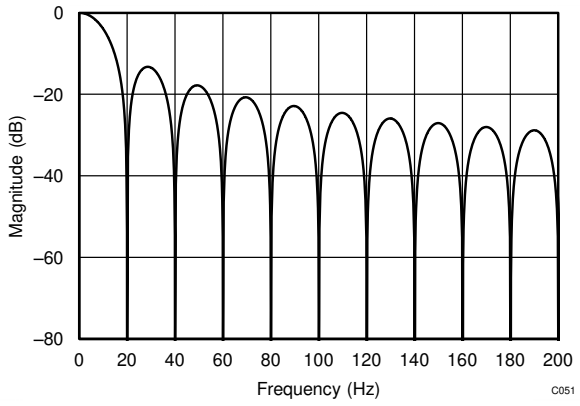
仅抑制 60Hz，50/60[1:0]= 11b

图 8-13. 滤波器响应 (DR = 20SPS)



仅抑制 60Hz，50/60[1:0]= 11b

图 8-14. 滤波器响应详细视图 (DR = 20SPS)



50/60[1:0] = 00b

图 8-15. 滤波器响应 (DR = 20SPS)

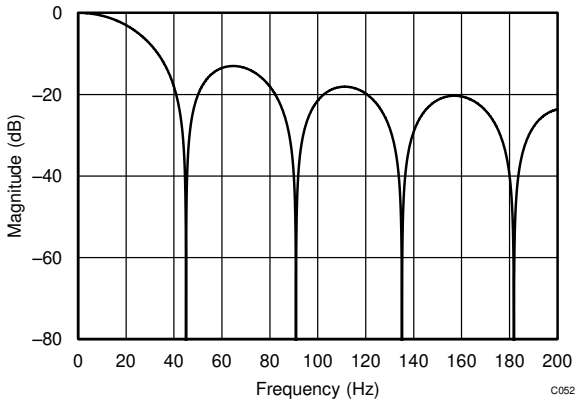


图 8-16. 滤波器响应 (DR = 45SPS)

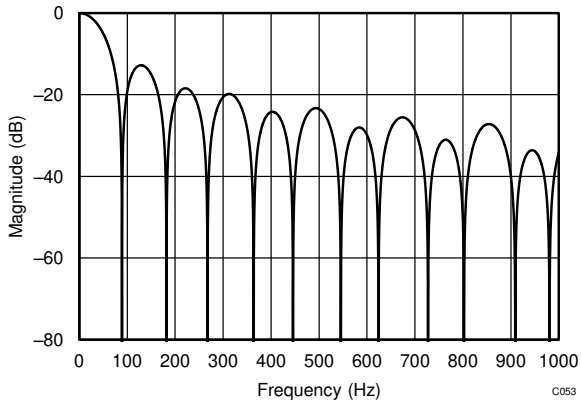


图 8-17. 滤波器响应 (DR = 90SPS)

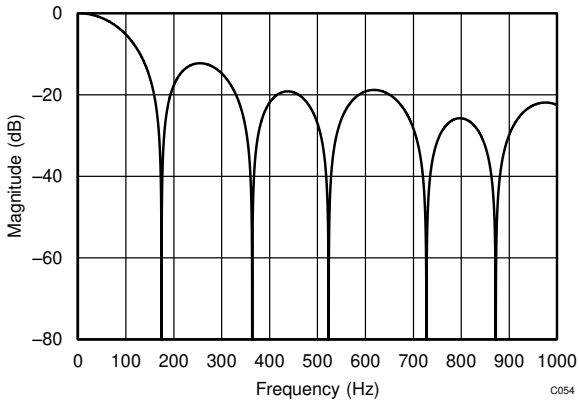


图 8-18. 滤波器响应 (DR = 175SPS)

Copyright © 2026 Texas Instruments Incorporated

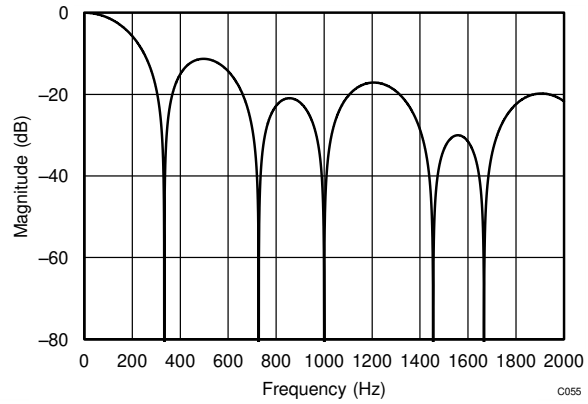


图 8-19. 滤波器响应
(DR = 330SPS)

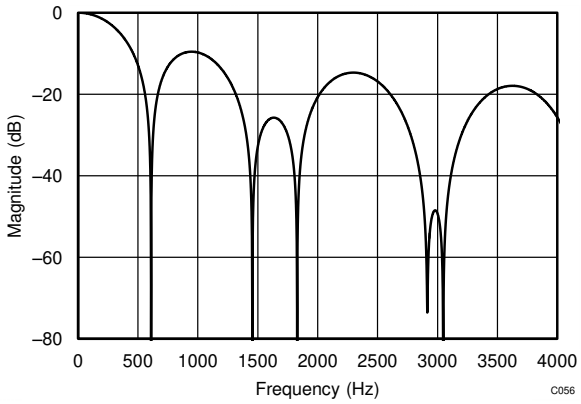


图 8-20. 滤波器响应
(DR = 600SPS)

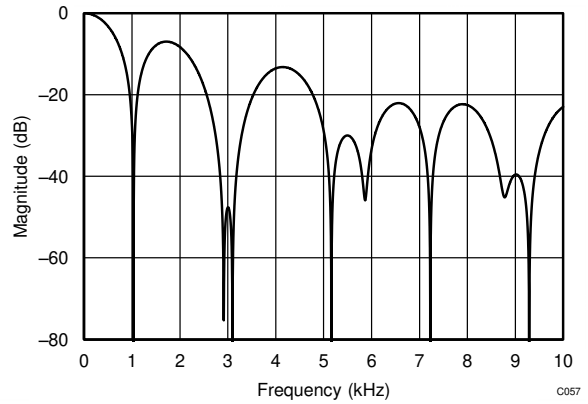


图 8-21. 滤波器响应
(DR = 1kSPS)

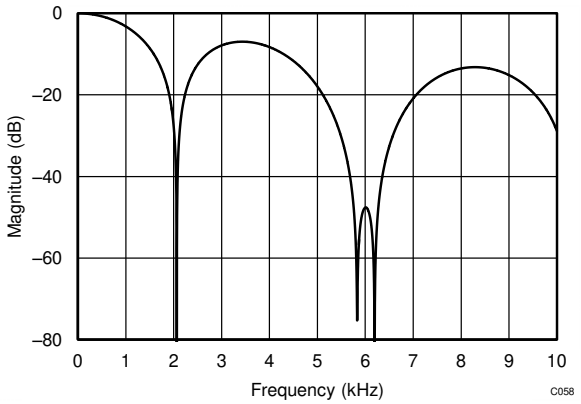


图 8-22. 滤波器响应
(DR = 2kSPS)

Copyright © 2026 Texas Instruments Incorporated

8.3.7 输出数据速率

表 8-4 展示了每种数据速率设置的实际转换时间。这些值以 $t_{(CLK)}$ 周期形式提供，使用时钟频率 f_{CLK} = 4.096MHz 的外部时钟。如果使用的外部时钟频率不是 4.096MHz，则数据速率将按比例调整。

连续转换模式数据速率从一个 $\overline{DRDY}$ 下降沿计时到下一个 $\overline{DRDY}$ 下降沿。第一次转换在 START/SYNC 命令的最后一个 SCLK 下降沿之后，经过 210 × t_{CLK}（正常模式、占空比模式）或 114 × t_{CLK}（turbo 模式）时开始。

单次转换模式数据速率从 START/SYNC 命令的最后一个 SCLK 下降沿计时到 $\overline{DRDY}$ 下降沿并舍入到下一个 t_{CLK}。如果使用内部振荡器，则在单次转换模式下，必须额外增加最长 50µs（正常模式、占空比模式）或 25µs（turbo 模式）的振荡器唤醒时间。内部振荡器在 START/SYNC 命令的第一个 SCLK 上升沿开始加电。如果使用的 SCLK 频率高于 160kHz（正常模式、占空比模式）或 320kHz（turbo 模式），则在 START/SYNC 命令结束时，振荡器未必已完全加电。此时，ADC 会等待内部振荡器完全加电后才开始转换。

占空比模式下的单次转换时间与正常模式相同。有关占空比模式运行的更多详细信息，请参阅*占空比模式*部分。

表 8-4. 转换时间

标称数据速率 (SPS)	–3dB 带宽 (Hz)	实际转换时间 (t_{CLK})	
		连续转换模式	单次转换模式
正常模式			
20	13.1	204768	204850
45	20.0	91120	91218
90	39.6	46128	46226
175	77.8	23664	23762
330	150.1	12464	12562
600	279.0	6896	6994
1000	483.8	4144	4242
占空比模式			
5	13.1	823120	不适用
11.25	20.0	364560	不适用
22.5	39.6	184592	不适用
44	77.8	94736	不适用
82.5	150.1	49936	不适用
150	279.0	27664	不适用
250	483.8	16656	不适用
TURBO 模式			
40	17.1	102384	102434
90	39.9	45560	45618
180	79.2	23064	23122
350	155.6	11832	11890
660	300.3	6232	6290
1200	558.1	3448	3506
2000	967.6	2072	2130

尽管 20SPS 设置下的转换时间并非恰好为 1/20Hz = 50ms，但该差异不会影响对 50Hz 或 60Hz 的抑制。为了实现*电气特性*表中规定的 50Hz 和 60Hz 抑制，外部时钟频率必须为 4.096MHz。使用内部振荡器时，转换时间和滤波器陷波随*电气特性*表中规定的振荡器精度量而变化。

8.3.8 激励电流源

该器件为 RTD 应用提供了两个匹配的可编程激励电流源 (IDAC)。可以使用配置寄存器中的相应位 (IDAC[2:0])，将这些电流源的输出电流编程为 10 µA、50 µA、100 µA、250 µA、500 µA、1,000 µA 或 1,500 µA。每个电流源都可以连接到任何模拟输入端 (AINx) 以及任何专用基准输入端（REFP0 和 REFN0）。也可以将两个电流源连

Copyright © 2026 Texas Instruments Incorporated

接到同一引脚。使用配置寄存器中的 I1MUX[2:0] 和 I2MUX[2:0] 位来配置 IDAC 的路由。必须注意不要超过 IDAC 的顺从电压。换句话说，应将 IDAC 所分配到的引脚电压限制在 ≤ (AVDD – 0.9V)，否则无法满足 IDAC 电流的规定精度。对于三线 RTD 应用，可利用匹配的电流源来消除传感器引线电阻引起的误差（有关更多详细信息，请参阅 *3 线 RTD 测量*部分）。

使用 IDAC[2:0] 位将 IDAC 电流编程为相应值后，IDAC 需要最多 200µs 的启动时间。使用 IDAC[2:0] 位将 IDAC 电流设置为相应值，然后选择每个 IDAC（I1MUX[2:0]、I2MUX[2:0]）的路由。

在单次转换模式下，如果 IDAC[2:0] 位被设置为 000b 以外的值，则 IDAC 在任意两次转换之间均保持工作状态。但是，只要发出 POWERDOWN 命令，IDAC 就会断电。

启用 IDAC 时（即当 IDAC[2:0] 位设置为 000b 以外的值时），模拟电源电流会增加。即使 IDAC 未路由到任何引脚 (I1MUX[2:0] = I2MUX[2:0] = 000b)，IDAC 电路也需要该偏置电流才能工作。此外，当 I1MUX[2:0] 或 I2MUX[2:0] 设置为 000b 以外的值时，选定的输出电流将从模拟电源汲取。

8.3.9 低侧电源开关

器件内还集成了一个具有低导通电阻的低侧电源开关，连接在模拟输入端 AIN3/REFN1 与 AVSS 之间。该电源开关可用于在桥式传感器应用中降低系统功耗，通过在各次转换之间关断桥式电路来实现。当将配置寄存器中的相应位 (PSW) 置位时，发送 START/SYNC 命令时该开关自动闭合，发出 POWERDOWN 命令时断开。在单次转换模式下，如果 PSW 位设置为 1b，该开关会在转换之间保持闭合。可以随时通过将 PSW 位设置为 0b 来断开该开关。默认情况下，该开关始终保持断开。

8.3.10 传感器检测

为了帮助检测可能的传感器故障，该器件提供了内部 10µA 烧毁电流源。通过设置配置寄存器中的相应位 (BCS) 来启用时，一路电流源向当前选中的正模拟输入端 (AIN_P) 提供电流，另一路电流源则从选中的负模拟输入端 (AIN_N) 抽取电流。

如果传感器开路，这些烧毁电流源会将正输入拉至 AVDD，将负输入拉至 AVSS，从而产生满量程读数。满量程读数还可能指示传感器过载或基准电压缺失。接近零的读数可能指示传感器短路。烧毁电流源的绝对值通常有 ±10% 的偏差，且内部多路复用器会引入较小的串联电阻。因此，将传感器短路状况与正常读数区分开来可能很困难，尤其是在输入端使用了 RC 滤波器时。换言之，即使传感器短路，外部滤波电阻两端的压降和多路复用器的残余电阻也会导致输出读数高于零。

启用烧毁电流源后，功能传感器的 ADC 读数可能会损坏。在进行精密测量时，请禁用烧毁电流源，仅在测试传感器故障状态时才启用这些电流源。

Copyright © 2026 Texas Instruments Incorporated

8.3.11 系统监控器

该器件提供了一些监测模拟电源和外部电压基准的方法。要选择监测电压，可通过配置寄存器中的 MUX[3:0] 位相应地配置内部多路复用器。使用监测功能时，无论配置寄存器的设置如何，器件都会自动旁路 PGA 并将增益设为 1。系统监测功能仅提供粗略结果，并非用于精密测量。

测量模拟电源时 (MUX[3:0] = 1101b)，转换结果大约为 (AVDD – AVSS) / 4。无论在配置寄存器 (VREF[1:0]) 中选择何种基准源，该器件都会使用内部 2.048V 基准进行测量。

当监测两个可能的外部基准电压源之一时 (MUX[3:0] = 1100b)，结果约为 (V_{REFPx} – V_{REFNx}) / 4。REFPx 和 REFNx 表示在配置寄存器 (VREF[1:0]) 中选择的外部基准输入对。该器件自动使用内部基准进行测量。

8.3.12 偏移校准

内部多路复用器提供了将两个 PGA 输入端（AIN_P 和 AIN_N）都短接到 (AVDD + AVSS) / 2 的选项。该选项可用于测量和校准器件偏移电压，方法是将短路输入电压读数结果存储在微控制器中，然后从每个后续读数中减去该结果。在输入短接的情况下获取多个读数，并对结果求平均值以降低噪声的影响。

Copyright © 2026 Texas Instruments Incorporated

8.3.13 温度传感器

ADS1220 提供了一个集成精密温度传感器。通过设置配置寄存器中的位 TS = 1b 来启用温度传感器模式。在温度传感器模式下，无论选择的电压基准源是什么，配置寄存器 0 的设置都不起作用，器件使用内部基准进行测量。温度读数遵循与模拟输入相同的过程来启动和读取转换结果。温度数据表示为 14 位结果，在 24 位转换数据中进行左对齐。数据从最高有效字节 (MSB) 开始输出。当读取这三个数据字节时，前 14 位用来指示温度测量结果。一个 14 位 LSB 等于 0.03125°C。负数用二进制补码格式表示，如表 8-5 所示。

表 8-5. 14 位温度数据格式

温度 (°C)	数字输出（二进制）	十六进制
128	01 0000 0000 0000b	1000h
127.96875	00 1111 1111 1111b	0FFFh
100	00 1100 1000 0000b	0C80h
75	00 1001 0110 0000b	0960h
50	00 0110 0100 0000b	0640h
25	00 0011 0010 0000b	0320h
0.25	00 0000 0000 1000b	0008h
0.03125	00 0000 0000 0001b	0001h
0	00 0000 0000 0000b	0000h
-0.25	11 1111 1111 1000b	3FF8h
-25	11 1100 1110 0000b	3CE0h
-40	11 1011 0000 0000b	3B00h

8.3.13.1 从数字代码转换为温度

要从数字代码转换为温度，首先需要从器件中读取数据字节，并通过右移结果来提取 14 位温度值。图 8-23 展示了 24 位转换结果中的 14 位温度传感器数据对齐。14 位值的 MSB 决定了符号：0b 表示正温度，1b 表示负温度。对于正温度，将 14 位二进制值转换为十进制值，并将结果乘以温度传感器 LSB 大小 0.03125°C。对于负温度，该值采用二进制补码格式。反转所有 14 位并添加 1b，转换为十进制，然后将结果乘以负温度传感器 LSB 大小 –0.03125°C。

1.正温度示例：器件读回 0960h：0960h × 0.03125°C = 2,400 × 0.03125°C = 75°C

2.负温度示例：器件读回 3CE0h：减去 1b 并对结果求补码：3CE0h → 0320h，0320h × (–0.03125°C) = 800 × (–0.03125°C) = –25°C

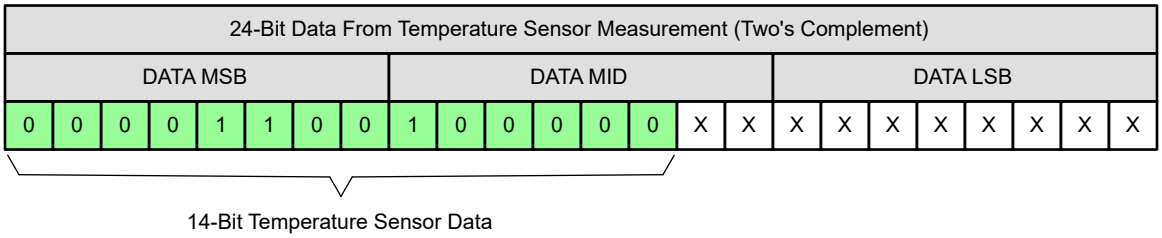


图 8-23. 24 位转换结果中的 14 位温度传感器数据对齐

8.4 器件功能模式

8.4.1 上电和复位

当器件加电时，会执行复位。复位过程大约需要 50μs。在此加电复位时间之后，所有内部电路（包括电压基准）都保持稳定，并且可以与器件进行通信。作为复位过程的一部分，器件将配置寄存器中的所有位设置为相应的默认设置。默认情况下，器件设置为单次转换模式。加电后，器件使用默认寄存器设置执行单次转换，然后进入低功耗状态。完成转换后，$\overline{\text{DRDY}}$ 引脚由高电平切换为低电平。可以使用 $\overline{\text{DRDY}}$ 引脚从高电平到低电平的切换来指示 ADS1220 正常运行且随时可用。这一加电行为旨在防止电源要求严格的系统在加电期间遇到电流浪涌。

8.4.2 转换模式

该器件可在两种转换模式下工作，可通过配置寄存器中的 CM 位进行选择。这两种转换模式分别是单次和连续转换模式。

8.4.2.1 单次转换模式

在单次转换模式下，器件仅在发出 START/SYNC 命令时执行转换。随后器件执行单次转换，完成后返回低功耗状态。内部振荡器和所有模拟电路（激励电流源除外）均关闭，同时器件会在该低功耗状态下等待启动下一次转换。此外，对任何配置寄存器的每次写访问也会启动一次新转换。在转换进行期间写入任何配置寄存器，其作用相当于一条新的 START/SYNC 命令，会停止当前转换并重新启动一次新的单次转换。每次转换都能完全达到稳定（前提是模拟输入信号在转换开始前已稳定至最终值），因为器件的数字滤波器在单个周期内即可达到稳定。

8.4.2.2 连续转换模式

在连续转换模式下，器件将连续执行转换。转换完成后，器件将结果放入输出缓冲器中，并立即开始另一次转换。

要启动连续转换模式，必须将 CM 位设置为 1b，然后发出 START/SYNC 命令。第一次转换在 START/SYNC 命令的最后一个 SCLK 下降沿之后，经过 $210 \times t_{CLK}$（正常模式、占空比模式）或 $114 \times t_{CLK}$（turbo 模式）时开始。在转换期间写入任何配置寄存器都会重新启动当前转换。在 CM 位设置为 1b 后立即发送 START/SYNC 命令。

Copyright © 2026 Texas Instruments Incorporated

8.4.3 工作模式

除了不同的转换模式，该器件还可以在不同的工作模式下运行，可通过选择这些模式来权衡功耗、噪声性能和输出数据速率。这些模式为：正常模式、占空比模式、turbo 模式和省电模式。

8.4.3.1 正常模式

正常模式是加电后的默认工作模式。在此模式下，ΔΣ ADC 的内部调制器以调制器时钟频率 $f_{MOD} = f_{CLK} / 16$ 运行，其中系统时钟 (f_{CLK}) 由内部振荡器或外部时钟源提供。使用内部振荡器时，调制器频率为 256kHz。正常模式在使用内部振荡器时提供从 20SPS 到 1kSPS 的输出数据速率选项。数据速率由配置寄存器中的 DR[2:0] 位选择。如果使用时钟频率非 4.096MHz 的外部时钟源，数据速率会相应按比例缩放。例如，使用 f_{CLK} = 2.048MHz 的外部时钟时，数据速率范围为 10SPS 至 500SPS。

8.4.3.2 占空比模式

当输出数据速率降低时，由于得到一个转换结果需要对内部调制器的更多样本求平均值，因此 ΔΣ ADC 的噪声性能通常有所改善。在功耗至关重要的应用中，并不总是需要在低数据速率下提高噪声性能。对于这些应用，该器件支持自动占空比模式，通过在转换间隙定期进入低功耗状态，可以显著节省功耗。原则上，器件在正常模式下运行，占空比为 25%。该功能意味着该器件以与在正常模式下运行时相同的方式执行一次转换，但随后在连续三个转换周期内自动进入低功耗状态。因此，占空比模式下的噪声性能与正常模式下四倍数据速率下的噪声性能相当。使用内部振荡器时，占空比模式下的数据速率范围为 5SPS 至 250SPS。

8.4.3.3 Turbo 模式

需要高达 2kSPS 数据速率的应用可以在 turbo 模式下运行器件。在此模式下，内部调制器以更高的频率 $f_{MOD} = f_{CLK} / 8$ 运行。当使用内部振荡器或外部 4.096MHz 时钟时，f_{MOD} 等于 512kHz。由于调制器以更高频率运行，器件的功耗会增加。在 turbo 模式下以与正常模式相当的输出数据速率运行 ADS1220，可获得更好的噪声性能。例如，turbo 模式下 90SPS 时的输入基准噪声低于正常模式下 90SPS 时的输入基准噪声。

8.4.3.4 断电模式

发出 POWERDOWN 命令后，器件将在完成当前转换后进入省电模式。在此模式下，所有模拟电路（包括电压基准和两个 IDAC）均断电，低侧电源开关断开，器件通常仅消耗 400nA 电流。在省电模式下，器件会保持配置寄存器的设置并响应命令，但不执行任何数据转换。

发出 START/SYNC 命令会唤醒器件，并根据 CM 位所选择的转换模式启动单次转换或连续转换模式。写入任何配置寄存器也会唤醒器件，但无论选择何种转换模式 (CM)，都只会启动单次转换。

Copyright © 2026 Texas Instruments Incorporated

8.5 编程

8.5.1 串行接口

该器件的 SPI 兼容串行接口用于读取转换数据、读写器件配置寄存器以及控制器件运行。仅支持 SPI 模式 1（CPOL = 0，CPHA = 1）。该接口包含五条控制线（$\overline{CS}$、SCLK、DIN、DOUT/$\overline{DRDY}$ 和 $\overline{DRDY}$），但也可以仅使用四路甚至三路控制信号。专用数据就绪信号 ($\overline{DRDY}$) 可以配置为与 DOUT/$\overline{DRDY}$ 共用。如果串行总线未与任何其他器件共用，则可将 $\overline{CS}$ 永久连接至低电平，这样只需 SCLK、DIN 和 DOUT/$\overline{DRDY}$ 三个信号即可与器件通信。

8.5.1.1 片选 ($\overline{CS}$)

片选 ($\overline{CS}$) 为低电平有效输入，用于选择 SPI 通信器件。当多个器件共用同一条串行总线时，此特性非常有用。$\overline{CS}$ 必须在串行通信期间保持低电平。当 $\overline{CS}$ 置为高电平时，串行接口将复位，SCLK 被忽略，DOUT/$\overline{DRDY}$ 进入高阻抗状态；因此，DOUT/$\overline{DRDY}$ 无法指示数据何时就绪。在总线上有多个器件的情况下，专用 $\overline{DRDY}$ 引脚可以不间断地监测转换状态。如果串行总线未与另一个外设共用，则 $\overline{CS}$ 可以连接至低电平。

8.5.1.2 串行时钟 (SCLK)

串行时钟 (SCLK) 具有施密特触发输入，用于分别在 DIN 和 DOUT/$\overline{DRDY}$ 引脚上将数据按时钟移入和移出器件。即使该输入有磁滞现象，也要尽可能保持 SCLK 信号纯净，以防毛刺意外触发数据移位。当串行接口空闲时，应将 SCLK 保持为低电平。

8.5.1.3 数据就绪 ($\overline{DRDY}$)

$\overline{DRDY}$ 指示新的转换结果已准备好供检索。$\overline{DRDY}$ 置为低电平时，即表明新转换数据准备就绪。$\overline{DRDY}$ 在下一个 SCLK 上升沿转换回高电平。当在连续转换模式期间没有读取数据时，$\overline{DRDY}$ 会保持低电平，但在下一个 $\overline{DRDY}$ 下降沿之前生成一个高电平脉冲，并持续 $2 \times t_{MOD}$。即使在 $\overline{CS}$ 为高电平时，$\overline{DRDY}$ 输出也始终被主动驱动。

8.5.1.4 数据输入 (DIN)

数据输入引脚 (DIN) 与 SCLK 一起使用，以向器件发送数据（命令和寄存器数据）。该器件在 SCLK 下降沿锁存 DIN 上的数据。该器件从不驱动 DIN 引脚。

8.5.1.5 数据输出和数据就绪 (DOUT/$\overline{DRDY}$)

DOUT/$\overline{DRDY}$ 具有双重功能。该引脚与 SCLK 配合使用，可以从器件读取转换数据和寄存器数据。DOUT/$\overline{DRDY}$ 上的数据在 SCLK 上升沿移出。当 $\overline{CS}$ 为高电平时，DOUT/$\overline{DRDY}$ 引脚进入高阻抗状态。

此外，通过将配置寄存器中的 DRDYM 位设置为高电平，DOUT/$\overline{DRDY}$ 引脚也可配置为数据就绪指示器。此时，DOUT/$\overline{DRDY}$ 会在 $\overline{DRDY}$ 引脚变为低电平的同时变为低电平，以指示有新的转换数据可用。两个信号均可用于检测新数据是否就绪。但是，由于 DOUT/$\overline{DRDY}$ 在 $\overline{CS}$ 为高电平时会被禁用，因此当 SPI 总线上存在多个器件时，建议使用专用的 $\overline{DRDY}$ 引脚来监测转换是否结束。

8.5.1.6 SPI 超时

ADS1220 提供了 SPI 超时特性，可用于在串行接口传输中断时恢复通信。在 $\overline{CS}$ 永久连接到低电平且不用于帧定通信序列的应用中，该特性尤其有用。如果在 $14{,}000 \times t_{MOD}$（正常模式、占空比模式）或 $28{,}000 \times t_{MOD}$（turbo 模式）内未发送完整的命令，串行接口将复位，下一个 SCLK 脉冲将启动新的通信周期。有关不同工作模式下调制器频率 ($f_{MOD} = 1 / t_{MOD}$) 的详细信息，请参阅 *调制器*部分。对于 RREG 和 WREG 命令，*完整的命令*包括命令字节以及要读取或写入的寄存器字节。

Copyright © 2026 Texas Instruments Incorporated

8.5.2 数据格式

该器件提供二进制补码格式的 24 位数据。可以使用方程式 15 来计算一个代码的大小 (LSB)。

$$1LSB = (2 \times V_{REF} / Gain) / 2^{24} = +FS / 2^{23} \quad (15)$$

正满量程输入 [$V_{IN} \geq (+FS - 1LSB) = (V_{REF} / 增益 - 1LSB)$] 产生输出代码 7FFFFFh，负满量程输入 ($V_{IN} \leq -FS = -V_{REF} / 增益$) 产生输出代码 800000h。对于超出满量程的信号，输出会在这些代码处进行截断。

表 8-6 总结了不同输入信号的理想输出代码。

表 8-6. 理想输出代码与输入信号间的关系

输入信号，V_{IN} ($AIN_P - AIN_N$)	理想输出代码(1)
$\geq FS (2^{23} - 1) / 2^{23}$	7FFFFFh
$FS/2^{23}$	000001h
0	000000h
$-FS/2^{23}$	FFFFFFh
$\leq -FS$	800000h

(1) 不包括噪声、INL、偏移电压及增益误差的影响。

模拟输入信号到输出代码的映射如图 8-24 所示。

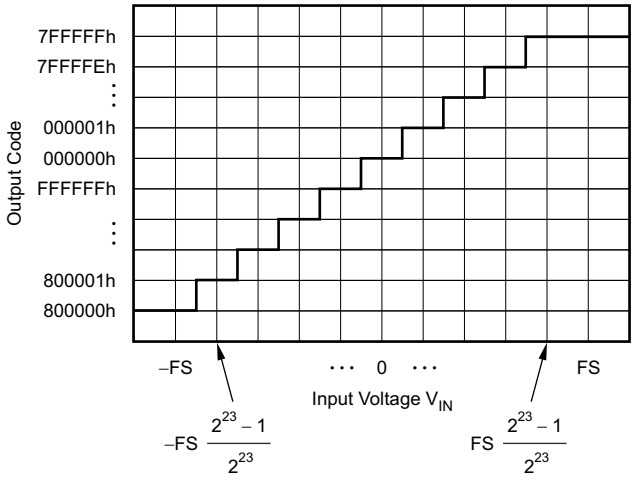


图 8-24. 代码转换图

备注

单端信号测量，其中 V_{AINN} = 0V，V_{AINP} = 0V 至 +FS，仅使用 000000h 至 7FFFFFh 的正代码范围。但是，由于器件偏移电压，如果 V_{AINP} 接近 0V，ADS1220 仍然可能输出负代码。

Copyright © 2026 Texas Instruments Incorporated

8.5.3 命令

该器件提供了六个不同的命令来控制器件运行，如表 8-7 所示。其中四个命令是独立指令（RESET、START/SYNC、POWERDOWN 和 RDATA）。从器件读取 (RREG) 和向其写入 (WREG) 配置寄存器数据的命令需要在指令中包含附加信息。

表 8-7. 命令定义

命令	说明	命令字节(1)
复位	复位器件	0000 011xb
START/SYNC	启动或重启转换	0000 100xb
POWERDOWN	进入省电模式	0000 001xb
RDATA	通过命令读取数据	0001 xxxxb
RREG	从地址 *rr* 开始读取 *nn* 寄存器	0010 *rrnnb*
WREG	从地址 *rr* 开始写入 *nn* 寄存器	0100 *rrnnb*

(1) 操作数：rr = 配置寄存器 (00b 至 11b)，nn =字节数 – 1 (00b 至 11b)，x = 不用考虑。

8.5.3.1 RESET (0000 011xb)

将器件复位为默认值。发送 RESET 命令后，需等待至少 (50µs + 32 × t_{CLK}) 才能发送任何其他命令。

8.5.3.2 START/SYNC (0000 100xb)

在单次转换模式下，START/SYNC 命令用于启动一次单次转换；或者（在转换进行期间发送时）用于复位数字滤波器，然后重新启动一次新的单次转换。当器件设置为连续转换模式时，必须发送一次 START/SYNC 命令以启动连续转换。在连续转换模式下发送 START/SYNC 命令会复位数字滤波器并重新启动连续转换。

8.5.3.3 POWERDOWN (0000 001xb)

POWERDOWN 命令将器件置于省电模式。此命令会关断所有内部模拟元件，断开低侧开关，关闭两个 IDAC 并保存所有寄存器值。如果在转换过程中发出 POWERDOWN 命令，ADS1220 会在转换完成后进入省电模式。一旦发出 START/SYNC 命令，所有模拟元件都会恢复之前的状态。

8.5.3.4 RDATA (0001 xxxxb)

RDATA 命令将最新的转换结果加载到输出移位寄存器中。当未对 DOUT/$\overline{\text{DRDY}}$ 或 $\overline{\text{DRDY}}$ 进行监测以指示新的转换结果可用时，可以使用此命令。如果转换在 RDATA 命令字节中间完成，则读取操作结束时 $\overline{\text{DRDY}}$ 引脚的状态会指示加载的是旧结果还是新结果。如果加载旧结果，则 $\overline{\text{DRDY}}$ 保持低电平，表示未读出新结果。当 $\overline{\text{DRDY}}$ 为高电平时，将会加载新转换结果。

8.5.3.5 RREG (0010 rrnnb)

RREG 命令从器件配置寄存器中读取由 *nn*（要读取的字节数减 1）指定的字节数，起始地址为 rr。在 RREG 命令字节之后，按时钟输出 nn+1 个字节后该命令即告完成。例如，从配置寄存器 1 (rr = 01b) 开始读取三个字节 (nn = 10b) 的命令为 0010 0110b。

8.5.3.6 WREG (0100 rrnnb)

WREG 命令向器件配置寄存器中写入由 *nn*（要写入的字节数减 1）指定的字节数，起始地址为 rr。在 WREG 命令字节之后，按时钟输入 nn+1 个字节后该命令即告完成。例如，向配置寄存器 0 (rr = 00b) 开始写入两个字节 (nn = 01b) 的命令为 0100 0001b。配置寄存器在最后一个 SCLK 下降沿更新。

8.5.4 读取数据

输出引脚 $\overline{\text{DRDY}}$ 和 DOUT/$\overline{\text{DRDY}}$（如果配置寄存器中的 DRDYM 位置为高电平）会在新数据准备好供读取时变为低电平。转换数据会写入内部数据缓冲器。当 $\overline{\text{DRDY}}$ 下降至低电平时，可以直接从 DOUT/$\overline{\text{DRDY}}$ 读取该缓冲器中的数据，无需担心数据损坏。无需发送 RDATA 命令。数据在 SCLK 上升沿移出，MSB 在前，包含三个字节的数据。

Copyright © 2026 Texas Instruments Incorporated

图 8-25 至图 8-27 展示了在不使用 RDATA 命令时，连续转换模式和单次转换模式下读取转换数据的时序图。

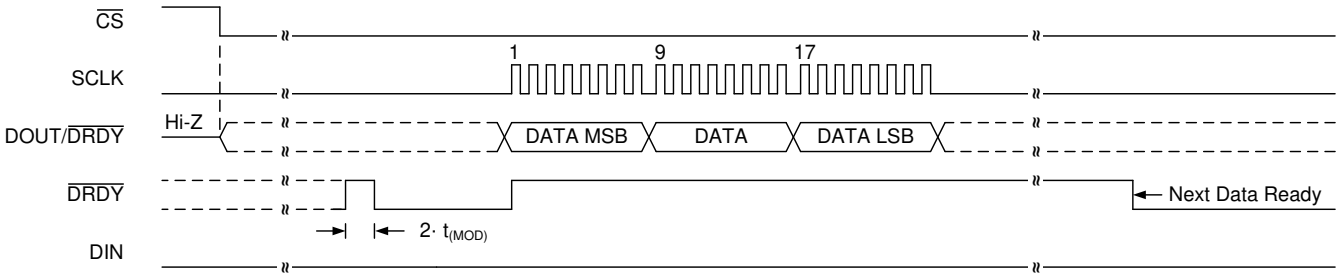


图 8-25. 连续转换模式 (DRDYM = 0b)

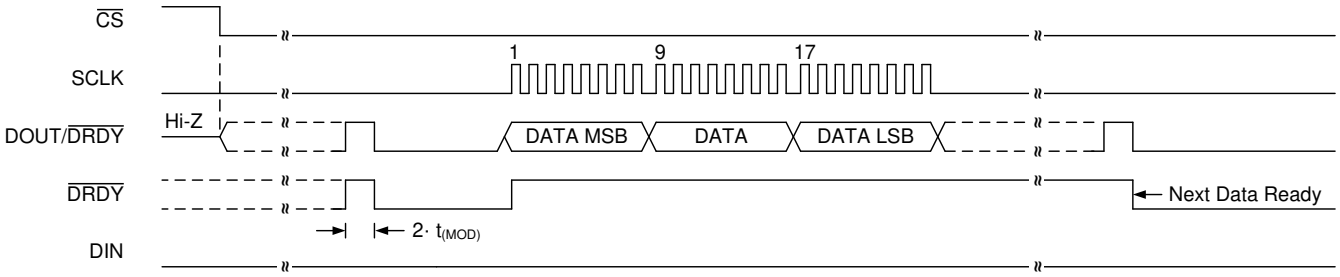


图 8-26. 连续转换模式 (DRDYM = 1b)

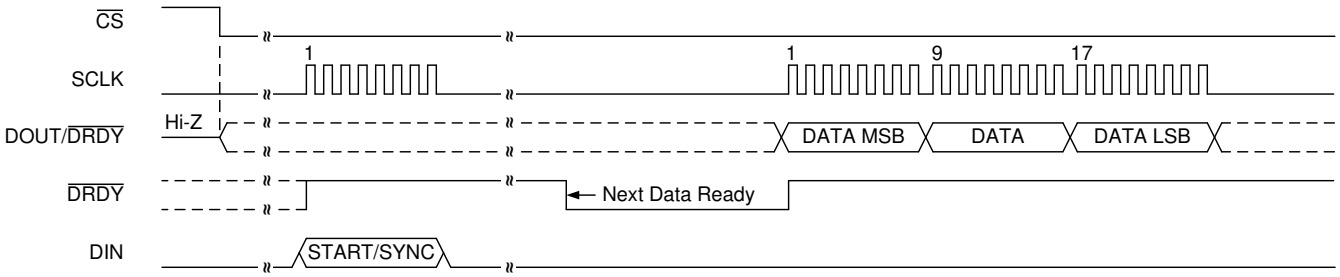


图 8-27. 单次转换模式 (DRDYM = 0b)

也可以使用 RDATA 命令随时读取数据，而无需与 $\overline{\text{DRDY}}$ 信号同步。发出 RDATA 命令后，当前存储在数据缓冲器中的转换结果将在下一个 SCLK 上升沿从 DOUT/$\overline{\text{DRDY}}$ 移出。作为监测 $\overline{\text{DRDY}}$ 或 DOUT/$\overline{\text{DRDY}}$ 的替代方案，可以使用 RDATA 命令连续读取数据。在 LSB 按时钟输出后，可以轮询 $\overline{\text{DRDY}}$ 引脚，以判断是否有新的转换结果载入。如果在读取操作期间有新的转换完成，但读取的是上一次转换的数据，则 $\overline{\text{DRDY}}$ 为低电平。反之，如果读取的是最新的转换结果，则 $\overline{\text{DRDY}}$ 为高电平。图 8-28 和图 8-29 展示了这两种情况下的行为。

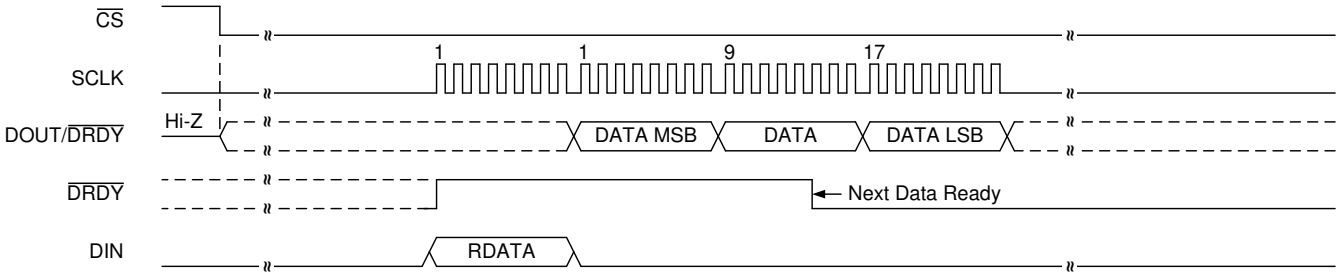


图 8-28. RDATA 命令期间新转换完成时的 $\overline{\text{DRDY}}$ 状态

Copyright © 2026 Texas Instruments Incorporated

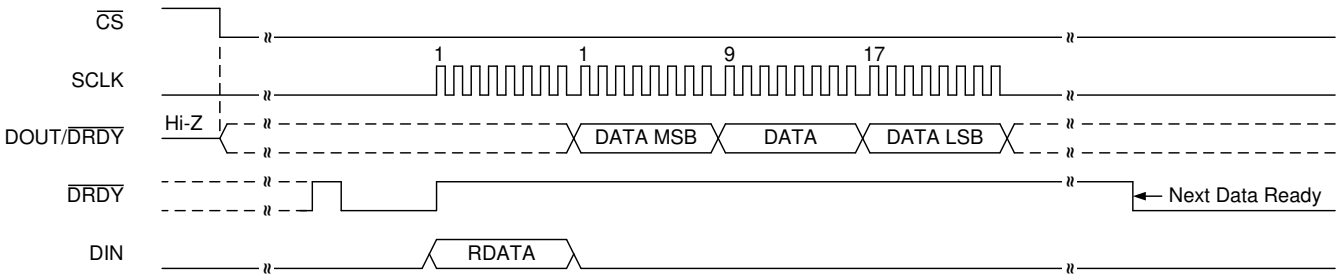


图 8-29. RDATA 命令期间读取到最新转换结果时的 DRDY 状态

8.5.5 发送命令

不使用 RDATA 命令时，器件串行接口在读取转换数据时支持全双工操作。全双工操作意味着在读取转换数据的同时，也会对命令进行解码。在数据读取操作期间，可以在任意 8 位数据边界上发送命令。当识别到 RREG 或 RDATA 命令时，当前的数据读取操作将中止，转换数据也会损坏，除非该命令是在取回转换结果的最后一个字节时发送的。在命令字节后的第一个 SCLK 上升沿，器件开始在 DOUT/DRDY 上输出所请求的数据。要不间断地读取数据，在按时钟输出数据的过程中，请将 DIN 保持为低电平。

发送 WREG 命令不会破坏正在进行的读取操作。图 8-30 展示了一个示例，说明在连续转换模式下读取转换数据的同时，发送 WREG 命令来写入两个配置寄存器。在按时钟输入命令后（第 32 个 SCLK 下降沿之后），器件会复位数字滤波器并按照新的寄存器设置开始转换。WREG 命令可以在任意 8 位边界上发送。

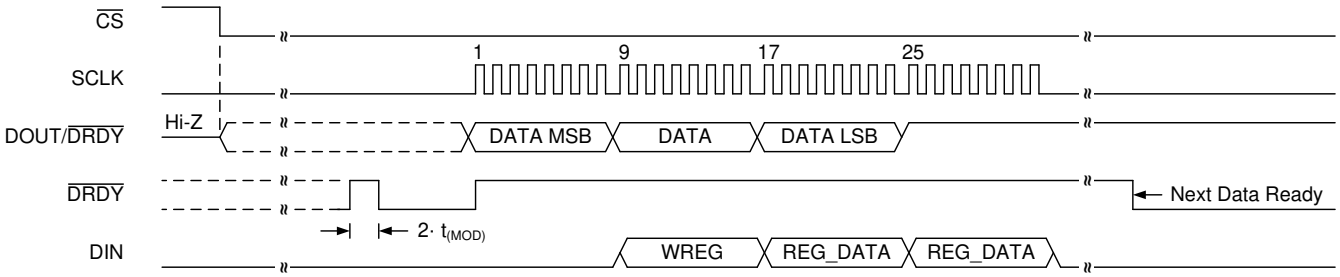


图 8-30. 在发送 WREG 命令的同时读取数据的示例

在执行 RDATA 或 RREG 命令期间，串行接口不会解码命令。也就是说，发出 RDATA 命令后，必须读取完整的 24 位转换结果；发送 RREG 命令后，也必须读取完所有被请求的寄存器，然后才能发出新命令。

8.5.6 连接多个器件

当多个 ADS1220 器件连接到单条 SPI 总线时，通过为每个启用了 SPI 的器件使用专用片选 (CS) 线，可以安全地共享 SCLK、DIN 和 DOUT/DRDY 信号。当相应器件的 CS 变为高电平时，DOUT/DRDY 引脚进入三态模式。因此，如果 CS 为高电平，则无论配置寄存器中的 DRDYM 位的设置如何，都无法使用 DOUT/DRDY 来指示新数据是否就绪。只有专用 DRDY 引脚能够指示新数据是否可用，因为即使 CS 为高电平，DRDY 引脚也会被主动驱动。

在某些情况下，DRDY 引脚无法连接到微控制器。例如，当微控制器上的 GPIO 通道不足，或串行接口必须进行电气隔离而需要限制通道数量时，就可能出现这种情况。因此，为了判断某个器件的新转换何时完成，微控制器可以周期性地将对应器件的 CS 拉低，并轮询 DOUT/DRDY 引脚的状态。当 CS 变为低电平时，如果 DRDYM 位配置为 1b，DOUT/DRDY 引脚会立即驱动为高电平或低电平。如果在 CS 拉低时，DOUT/DRDY 线被驱动为低电平，表示当前有新数据可用。如果 DOUT/DRDY 线驱动为高电平，则表示没有新数据。这一流程要求在每次读取转换结果之后以及将 CS 置为高电平之前，DOUT/DRDY 必须为高电平。为了确保 DOUT/DRDY 被置为高电平，在每次数据读取操作后，需在保持 DIN 为低电平的同时发送 8 个额外的 SCLK。在转换结果被读出后的这 8 个 SCLK 期间，DOUT/DRDY 会读为高电平，如图 8-31 所示。或者，也可以随时使用 RDATA 命令从器件获取有效数据，而无需担心数据损坏。

Copyright © 2026 Texas Instruments Incorporated

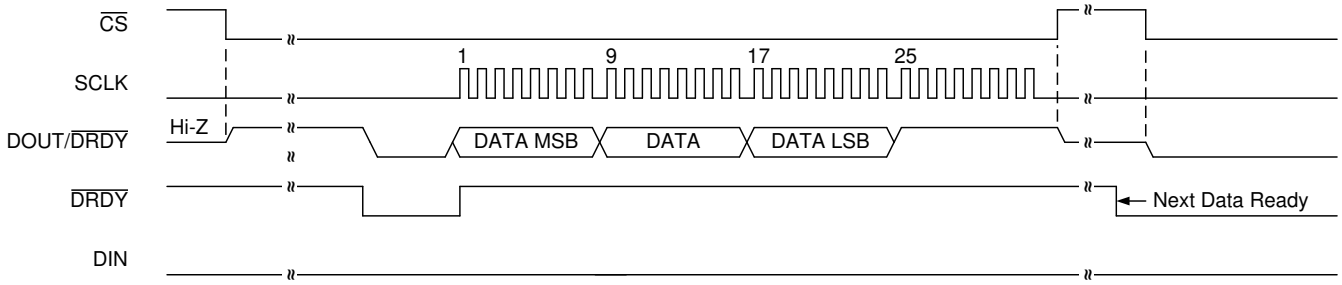


图 8-31. 读取转换结果后将 DOUT/DRDY 置为高电平的示例

8.6 寄存器映射

8.6.1 配置寄存器

该器件具有四个 8 位配置寄存器，可使用 RREG 和 WREG 命令通过串行接口访问这些寄存器。加电或复位后，所有寄存器均设置为默认值（即全为 00h）。在省电模式期间，所有寄存器都会保留相应的值。表 8-8 展示了配置寄存器的寄存器映射。

表 8-8. 配置寄存器映射

寄存器（十六进制）	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
00h	MUX[3:0]				GAIN[2:0]			PGA_BYPASS
01h	DR[2:0]			MODE[1:0]		CM	TS	BCS
02h	VREF[1:0]		50/60[1:0]		PSW	IDAC[2:0]		
03h	I1MUX[2:0]			I2MUX[2:0]			DRDYM	RESERVED

8.6.2 寄存器说明

表 8-9 列出了 ADS1220 寄存器的访问代码。

表 8-9. 寄存器访问类型代码

访问类型	代码	说明
R	R	读取
R/W	R/W	读-写
W	W	写入
-n		复位后的值或默认值

Copyright © 2026 Texas Instruments Incorporated

8.6.2.1 配置寄存器 0（地址 = 00h）[复位 = 00h]

图 8-32. 配置寄存器 0

7	6	5	4	3	2	1	0
MUX[3:0]				GAIN[2:0]			PGA_BYPASS
R/W-0000b				R/W-000b			R/W-0b

表 8-10. 配置寄存器 0 字段说明

位	字段	类型	复位	说明
7:4	MUX[3:0]	R/W	0000b	**输入多路复用器配置** 这些位用于配置输入多路复用器。 对于 AIN_N = AVSS 的设置，必须禁用 PGA (PGA_BYPASS = 1)，并且仅可使用增益 1、2 和 4。 0000b：AIN_P = AIN0，AIN_N = AIN1 0001b：AIN_P = AIN0，AIN_N = AIN2 0010b：AIN_P = AIN0，AIN_N = AIN3 0011b：AIN_P = AIN1，AIN_N = AIN2 0100b：AIN_P = AIN1，AIN_N = AIN3 0101b：AIN_P = AIN2，AIN_N = AIN3 0110b：AIN_P = AIN1，AIN_N = AIN0 0111b：AIN_P = AIN3，AIN_N = AIN2 1000b：AIN_P = AIN0，AIN_N = AVSS 1001b：AIN_P = AIN1，AIN_N = AVSS 1010b：AIN_P = AIN2，AIN_N = AVSS 1011b：AIN_P = AIN3，AIN_N = AVSS 1100b：(V_{REFPx} – V_{REFNx}) / 4 个监测器（PGA 旁路） 1101b：(AVDD – AVSS) / 4 个监测器（PGA 旁路） 1110b：AIN_P 和 AIN_N 短接至 (AVDD + AVSS) / 2 1111b：保留
3:1	GAIN[2:0]	R/W	000b	**增益配置** 这些位配置器件增益。 增益 1、2 和 4 可在没有 PGA 的情况下使用。在这种情况下，通过开关电容器结构获得增益。 000b：增益 = 1 001b：增益 = 2 010b：增益 = 4 011b：增益 = 8 100b：增益 = 16 101b：增益 = 32 110b：增益 = 64 111b：增益 = 128
0	PGA_BYPASS	R/W	0b	**禁用和旁路内部低噪声 PGA** 禁用 PGA 会降低总功耗，并允许共模电压范围 (V_{CM}) 扩展至 AVSS – 0.1V 到 AVDD + 0.1V。 只能在增益为 1、2 和 4 时禁用 PGA。 无论 PGA_BYPASS 设置如何，始终在增益设置为 8 到 128 时启用 PGA。 0b：启用 PGA 1b：禁用并旁路 PGA

Copyright © 2026 Texas Instruments Incorporated

8.6.2.2 配置寄存器 1（地址 = 01h）[复位 = 00h]

图 8-33. 配置寄存器 1

7	6	5	4	3	2	1	0
DR[2:0]			MODE[1:0]		CM	TS	BCS
R/W-000b			R/W-00b		R/W-0b	R/W-0b	R/W-0b

表 8-11. 配置寄存器 1 字段说明

位	字段	类型	复位	说明
7:5	DR[2:0]	R/W	000b	**数据速率** 这些位根据所选的工作模式控制数据速率设置。表 8-12 列出了正常模式、占空比模式和 turbo 模式的位设置。
4:3	MODE[1:0]	R/W	00b	**工作模式** 这些位控制器件的工作模式。 00b：正常模式（256kHz 调制器时钟） 01b：占空比模式（内部占空比为 1:4） 10b：Turbo 模式（512kHz 调制器时钟） 11b：保留
2	CM	R/W	0b	**转换模式** 该位设置器件的转换模式。 0b：单次转换模式 1b：连续转换模式
1	TS	R/W	0b	**温度传感器模式** 该位启用内部温度传感器并将器件置于温度传感器模式。 当启用温度传感器模式时，配置寄存器 0 的设置不起作用，器件使用内部基准进行测量。 0b：禁用温度传感器 1b：启用温度传感器
0	BCS	R/W	0b	**烧毁电流源** 该位控制 10μA 烧毁电流源。 烧毁电流源可用于检测传感器故障，例如电线断裂和传感器短路。 0b：电流源关闭 1b：电流源开启

表 8-12. DR 位设置 (1)

正常模式	占空比模式	TURBO 模式
000b = 20SPS	000b = 5SPS	000b = 40SPS
001b = 45SPS	001b = 11.25SPS	001b = 90SPS
010b = 90SPS	010b = 22.5SPS	010b = 180SPS
011b = 175SPS	011b = 44SPS	011b = 350SPS
100b = 330SPS	100b = 82.5SPS	100b = 660SPS
101b = 600SPS	101b = 150SPS	101b = 1200SPS
110b = 1000SPS	110b = 250SPS	110b = 2000SPS
111b = 保留	111b = 保留	111b = 保留

(1) 提供的数据速率使用内部振荡器或外部 4.096MHz 时钟计算得出。当使用 4.096MHz 以外的外部时钟时，数据速率与外部时钟频率成正比。

Copyright © 2026 Texas Instruments Incorporated

8.6.2.3 配置寄存器 2（地址 = 02h）[复位 = 00h]

图 8-34. 配置寄存器 2

7	6	5	4	3	2	1	0
VREF[1:0]		50/60[1:0]		PSW	IDAC[2:0]		
R/W-00b		R/W-00b		R/W-0b	R/W-000b		

表 8-13. 配置寄存器 2 字段说明

位	字段	类型	复位	说明
7:6	VREF[1:0]	R/W	00b	**电压基准选择** 这些位选择用于转换的电压基准源。 00b：选择 2.048V 内部基准 01b：使用专用 REFP0 和 REFN0 输入端选择外部基准 10b：使用 AIN0/REFP1 和 AIN3/REFN1 输入端选择外部基准 11b：使用模拟电源 (AVDD – AVSS) 作为基准
5:4	50/60[1:0]	R/W	00b	**FIR 滤波器配置** 这些位配置内部 FIR 滤波器的滤波器系数。 仅将这些位与正常模式下的 20SPS 设置和占空比模式下的 5SPS 设置一起使用。对于所有其他数据速率，设置为 00b。 00b：无 50Hz 或 60Hz 抑制 01b：同步抑制 50Hz 和 60Hz 10b：仅抑制 50Hz 11b：仅抑制 60Hz
3	PSW	R/W	0h	**低侧电源开关配置** 该位配置连接在 AIN3/REFN1 和 AVSS 之间的低侧开关的行为。 0b：开关始终断开 1b：发送 START/SYNC 命令时开关自动闭合，发出 POWERDOWN 命令时断开
2:0	IDAC[2:0]	R/W	0h	**IDAC 电流设置** 这些位设置 IDAC1 和 IDAC2 激励电流源的电流。 000b：关闭 001b：10μA 010b：50μA 011b：100μA 100b：250μA 101b：500μA 110b：1,000μA 111b：1,500μA

Copyright © 2026 Texas Instruments Incorporated

8.6.2.4 配置寄存器 3（地址 = 03h）[复位 = 00h]

图 8-35. 配置寄存器 3

7	6	5	4	3	2	1	0
I1MUX[2:0]			I2MUX[2:0]			DRDYM	RESERVED
R/W-000b			R/W-000b			R/W-0b	R/W-0b

表 8-14. 配置寄存器 3 字段说明

位	字段	类型	复位	说明
7:5	I1MUX[2:0]	R/W	000b	**IDAC1 布线配置** 这些位用于选择 IDAC1 路由到的通道。 000b：禁用 IDAC1 001b：IDAC1 连接到 AIN0/REFP1 010b：IDAC1 连接到 AIN1 011b：IDAC1 连接到 AIN2 100b：IDAC1 连接到 AIN3/REFN1 101b：IDAC1 连接到 REFP0 110b：IDAC1 连接到 REFN0 111b：保留
4:2	I2MUX[2:0]	R/W	000b	**IDAC2 布线配置** 这些位用于选择 IDAC2 路由到的通道。 000b：禁用 IDAC2 001b：IDAC2 连接到 AIN0/REFP1 010b：IDAC2 连接到 AIN1 011b：IDAC2 连接到 AIN2 100b：IDAC2 连接到 AIN3/REFN1 101b：IDAC2 连接到 REFP0 110b：IDAC2 连接到 REFN0 111b：保留
1	DRDYM	R/W	0b	**$\overline{\text{DRDY}}$ 模式** 该位控制新数据就绪时 DOUT/$\overline{\text{DRDY}}$ 引脚的行为。 0b：仅专用 $\overline{\text{DRDY}}$ 引脚用于指示数据就绪情况 1b：数据就绪情况在 DOUT/$\overline{\text{DRDY}}$ 和 $\overline{\text{DRDY}}$ 上同步指示
0	RESERVED	R/W	0b	**保留** 始终写入 0b

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

ADS1220 是一款精密 24 位 ΔΣ ADC，集成了众多特性，可简化最常见传感器类型的测量，包括各类温度传感器和桥式传感器。使用 ADS1220 进行应用设计时的主要考虑因素包括：模拟输入滤波，为比例式测量建立合适的外部基准，以及为内部 PGA 设置共模输入电压。串行接口的正确连接与配置是另一个需要注意的问题。以下章节将对上述各项考虑因素进行讨论。

9.1.1 串行接口连接

ADS1220 的主要串行接口连接如图 9-1 所示。

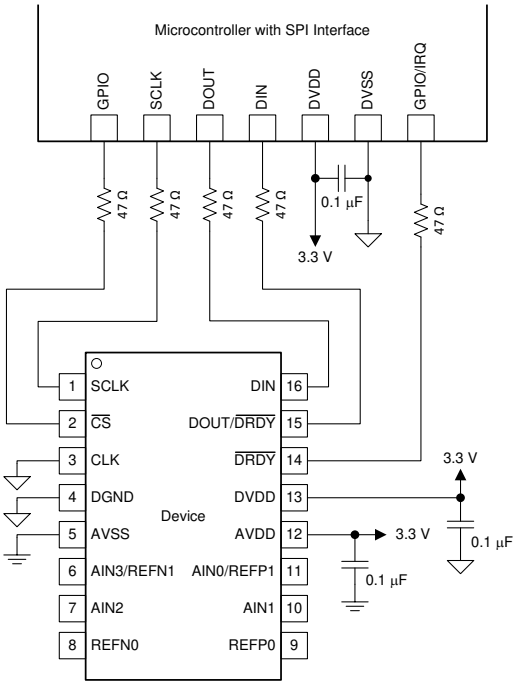


图 9-1. 串行接口连接

大多数微控制器 SPI 外设都可以与 ADS1220 配合运行。该接口在 SPI 模式 1 下工作，其中 CPOL = 0 且 CPHA = 1。在 SPI 模式 1 下，SCLK 在空闲状态下保持低电平，并且数据仅在 SCLK 上升沿发射或更改；控制器和外设在 SCLK 下降沿锁存或读取数据。有关器件采用的 SPI 通信协议的详细信息，请参阅 *SPI 时序要求*部分。

将 47Ω 电阻器与所有数字输入和输出引脚（$\overline{CS}$、SCLK、DIN、DOUT/$\overline{DRDY}$ 和 $\overline{DRDY}$）串联。该电阻可使急剧的切换变得平滑，抑制过冲，并提供一定的过压保护。必须注意满足所有 SPI 时序要求，因为额外的电阻器与数字信号线上的总线电容相互作用。

Copyright © 2026 Texas Instruments Incorporated

9.1.2 模拟输入滤波

模拟输入滤波有两个用途：第一个是限制采样过程中混叠的影响；第二个是减少测量中的外部噪声。

与任何采样系统一样，如果没有适当的抗混叠滤波，可能会发生混叠。如果输入信号的频率分量高于 ADC 采样频率的一半（也称为*奈奎斯特频率*），将发生混叠。这些频率分量会被折返，并出现在低于采样频率一半的实际关注频带内。在 ΔΣ ADC 内部，输入信号以调制器频率 f_{MOD} 进行采样，而非输出数据速率。数字滤波器的滤波器响应会在采样频率 (f_{MOD}) 的整数倍处重复，如图 9-2 所示。频率高至滤波器响应重复频率的信号或噪声，会由数字滤波器根据滤波器架构衰减一定的量。除非由外部模拟滤波器进行衰减，否则输入信号中存在的接近于调制器频率或其倍数的任何频率分量都不会衰减并混叠回到相关的频带中。

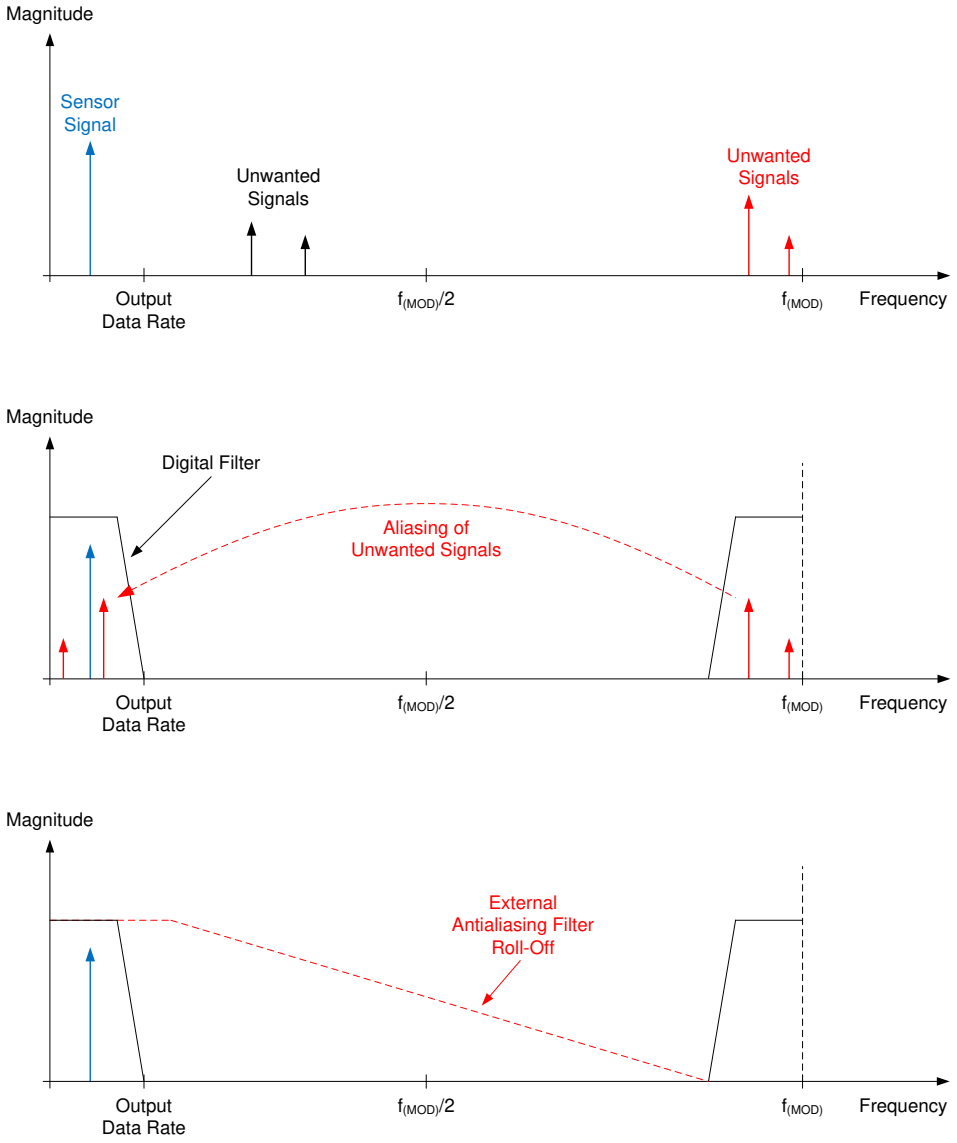


图 9-2. 混叠的影响

Copyright © 2026 Texas Instruments Incorporated

许多传感器信号本质上是带限信号，例如，热电偶的输出具有有限的变化率。在这种情况下，当使用 ΔΣ ADC 时，传感器信号不会混叠回到通带中。然而，沿着传感器接线或应用电路拾取的任何噪声都可能混叠到通带中。电力线周期频率及谐波是一种常见的噪声源。外部噪声也可能来自电磁干扰 (EMI) 或射频干扰 (RFI) 源，例如附近的电机和手机。另一种噪声源通常以时钟和其他数字信号的形式存在于印刷电路板 (PCB) 上。模拟输入滤波有助于消除不必要的信号，使其不会影响测量结果。

一阶阻容 (RC) 滤波器（在大多数情况下）足以完全消除混叠，或将混叠效应降低至传感器本底噪声以下的水平。理想情况下，任何超过 $f_{MOD}/2$ 的信号都会衰减至低于 ADC 本底噪声的水平。ADS1220 的数字滤波器会对信号进行一定程度的衰减，如*数字滤波器*部分中的滤波器响应图所示。此外，噪声分量的幅度通常比实际传感器信号小。因此，系统设计最初通常选择截止频率设置为与输出数据速率相等或是其 10 倍的一阶 RC 滤波器。

在器件内部，在 PGA 输入端之前有一个 EMI 滤波器；请参阅图 8-2。该滤波器的截止频率约为 31.8MHz，有助于抑制高频干扰。

9.1.3 外部基准与比例式测量

ADS1220 的满量程范围由基准电压和 PGA 增益定义（FSR = $\pm V_{REF}$ / 增益）。可以使用外部基准代替内部 2.048V 基准，以使 FSR 适应特定系统需求。如果 V_{IN} > 2.048V，则必须使用外部基准。例如，要测量一个可能在 0V 至 5V 之间摆动的单端信号，需要 5V 外部基准且 AVDD = 5V。

该器件的基准输入还支持比例式测量。在比例式测量中，用于激励传感器的同一激励源也用于建立 ADC 的基准。举例来说，一种简单的比例式测量形式是使用同一电流源同时激励电阻式传感器元件（如 RTD）和与之串联的另一个电阻式基准元件。基准元件两端产生的电压用作 ADC 的基准源。由于电流噪声和漂移对传感器测量和基准的影响是相同的，这些成分在 ADC 的传递函数中会相互抵消。输出代码仅反映传感器元件与基准电阻值的比值。激励电流源的值未不包含在 ADC 传递函数中。

9.1.4 建立适当的共模输入电压

ADS1220 可用于测量多种类型的输入信号配置：单端信号、伪差分信号和全差分信号（可以是单极信号或双极信号）。但是，针对相应的信号类型正确配置器件至关重要。

具有固定的负模拟输入且以模拟接地 ($V_{(AINN)}$= 0V) 为基准的信号通常称为*单端信号*。因此，单端信号的共模电压在 0V 和 $V_{IN}/2$ 之间变化。如果 PGA 被禁用并旁路，ADS1220 的共模输入电压可低至 AVSS 以下 100mV，高至 AVDD 以上 100mV。因此，当使用单极模拟电源 (AVSS = 0V) 时，必须置位 PGA_BYPASS 位才能测量单端信号。在此配置下，仍然可以使用增益 1、2 和 4。一个典型例子是测量以 GND 为基准的 100Ω 负载电阻器两端的 0mA 至 20mA 或 4mA 至 20mA 信号。旁路 PGA 后，ADS1220 可使用单极电源、内部 2.048V 基准和增益 = 1 来直接测量负载电阻器两端的信号。

如果需要大于 4 的增益来测量单端信号，则必须启用 PGA。此时，ADS1220 需要双极电源才能满足 PGA 的共模电压要求。

负模拟输入 (AIN_N) 固定为 0V 以外电压的信号称为*伪差分信号*。伪差分信号的共模电压在 V_{AINN} 和 $V_{AINN} + V_{IN}/2$ 之间变化。

相比之下，*全差分信号*定义为具有恒定共模电压的信号，其正、负模拟输入以 180° 反相摆动，但幅度相同。

无论启用还是旁路 PGA，ADS1220 均可测量伪差分和全差分信号。但是，若要使用大于 4 的增益，必须启用 PGA。启用 PGA 时，输入信号的共模电压必须满足 PGA 的输入共模电压限制（如 *PGA 共模电压要求*部分所述）。在大多数情况下，将共模电压设置在 (AVSS + AVDD)/2 或其附近，即可满足 PGA 的共模电压要求。

正负输入始终 ≥ 0V 的信号称为*单极信号*。通常，这些信号可由 ADS1220 使用单极模拟电源 (AVSS = 0V) 进行测量。如前所述，使用单极电源时，必须旁路 PGA 才能测量单端、单极信号。

当正或负输入可能摆动至 0V 以下时，该信号称为*双极*信号。ADS1220 需要双极模拟电源（例如 AVDD = 2.5V，AVSS = –2.5V）来测量双极信号。一项典型的应用任务是测量单端、双极 ±10V 信号，其中 AIN_N 固定在 0V，而 AIN_P 在 –10V 至 10V 之间摆动。ADS1220 无法直接测量该信号，因为 10V 超出了模拟电源的限制范围。不

Copyright © 2026 Texas Instruments Incorporated

过，一种可能的解决方案是使用双极模拟电源（AVDD = 2.5V，AVSS = –2.5V）、增益 = 1，并在 ADS1220 前端添加一个电阻分压器。电阻分压器必须将电压分压至 ≤ ±2.048V，才能使用内部 2.048V 基准进行测量。

9.1.5 未使用的输入和输出

为最大程度减小模拟输入端的泄漏电流，可将未使用的模拟和基准输入悬空，或将这些输入端连接至 1/2 Vs 或 AVDD。AIN3/REFN1 是个例外。AIN3/REFN1 引脚在不使用时应保持悬空，以避免通过内部低侧开关意外将该引脚短接至 AVSS。也可以将未使用的模拟或基准输入连接到 AVSS，但与前述选项相比，这样可能会产生更高的泄漏电流。

不要将未使用的数字输入悬空，否则可能导致过大的电源泄漏电流。将所有未使用的数字输入端连接到适当的电平（DVDD 或 DGND），即使在省电模式下也应如此。如果不使用 $\overline{CS}$，则将该引脚连接到 DGND。如果使用内部振荡器、则将 CLK 引脚连接到 DGND。如果不使用 $\overline{DRDY}$ 输出端，则将该引脚保持未连接状态，或通过弱上拉电阻器将其连接到 DVDD。

Copyright © 2026 Texas Instruments Incorporated

9.1.6 伪代码示例

下面的列表展示了一个伪代码序列，包含设置器件以及与 ADC 连接的微控制器所需的步骤，以便在连续转换模式下从 ADS1220 获取后续读数。专用的 $\overline{DRDY}$ 引脚用于指示新转换数据的可用性。默认的配置寄存器设置更改为：增益 = 16，连续转换模式，以及同步抑制 50Hz 和 60Hz。

```
Power-up;
Delay to allow power supplies to settle and power-up reset to complete (minimum of 50µs);
Configure the SPI interface of the microcontroller to SPI mode 1 (CPOL = 0, CPHA = 1);
If the CS pin is not tied low permanently, configure the microcontroller GPIO connected to CS as an
output;
Configure the microcontroller GPIO connected to the DRDY pin as a falling edge triggered interrupt
input;
Set CS to the device low;
Delay for a minimum of td(CSSC);
Send the RESET command (06h) to make sure the device is properly reset after power-up;
Delay for a minimum of 50µs + 32 × tCLK;
Write the respective register configuration with the WREG command (43h, 08h, 04h, 10h, and 00h);
As an optional sanity check, read back all configuration registers with the RREG command (23h);
Send the START/SYNC command (08h) to start converting in continuous conversion mode;
Delay for a minimum of td(SCCS);
Clear CS to high (resets the serial interface);
Loop
{
    Wait for DRDY to transition low;
    Take CS low;
    Delay for a minimum of td(CSSC);
    Send 24 SCLK rising edges to read out conversion data on DOUT/DRDY;
    Delay for a minimum of td(SCCS);
    Clear CS to high;
}
Take CS low;
Delay for a minimum of td(CSSC);
Send the POWERDOWN command (02h) to stop conversions and put the device in power-down mode;
Delay for a minimum of td(SCCS);
Clear CS to high;
```

在执行任何测量之前或更改 PGA 增益时，运行偏移电压校准。例如，可通过将输入短接至 1/2 Vs (MUX[3:0] = 1110b) 来测量器件的内部偏移电压。然后，微控制器在输入短接的情况下从器件读取多个读数，并将平均值存储在微控制器存储器中。测量传感器信号时，微控制器随即从每个器件读数中减去所存储的偏移值，以获得经偏移补偿的结果。偏移值可为正或负。

Copyright © 2026 Texas Instruments Incorporated

9.2 典型应用

9.2.1 K 型热电偶测量（-200°C 至 +1,250°C）

图 9-3 展示了采用内部高精度温度传感器进行冷端补偿的热电偶测量系统的基本连接。除热电偶外，唯一需要的外部电路是两个偏置电阻器、一个简单的低通抗混叠滤波器以及电源去耦电容器。

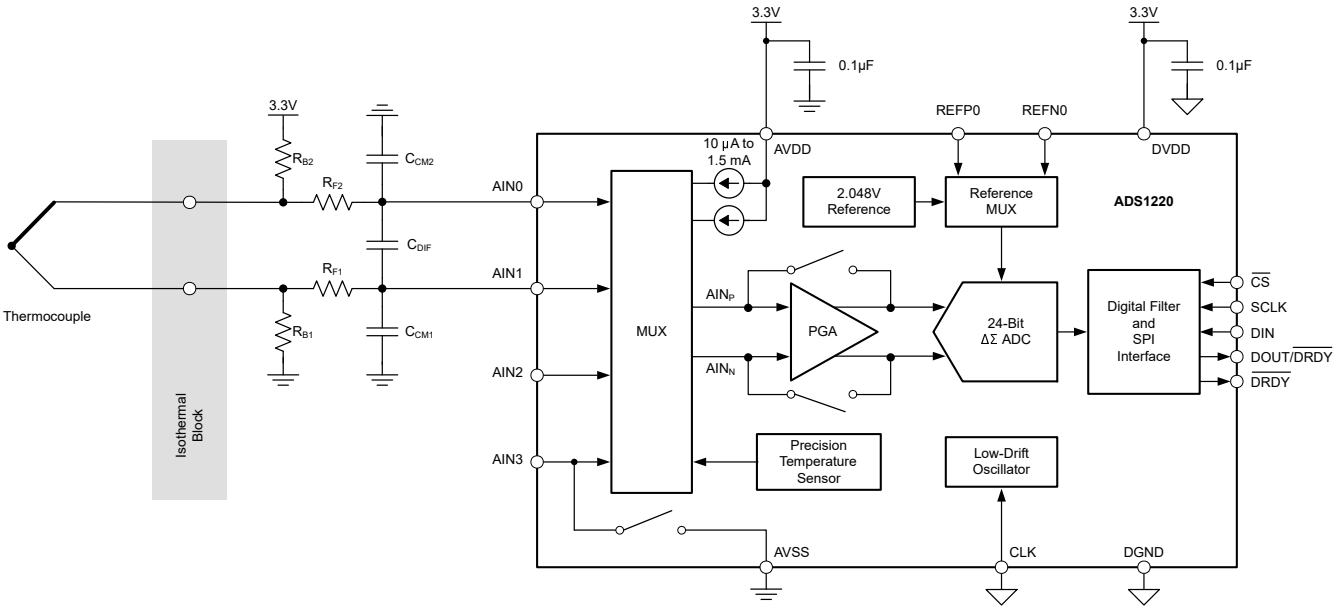


图 9-3. 热电偶测量

9.2.1.1 设计要求

表 9-1. 设计要求

设计参数	值
电源电压	3.3V
基准电压	内部 2.048V 基准
更新速率	每秒 ≥10 个读数
热电偶类型	K
温度测量范围	-200°C 至 +1250°C
T_A = 25°C 时的测量精度(1)	±0.2°C

(1) 未计入热电偶和冷端温度测量的误差；
$T_{(TC)}$= $T_{(CJ)}$ = 25°C 时的偏移电压校准；无增益校准。

9.2.1.2 详细设计过程

偏置电阻器 R_{B1} 和 R_{B2} 用于将热电偶的共模电压设置到 PGA 的额定共模电压范围内（在本例中，设置为 1/2 Vs，即 AVDD/2）。如果应用要求将热电偶偏置到 GND，则要么必须为器件使用双极电源（例如，AVDD = 2.5V，AVSS = –2.5V）以满足 PGA 的共模电压要求，要么必须旁路 PGA。在选择偏置电阻值时，必须注意确保偏置电流不会降低测量精度。偏置电流流经热电偶，可能导致自热效应及热电偶引线上的额外压降。偏置电阻器的典型阻值范围为 1MΩ 至 50MΩ。

Copyright © 2026 Texas Instruments Incorporated

除了为热电偶提供偏置外，R_{B1} 和 R_{B2} 还可用于检测热电偶引线是否开路。当其中一根热电偶引线发生开路故障时，偏置电阻器会分别将模拟输入端（AIN0 和 AIN1）拉至 AVDD 和 AVSS。ADC 将因此读取到一个满量程值，该值超出热电偶电压的正常测量范围，从而指示该故障状态。

尽管器件的数字滤波器会衰减噪声的高频分量，但在输入端提供一阶无源 RC 滤波器仍可进一步改善性能。方程式 16 计算由 R_{F1}、R_{F2} 和差分电容器 C_{DIF} 构成的差分 RC 滤波器所产生的截止频率。

$$f_C = 1 / [2\pi \times (R_{F1} + R_{F2}) \times C_{DIF}] \quad (16)$$

还添加了两个共模滤波电容器（C_{M1} 和 C_{M2}），以提供对高频共模噪声分量的衰减。所选的差分电容 C_{DIF} 应至少比共模电容（C_{M1} 和 C_{M2}）大一个数量级（10 倍），因为共模电容的失配可能会将共模噪声转化为差分噪声。

滤波电阻器 R_{F1} 和 R_{F2} 也可用作限流电阻器。如果输入端发生过压，这些电阻器可将流入器件模拟输入端（AIN0 和 AIN1）的电流限制在安全水平。选择滤波电阻值时必须谨慎，因为流入和流出器件的输入电流会在电阻器上产生压降。该压降会表现为 ADC 输入端的额外偏移电压误差。如果可能，请将滤波电阻值限制在 1kΩ 以下。

本设计中使用的滤波元件值如下：$R_{F1} = R_{F2} = 1k\Omega$，$C_{DIF} = 100nF$ 且 $C_{CM1} = C_{CM2} = 10nF$。

当通过选择尽可能高的增益，使最大可能输入信号与 ADC 的满量程范围 (FSR) 相匹配时，可实现最高的测量分辨率。根据设计要求，使用冷端温度 $T_{CJ} = 0°C$ 时，根据美国国家标准与技术研究院 (NIST) 发布的表格的定义，最大热电偶电压出现在 $T_{TC} = 1,250°C$ 时，为 $V_{TC} = 50.644mV$。热电偶产生的输出电压与热电偶尖端和冷端之间的温差成正比。如果冷端温度低于 0°C，热电偶将产生大于 50.644mV 的电压。等温块区域受限于器件的工作温度范围。因此，等温块温度限制为 –40°C。当冷端温度为 $T_{CJ} = –40°C$ 时，$T_{TC} = 1,250°C$ 的 K 型热电偶产生的输出电压为 $V_{TC} = 50.644mV – (–1.527mV) = 52.171mV$。使用内部 2.048V 基准时，计算得出可施加的最大增益为 (2.048V / 52.171mV) = 39.3。该器件提供的下一个较小 PGA 增益设置为 32。

该器件集成了一个高精度温度传感器，可用于测量冷端温度。要测量 ADS1220 的内部温度，必须通过将配置寄存器中的 TS 位设置为 1b，将器件设置为内部温度传感器模式。为了获得出色性能，精心进行电路板布局对于在冷端与器件封装之间实现良好的热传导至关重要。

然而，该器件不会对热电偶执行自动冷端补偿。该补偿必须在与器件连接的微控制器中完成。该微控制器向器件请求一个或多个热电偶电压读数，然后将器件设置为内部温度传感器模式 (TS = 1b)，以获取冷端温度。必须在微控制器上实现类似以下的算法来补偿冷端温度：

1. 测量 AIN0 与 AIN1 之间的热电偶电压 V_{TC}。
2. 使用 ADS1220 的温度传感器模式测量冷端温度 T_{CJ}。
3. 使用 NIST 提供的表格或公式，将冷端温度转换为等效温差电压 V_{CJ}。
4. 将 V_{TC} 与 V_{CJ} 相加，并再次使用 NIST 表格或公式将总和转换回热电偶温度。

Copyright © 2026 Texas Instruments Incorporated

在某些应用中，无法使用 ADS1220 的集成温度传感器（例如，由于精度不够高，或器件无法靠近冷端放置）。此时，可使用器件的附加模拟输入通道，通过热敏电阻、RTD 或模拟温度传感器来测量冷端温度。

要获得可达到的近似温度分辨率，可将 ADS1220 在增益 = 32 且 DR = 20SPS 时的 rms 噪声 ($0.23\mu V_{rms}$) 除以 K 型热电偶的平均灵敏度 (41μV/°C)，如方程式 17 所示。

$$\text{Temperature Resolution} = 0.23\mu V / 41\mu V/°C = 0.006°C \quad (17)$$

本设计的寄存器设置如表 9-2 所示。

表 9-2. 寄存器设置

寄存器	设置	说明
00h	0Ah	AIN_P = AIN0，AIN_N = AIN1，增益 = 32，启用 PGA
01h	04h	DR = 20SPS，正常模式、连续转换模式
02h	10h	内部电压基准，同步抑制 50Hz 和 60Hz
03h	00h	未使用 IDAC

9.2.1.3 应用曲线

图 9-4 和图 9-5 显示了测量结果。测量在 $T_A = T_{(CJ)}$= 25°C 的条件下进行。系统偏移电压校准在 $T_{(TC)}$ = 25°C 的条件下执行，这意味着当 $T_{(CJ)}$ = 25°C 时，$V_{(TC)}$ = 0V。未实施增益校准。图 9-4 中的数据是使用精密电压源作为输入信号（而非热电偶）测量得到的。图 9-5 中相应的温度测量误差使用 NIST 表根据图 9-4 中的数据计算得出。

该设计符合表 9-1 中给出的所需温度测量精度。图 9-5 中所示的测量误差不包括热电偶误差和冷端温度的测量误差。这两类误差源通常大于 0.2°C，因此在许多情况下，它们决定了整个系统的测量精度。

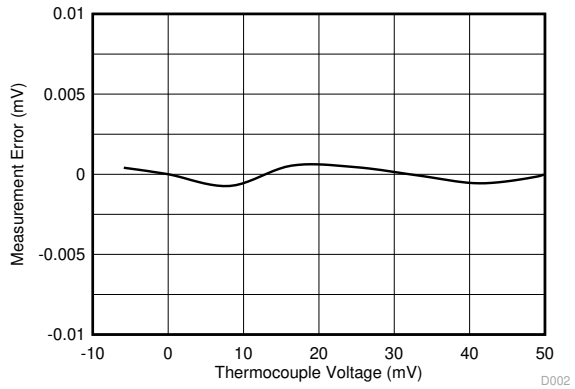


图 9-4. 电压测量误差与 V_{TC} 间的关系

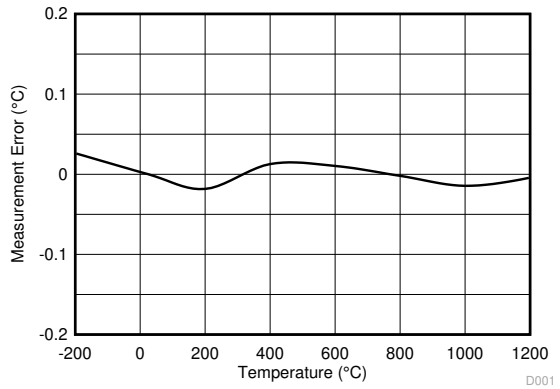


图 9-5. 温度测量误差与 T_{TC} 间的关系

Copyright © 2026 Texas Instruments Incorporated

9.2.2 3 线 RTD 测量（ –200°C 至 +850°C ）

ADS1220 集成了所有必要的特性（如双通道匹配的可编程电流源、缓冲基准输入端和 PGA），以简化比例式 2 线、3 线和 4 线 RTD 测量的实现。图 9-6 展示了比例式 3 线 RTD 测量的典型实现方案，该方案利用集成在器件中的激励电流源来激励 RTD 并实现自动 RTD 引线电阻补偿。

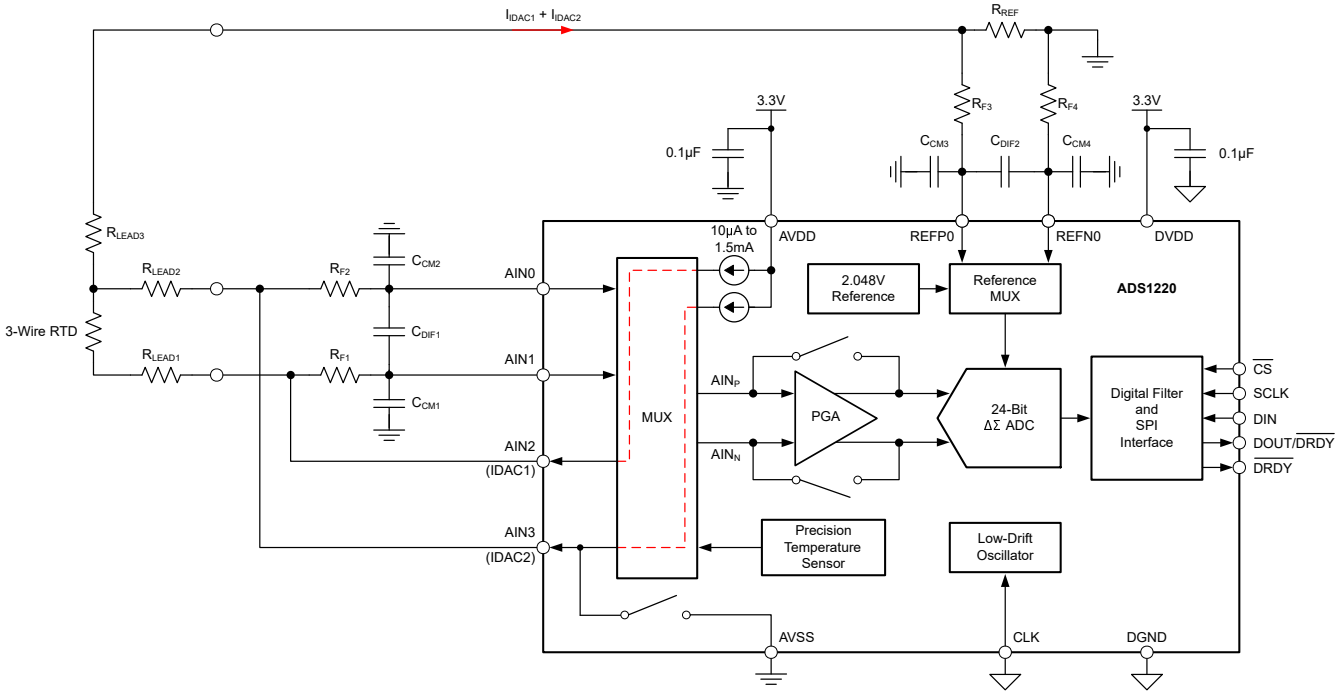


图 9-6. 3 线 RTD 测量

9.2.2.1 设计要求

表 9-3. 设计要求

设计参数	值
电源电压	3.3V
更新速率	每秒 20 个读数
RTD 类型	3 线 Pt100
最大 RTD 引线电阻	15 Ω
RTD 激励电流	500µA
温度测量范围	-200°C 至 +850°C
T_A = 25°C 时的测量精度(1)	±0.2°C

(1) 不考虑 RTD 误差；
在 R_{RTD} = 100 Ω 的情况下执行偏移电压校准；无增益校准。

9.2.2.2 详细设计过程

图 9-6 中的电路采用比例式测量方法。换言之，传感器信号（即本例中 RTD 上的电压）和 ADC 的基准电压来自同一激励源。因此，由温度漂移或激励源噪声导致的误差会抵消，因为这些误差对于传感器信号和基准都是常见的。

Copyright © 2026 Texas Instruments Incorporated

为了使用该器件实现比例式 3 线 RTD 测量，需将 IDAC1 路由至 RTD 的一条引线，将 IDAC2 路由至 RTD 的第二条引线。两个电流具有相同的值，可通过配置寄存器中的 IDAC[2:0] 位进行编程。该器件的设计可确保两个 IDAC 值在整个温度范围内高度匹配。两个电流之和流经一个精密、低漂移基准电阻器 R_{REF}。在基准电阻器（如方程式 18 所示）上生成的电压 V_{REF} 用作 ADC 基准电压。方程式 18 简化为方程式 19，因为 $I_{IDAC1} = I_{IDAC2}$。

$$V_{REF} = (I_{IDAC1} + I_{IDAC2}) \times R_{REF} \quad (18)$$

$$V_{REF} = 2 \times I_{IDAC1} \times R_{REF} \quad (19)$$

为了简化以下讨论，RTD 的各引线电阻值 (R_{LEADx}) 设置为零。仅 IDAC1 激励 RTD，产生一个与温度相关 RTD 值和 IDAC1 值成正比的电压 (V_{RTD})，如方程式 20 所示。

$$V_{RTD} = R_{RTD\ (at\ temperature)} \times I_{IDAC1} \quad (20)$$

该器件使用 PGA 在内部放大 RTD 两端的电压，并将生成的电压与基准电压进行比较，以产生与方程式 21 至方程式 23 成正比的数字输出代码：

$$Code \propto V_{RTD} \times Gain / V_{REF} \quad (21)$$

$$Code \propto (R_{RTD\ (at\ temperature)} \times I_{IDAC1} \times Gain) / (2 \times I_{IDAC1} \times R_{REF}) \quad (22)$$

$$Code \propto (R_{RTD\ (at\ temperature)} \times Gain) / (2 \times R_{REF}) \quad (23)$$

从方程式 23 可以看出，输出代码仅取决于 RTD 的值、PGA 增益和基准电阻器 (R_{REF})，而与 IDAC1 的值无关。因此，激励电流的绝对精度和温度漂移无关紧要。然而，由于基准电阻值直接影响测量结果，因此选择温度系数极低的基准电阻器对于限制 R_{REF} 温度漂移所引入的误差至关重要。

第二个 IDAC2 用于补偿由 RTD 的引线电阻两端的压降引入的误差。3 线 RTD 的所有三条引线通常长度相同，因此具有相同的引线电阻。IDAC1 和 IDAC2 的值也相同。考虑到引线电阻，ADC 输入端 AIN0 和 AIN1 之间的差分电压 (V_{IN}) 使用方程式 24 计算得出：

$$V_{IN} = I_{IDAC1} \times (R_{RTD} + R_{LEAD1}) - I_{IDAC2} \times R_{LEAD2} \quad (24)$$

当 $R_{LEAD1} = R_{LEAD2}$ 且 $I_{IDAC1} = I_{IDAC2}$ 时，方程式 24 简化为方程式 25：

$$V_{IN} = I_{IDAC1} \times R_{RTD} \quad (25)$$

换句话说，只要引线电阻值与 IDAC 值匹配良好，RTD 引线电阻两端的压降所导致的测量误差就会得到补偿。

一阶差分和共模 RC 滤波器（R_{F1}、R_{F2}、C_{DIF1}、C_{CM1} 和 C_{CM2}）放置在 ADC 输入端以及基准输入端（R_{F3}、R_{F4}、C_{DIF2}、C_{CM3} 和 C_{CM4}）。输入滤波器的设计准则与*热电偶测量*部分所述准则相同。匹配输入和基准滤波器的转角频率以确保出色性能。有关匹配输入和基准滤波器的更多详细信息，请参阅*使用 ADS1148 和 ADS1248 进行 RTD 比例式测量和滤波*应用笔记。

基准电阻器 R_{REF} 不仅用于为器件生成基准电压，还将 RTD 的共模电压设定在 PGA 规定的共模电压范围内。

Copyright © 2026 Texas Instruments Incorporated

设计电路时，还必须注意满足 IDAC 的顺从电压要求。IDAC 要求通往 AVSS 的电流路径上产生的最大压降等于或小于 AVDD – 0.9V，才能精确工作。这一要求意味着必须始终满足方程式 26。

$$AVSS + I_{IDAC1} \times (R_{LEAD1} + R_{RTD}) + (I_{IDAC1} + I_{IDAC2}) \times (R_{LEAD3} + R_{REF}) \leq AVDD - 0.9V \quad (26)$$

该器件还支持将 IDAC 路由到用于测量的同一输入端。如果滤波电阻值 R_{F1} 和 R_{F2} 足够小且匹配良好，在图 9-6 中可将 IDAC1 路由至 AIN1，IDAC2 路由至 AIN0。通过这种方式，即使两个 3 线 RTD 共用同一个基准电阻器，也能用单个器件进行测量。

本设计示例讨论了如何实现 3 线 Pt100 测量，用于测量表 9-3 中所述 –200°C 至 +850°C 范围内的温度。Pt100 的激励电流选择为 I_{IDAC1} = 500µA，这意味着有合计 1mA 的电流流过基准电阻器 R_{REF}。如前所述，除了为 ADS1220 产生基准电压之外，R_{REF} 上的电压还会设置用于 RTD 测量的共模电压。通常应在满足 IDAC 顺从电压要求以及 PGA 共模电压要求的前提下，选择尽可能大的基准电压。将共模电压设置为等于或接近模拟电源电压的一半（本例中为 3.3V / 2 = 1.65V），这在大多数情况下能满足 PGA 的共模电压要求。然后通过方程式 27 计算 R_{REF} 的值：

$$R_{REF} = V_{REF} / (I_{IDAC1} + I_{IDAC2}) = 1.65V / 1mA = 1.65k\Omega \quad (27)$$

R_{REF} 的稳定性对于在整个温度范围内和时间范围内实现良好的测量精度至关重要。建议选择温度系数为 ±10ppm/°C 或更佳的基准电阻器。如果不易获得 1.65kΩ 的阻值，当然也可以使用接近 1.65kΩ 的其他值（如 1.62kΩ 或 1.69kΩ）。

最后一步是选择 PGA 增益，使最大输入信号与 ADC 的 FSR 相匹配。Pt100 的电阻值会随温度升高而增加。因此，要测量的最大电压 (V_{INMAX}) 出现在正温度极点。根据 NIST 表，在 850°C 处 Pt100 的等效电阻约为 391Ω。Pt100 两端的电压等于 方程式 28：

$$V_{INMAX} = V_{RTD\ (at\ 850°C)} = R_{RTD\ (at\ 850°C)} \times I_{IDAC1} = 391\Omega \times 500\mu A = 195.5mV \quad (28)$$

使用 1.65V 基准时可应用的最大增益计算结果为 (1.65V / 195.5mV) = 8.4。ADS1220 中可用的下一个较小 PGA 增益设置是 8。在增益为 8 时，ADS1220 提供的 FSR 值如方程式 29 中所述：

$$FSR = \pm V_{REF} / Gain = \pm 1.65V / 8 = \pm 206.25mV \quad (29)$$

此范围允许 IDAC 和基准电阻器的初始精度和漂移存在裕度。

选择 IDAC、R_{REF}、PGA 增益的值后，务必仔细检查这些设置是否同时满足 PGA 的共模电压要求和 IDAC 的顺从电压要求。要确定 ADC 输入端（AIN0 和 AIN1）的真实共模电压，还必须考虑引线电阻。

在最低测量温度（–200°C）下，当 R_{LEADx} = 0Ω 时，出现最低共模电压，该电压值可使用方程式 30 和方程式 31 计算得出。

$$V_{CMMIN} = V_{REF} + (I_{IDAC1} + I_{IDAC2}) \times R_{LEAD3} + I_{IDAC2} \times R_{LEAD2} + ½\ I_{IDAC1} \times R_{RTD\ (at\ -200°C)} \quad (30)$$

$$V_{CMMIN} = 1.65V + ½\ 500\mu A \times 18.52\Omega = 1.655V \quad (31)$$

实际上，假设 $V_{CMMIN} = V_{REF}$ 就可以得到足够近似的值。

V_{CMMIN} 必须满足两项要求：方程式 14 要求 V_{CMMIN} 大于 AVDD / 4 = 3.3V / 4 = 0.825V，方程式 12 要求 V_{CMMIN} 满足方程式 32：

$$V_{CMMIN} \geq AVSS + 0.2V + ½\ Gain \times V_{INMAX} = 0V + 0.2V + (½ \times 8 \times 195.5mV) = 982mV \quad (32)$$

在本设计中，V_{CMMIN} = 1.65V 时可同时满足两项限制。

在最高测量温度 (850°C) 下出现最高共模电压，该值可使用方程式 33 和方程式 34 计算得出。

Copyright © 2026 Texas Instruments Incorporated

$$V_{CMMAX} = V_{REF} + (I_{IDAC1} + I_{IDAC2}) \times R_{LEAD3} + I_{IDAC2} \times R_{LEAD2} + ½\ I_{IDAC1} \times R_{RTD\ (at\ 850°C)} \quad (33)$$

$$V_{CMMAX} = 1.65V + 1mA \times 15\,\Omega + 500\mu A \times 15\,\Omega + ½ \times 500\mu A \times 391\,\Omega = 1.77V \quad (34)$$

V_{CMMAX} 满足方程式 13 给出的要求，在本设计中等于方程式 35：

$$V_{CMMAX} \leq AVDD - 0.2V - ½\ Gain \times V_{INMAX} = 3.3V - 0.2V - (½ \times 8 \times 195.5mV) = 2.318V \quad (35)$$

最后，必须计算输入端 AIN1 上可能出现的最大电压，以确定是否满足 IDAC1 的顺从电压 (AVDD – 0.9V = 3.3V – 0.9V = 2.4V)。输入端 AIN0 上的电压小于输入端 AIN1 上的电压。方程式 36 和方程式 37 表明，即使考虑了最坏情况下的引线电阻，AIN1 上的电压也小于 2.4V。

$$V_{AIN1\ (MAX)} = V_{REF} + (I_{IDAC1} + I_{IDAC2}) \times R_{LEAD3} + I_{IDAC1} \times (R_{RTD\ (at\ 850°C)} + R_{LEAD1}) \quad (36)$$

$$V_{AIN1\ (MAX)} = 1.65V + 1mA \times 15\,\Omega + 500\mu A \times (391\,\Omega + 15\,\Omega) = 1.868V \quad (37)$$

本设计的寄存器设置如表 9-4 所示。

表 9-4. 寄存器设置

寄存器	设置	说明
00h	66h	AIN_P = AIN1，AIN_N = AIN0，增益 = 8，启用 PGA
01h	04h	DR = 20SPS，正常模式、连续转换模式
02h	55h	外部基准（REFP0、REFN0），同步抑制 50Hz 和 60Hz，IDAC = 500μA
03h	70h	IDAC1 = AIN2, IDAC2 = AIN3

Copyright © 2026 Texas Instruments Incorporated

9.2.2.2.1 2 线和 4 线 RTD 测量的设计变体

2 线或 4 线 RTD 测量的实现方式与图 9-6 中所示的 3 线 RTD 测量非常相似，不同之处在于只需要一个 IDAC。

图 9-7 展示了 2 线 RTD 测量的典型电路实现方案。与 3 线 RTD 测量相比，主要区别在于引线电阻补偿。在该配置中，引线电阻器 R_{LEAD1} 和 R_{LEAD2} 两端的压降直接构成测量值的一部分（如方程式 38 所示），因为无法通过使用第二个电流源来补偿引线电阻。任何补偿都必须通过校准来完成。

$$V_{IN} = I_{IDAC1} \times (R_{LEAD1} + R_{RTD} + R_{LEAD2}) \quad (38)$$

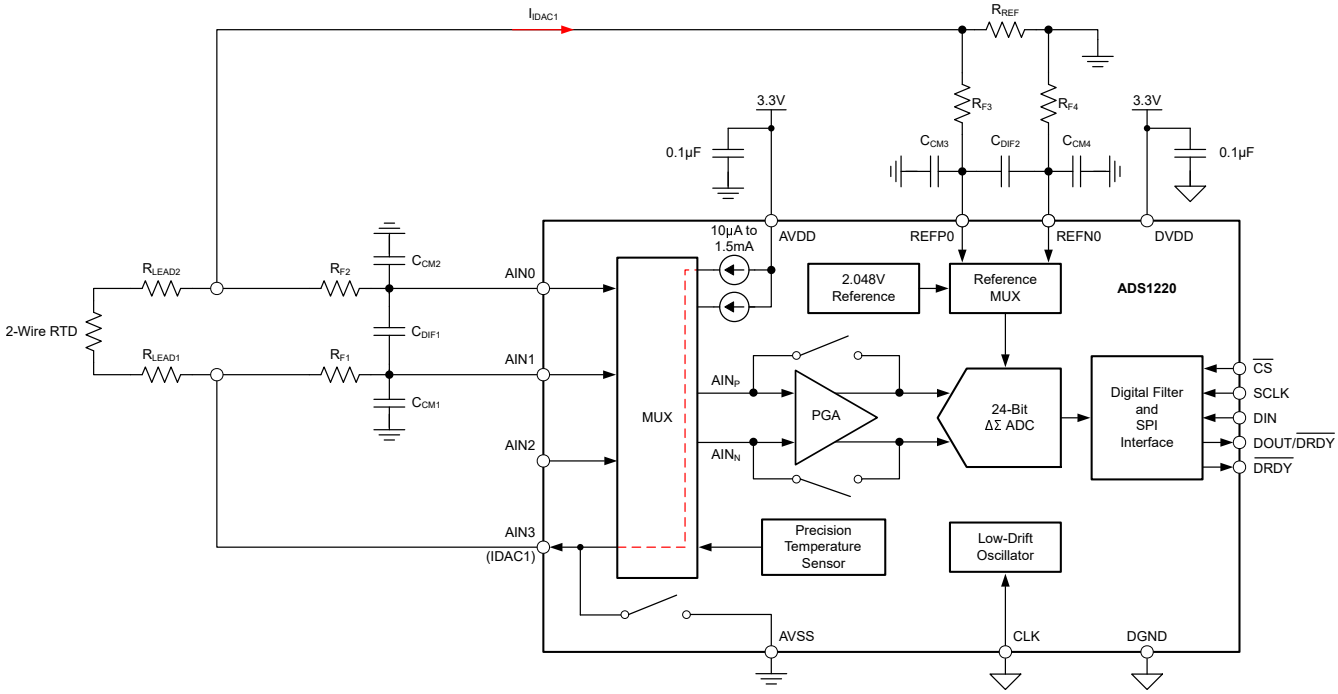


图 9-7. 2 线 RTD 测量

图 9-8 展示了 4 线 RTD 测量的典型电路实现方案。与 2 线 RTD 测量类似，只需一个 IDAC 即可以比例方式激励和测量 4 线 RTD。使用 4 线 RTD 的主要优势在于，ADC 输入端以开尔文连接形式连接到 RTD。除了 ADC 的输入泄漏电流之外，没有电流流过引线电阻器 R_{LEAD2} 和 R_{LEAD3}，因此它们两端不会产生压降。因此，ADC 输入端的电压等于 RTD 两端的电压，无需担心引线电阻。

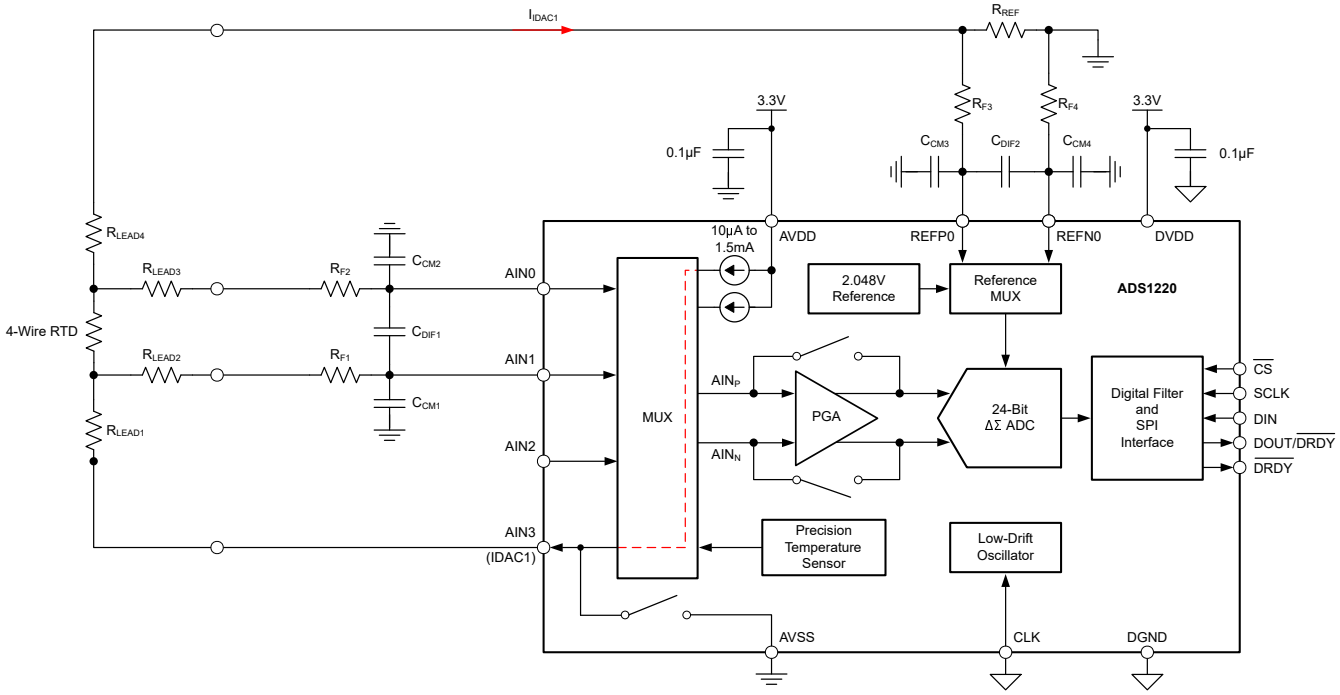


图 9-8. 4 线 RTD 测量

如方程式 39 所示，2 线和 4 线 RTD 测量的传递函数与 3 线 RTD 测量存在 2 倍的差异，这是因为仅使用了一个 IDAC，且只有一个 IDAC 流经基准电阻器 R_{REF}。

$$\text{Code} \propto (R_{RTD\ (at\ Temperature)} \times \text{Gain}) / R_{REF} \tag{39}$$

此外，与 3 线 RTD 配置相比，共模电压和基准电压都有所降低。因此、如果 3 线 RTD 设计也用于测量 2 线和 4 线 RTD，可能需要做一些进一步修改。如果降低后的共模电压不再符合 PGA 的 V_{CMMIN} 要求，可以通过切换接入更大的电阻器来增加 R_{REF} 的值，或者在降低增益的同时增加激励电流。

Copyright © 2026 Texas Instruments Incorporated

9.2.2.3 应用曲线

图 9-9 和图 9-10 显示了测量结果。测量是在 T_A = 25°C 时进行的。使用 100Ω 的基准电阻器执行系统偏移电压校准。未实施增益校准。图 9-9 中的数据是使用精密电阻器获得的，而非 3 线 Pt100。图 9-10 中相应的温度测量误差使用 NIST 表根据图 9-9 中的数据计算得出。

该设计符合表 9-3 中给出的所需温度测量精度。但是，图 9-10 中显示的测量误差不包括 RTD 的误差。

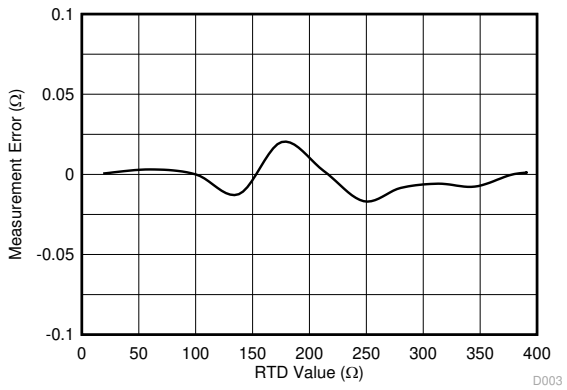


图 9-9. 电阻测量误差与 R_{RTD} 间的关系

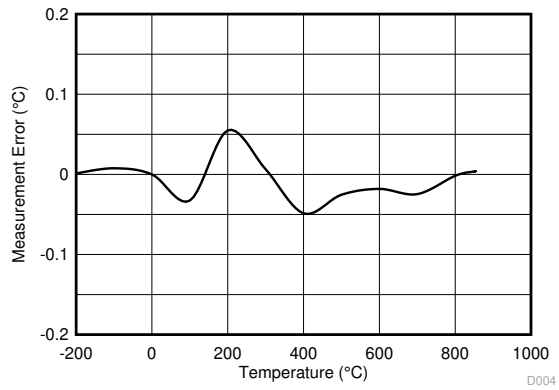


图 9-10. 温度测量误差与 T_{RTD} 间的关系

9.2.3 电阻式电桥测量

该器件提供多种特性，从而简化了比例式电桥测量的实现（例如，增益高达 128 的 PGA、缓冲差分基准输入以及低侧电源开关）。

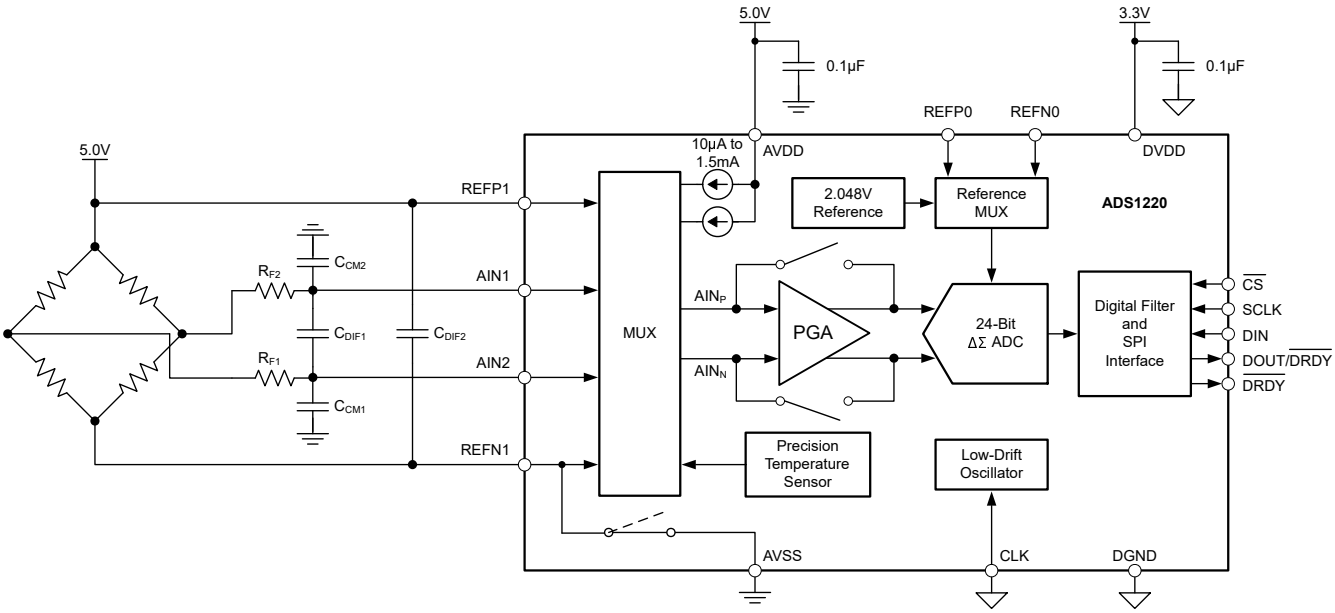


图 9-11. 电阻式电桥测量

9.2.3.1 设计要求

表 9-5. 设计要求

设计参数	值
模拟电源电压	5.0V
数字电源电压	3.3V
称重传感器类型	4 线称重传感器
称重传感器最大容量	1kg
称重传感器灵敏度	3mV/V
激励电压	5V
可重复性	50mg

9.2.3.2 详细设计过程

为了实现比例式电桥测量，电桥激励电压同时用作 ADC 的基准电压、如图 9-11 所示。在此配置下，激励电压的任何漂移也会体现在基准电压上，从而消除漂移误差。器件的两对基准输入中，任意一对均可连接到电桥激励电压。但是，只有负基准输入 (REFN1) 可在内部连接到低侧电源开关。通过将电桥的低侧连接到 REFN1，器件即可通过断开低侧电源开关来自动切断电桥电源。当将配置寄存器中的 PSW 位设为 1b 时，每次发出 POWERDOWN 命令，器件就会断开该开关，而发送 START/SYNC 命令时，该开关会再次闭合。

PGA 提供高达 128 的增益，有助于放大微小的差分电桥输出信号，以充分利用 ADC 的满量程范围。当使用对称电桥且激励电压等于器件电源电压时，电桥的输出信号满足 PGA 的共模电压要求。

ADS1220 的最大输入电压限制为 $V_{IN\ (MAX)}$ = ±[(AVDD – AVSS) – 0.4V] / 增益，这意味着在此配置下无法使用整个满量程范围 FSR = ±(AVDD – AVSS) / 增益。该限制源于 PGA 放大器（A1 和 A2）的输出驱动能力；请参阅图 8-2。每个放大器的输出必须与电源轨（AVDD 和 AVSS）保持 200mV 的距离，否则 PGA 会变为非线性。因此，PGA 的最大输出摆幅限制为 V_{OUT} = ±[(AVDD – AVSS) – 0.4V]。

Copyright © 2026 Texas Instruments Incorporated

使用 3mV/V 的称重传感器及 5V 激励时，可产生最大差分输出电压 V_{INMAX} = ±15mV，当增益为 128 时即满足方程式 40 的要求。

$$V_{INMAX} \leq \pm[(AVDD - AVSS) - 0.4V] / Gain = \pm(5V - 0.4V) / 128 = \pm 36mV \quad (40)$$

ADC 输入端放置了一个一阶差分和共模 RC 滤波器（R_{F1}、R_{F2}、C_{DIF1}、C_{CM1} 和 C_{CM2}）。该基准具有一个额外的电容器 C_{DIF2}，用以限制基准噪声。必须注意将滤波量保持在有限程度，否则测量将不再是比例式的。

要确定读数的可再现性，请执行以下计算。称重传感器在最大负载 1kg 时产生 15mV 的输出电压。在增益 = 128 且 DR = 20SPS 时，ADS1220 提供 0.41μV_{pp} 的无噪声分辨率。然后按方程式 41 中所示计算可再现性。

$$Repeatability = (1kg / 15mV) \times 0.41\mu V = 27mg \quad (41)$$

本设计的寄存器设置如表 9-6 所示。

表 9-6. 寄存器设置

寄存器	设置	说明
00h	3Eh	AIN_P = AIN1，AIN_N = AIN2，增益 = 128，启用 PGA
01h	04h	DR = 20SPS，正常模式、连续转换模式
02h	98h	外部基准（REFP1、REFN1），同步抑制 50Hz 和 60Hz，PSW = 1b
03h	00h	未使用 IDAC

Copyright © 2026 Texas Instruments Incorporated

9.3 电源相关建议

该器件需要两个电源：模拟（AVDD、AVSS）和数字（DVDD、DGND）。模拟电源可以是双极（例如，AVDD = 2.5V，AVSS = –2.5V）或单极（例如，AVDD = 3.3V，AVSS = 0V），并且独立于数字电源。数字电源用于设置数字 I/O 电平。

9.3.1 电源排序

电源可以按任何顺序排序，但是在任何情况下，任何模拟或数字输入都不得超过各自的模拟或数字电源电压和电流限制。由于连接到该输入端的低侧开关，DVDD 与 AVDD 同步斜升或在其之前斜升可更大限度地减少通过 AIN3/REFN1 的任何泄漏电流。如果 AVDD 在 DVDD 之前斜升，则低侧开关处于未知状态，并可能将 AIN3/REFN1 输入短接至 AVSS，直至 DVDD 斜升。在所有电源稳定后等待约 50μs，然后再与器件通信，以完成加电复位过程。

9.3.2 电源斜率

如图 9-12 所示，电源斜率必须是单调的，且慢于 1V/50μs，器件才能在整个温度范围内正确加电。

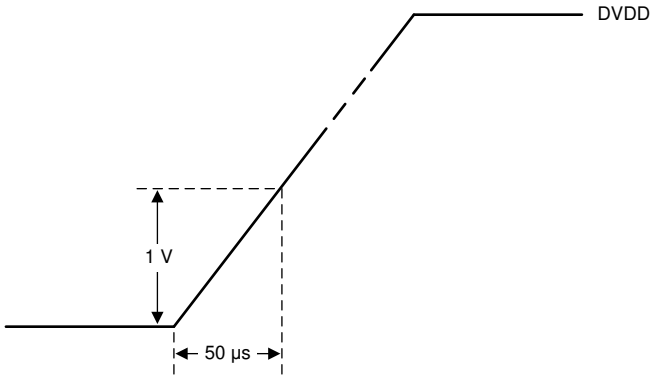


图 9-12. 电源斜率

9.3.3 电源去耦

良好的电源去耦对于实现卓越性能至关重要。AVDD、AVSS（使用双极电源时）和 DVDD 必须至少使用一个 0.1μF 的电容器进行去耦，如图 9-13 和图 9-14 所示。使用低阻抗连接方式将旁路电容器尽可能靠近器件的电源引脚放置。应使用多层陶瓷片式电容器 (MLCC) 提供低等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度很高或在恶劣噪声环境中使用的系统，避免使用过孔将电容器与器件引脚相连，以获得增强的噪声抗扰度。并联使用多个过孔可降低总电感，并且有利于与接地平面相连。将模拟接地和数字接地连接在一起，并尽可能靠近器件。

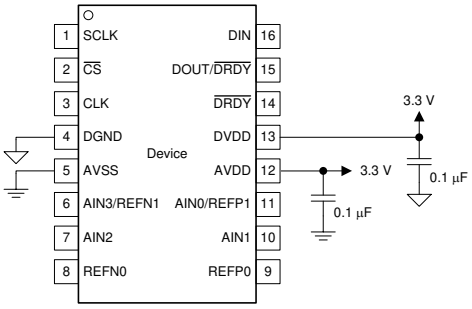


图 9-13. 单极模拟电源

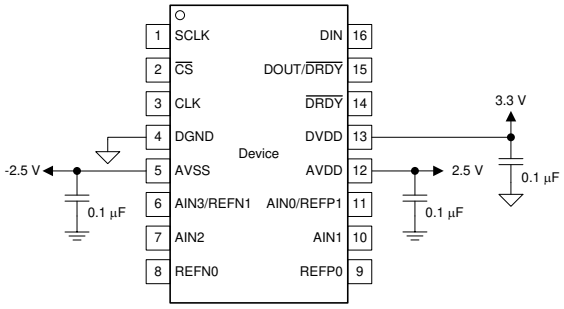


图 9-14. 双极模拟电源

Copyright © 2026 Texas Instruments Incorporated

9.4 布局

9.4.1 布局指南

在为模拟和数字元件进行印刷电路板 (PCB) 布局时，应遵循最佳设计实践。最佳实践通常包括：在布局上将模拟元件 [例如 ADC、放大器、基准、数模转换器 (DAC) 和模拟 MUX] 与数字元件 [例如微控制器、复杂的可编程逻辑器件 (CPLD)、现场可编程逻辑门阵列 (FPGA)、射频 (RF) 收发器、通用串行总线 (USB) 收发器以及开关稳压器] 分开。良好的元件布局示例如图图 9-15 所示。尽管图 9-15 提供了一个很好的元件布局示例，但每种应用的最佳布局都是独一无二的，取决于所采用的几何形状、元件和 PCB 制造能力。也就是说，没有一种布局可以完美适配所有设计，在使用任何模拟元件进行设计时，都必须始终仔细斟酌。

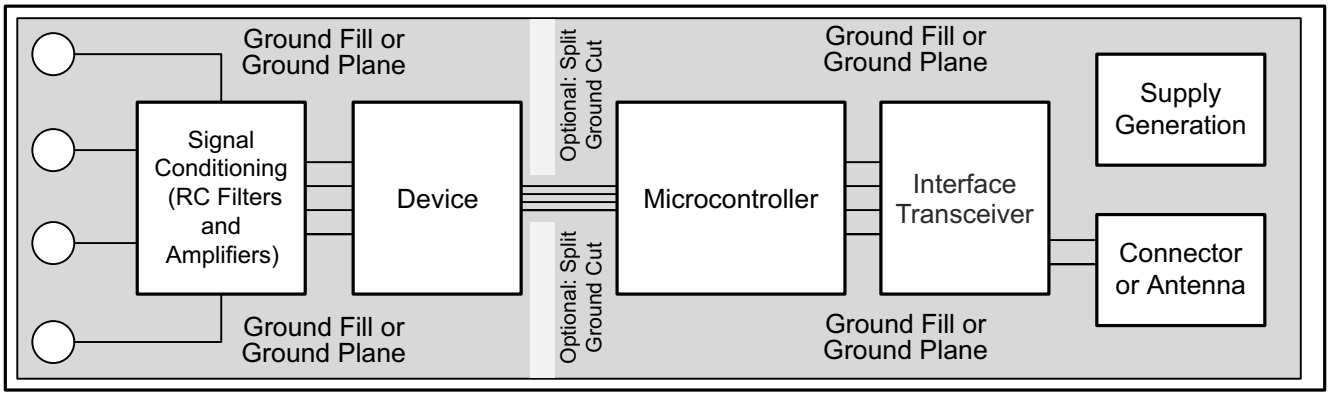


图 9-15. 系统组件布局

为了改善噪声性能，并不一定需要使用分离的模拟和数字接地平面（尽管从热隔离的角度考虑，这是一个值得权衡的方案）。然而，为了获得最佳性能，在 PCB 上没有元件的区域使用完整的接地平面或覆地铜是必不可少的。如果所用系统采用了分离的数字和模拟接地平面，TI 通常建议将这两个接地平面在尽可能靠近器件处连接在一起。采用模拟与数字共地的方式，可以实现双层电路板。可以增加额外的层来简化 PCB 走线布线。覆地铜也有助于减少 EMI 和 RFI 问题。

TI 还强烈建议，在特定系统中，数字元件（尤其是射频部分）应尽可能远离模拟电路。此外，应尽量缩短数字控制走线穿过模拟区域的长度，并避免将这些走线放置在敏感的模拟元件附近。数字返回电流通常沿着尽可能靠近数字路径的接地路径流动。如果无法实现与接地平面的牢固连接，这些电流可能会寻找返回电流源的路径，进而干扰模拟性能。布局对温度检测功能的影响远比对 ADC 功能的影响更显著。

必须使用低 ESR 陶瓷旁路电容器将电源引脚旁路至接地。旁路电容器的最佳放置位置是尽可能靠近电源引脚。如果 AVSS 连接到负电源，则同样要在 AVSS 与 AGND 之间额外连接一个旁路电容器。为了实现出色性能，旁路电容器的接地侧连接必须采用低阻抗连接。电源电流首先流经旁路电容器端子，然后流向电源引脚，这样可使旁路效果最佳。

具有差分连接的模拟输入必须在输入端以差分方式放置一个电容器。差分测量的最佳输入组合为 AIN0、AIN1 和 AIN2、AIN3。必须使用高质量的差分电容器。理想的陶瓷片式电容器是 C0G (NPO)，这些电容器具有稳定的性能和低噪声特性。对热电偶输入连接周围的铜箔区域进行热隔离，形成热稳定的冷端。只要遵循上述指导原则，使用替代布局方案也能获得可接受的性能。

Copyright © 2026 Texas Instruments Incorporated

9.4.2 布局示例

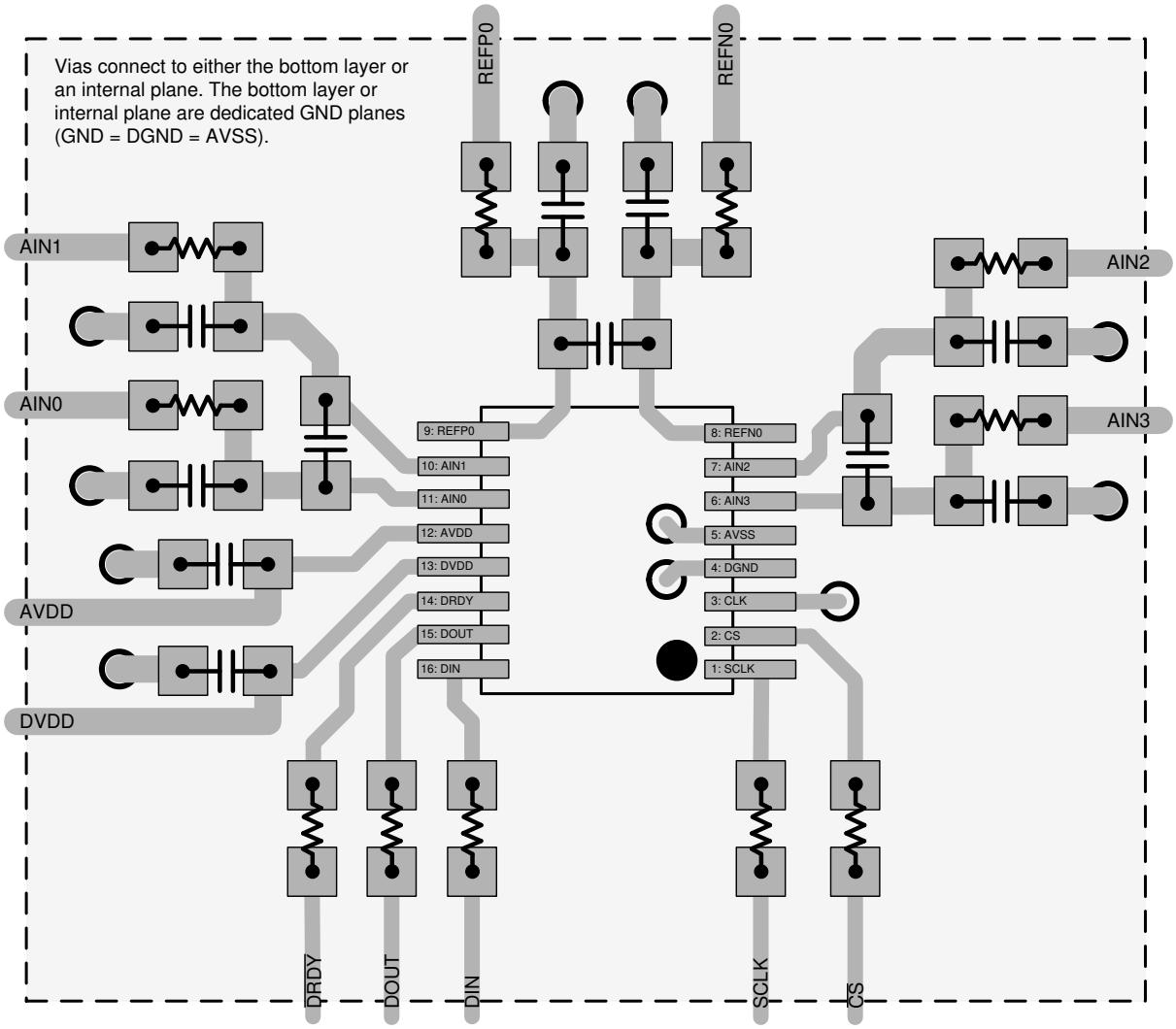


图 9-16. 布局示例

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*REF50xx 低噪声、极低温漂、精密电压基准 数据表*
- 德州仪器 (TI)，*使用 ADS1148 和 ADS1248 进行 RTD 比率测量和滤波*应用手册

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from AUGUST 1, 2016 to MAY 18, 2026 (from Revision C (August 2016) to Revision D (May 2026)) **Page**

- 删除了*特性*部分中的*封装*要点 1
- 更改了第一页上的*应用*要点 1
- 将*器件信息*表更改为*封装信息*表，并在*说明*部分添加了表注。 1
- 更改了*说明*部分中的 *K 型热电偶测量*图。 1
- 添加了*器件比较*表 3
- 更改了 AVDD、AVSS、DVDD 和 DGND 引脚的*引脚功能*说明 4
- 将*建议运行条件*表中的 V_{REF} 最大值从 *AVDD* 更改为 *AVDD – AVSS* 6
- 将 *SPI 时序要求*表中正常模式和占空比模式的 SPI 超时从 13,955 × t_{MOD} 更改为 14,000 × t_{MOD}，将 turbo 模式的相应超时从 27,910 × t_{MOD} 更改为 28,000 × t_{MOD}。 9
- 添加了*时序图*部分 9
- 将*噪声性能*部分中的 *ENOB* 更改为*有效分辨率*，*无噪声位*更改为*无噪声分辨率*。 16
- 更改了*功能方框图* 19
- 更改了*多路复用器*部分的第一段和第三段。 20

Copyright © 2026 Texas Instruments Incorporated

- 更改了*低噪声 PGA* 部分中的第一段，添加了*增益实现表*.....21
- 更改了*旁路 PGA* 部分的第一句。.....25
- 更改了*旁路 PGA* 部分第二段的最后一句，该内容介绍了使用 PGA_BYPASS 和大于 4 的增益时的器件行为.25
- 调整了*电压基准*和*时钟源*部分的位置。.....26
- 更改了*数字滤波器*部分的第一段。.....27
- 将*输出数据速率*部分*转换时间*表中的 *Turbo 模式*、*40SPS*、 *–3dB 带宽 Hz* 从 *26.2* 更改为 *17.1*。.....30
- 更改了*激励电流源*部分的第一段和第二段.....30
- 更改了*系统监控器*部分的第一段.....32
- 更改了*从数字代码转换为温度*部分中的第一段和示例.....33
- 在*从数字代码转换为温度*部分中添加了 *24 位转换结果中的 14 位温度传感器数据对齐*图.....33
- 删除了*从温度转换为数字代码*部分.....33
- 将*单次模式*部分的名称更改为*单次转换模式*.....34
- 更改了*数据输出和数据就绪 (DOUT/$\overline{DRDY}$)* 部分的第二段。.....36
- 将 *SPI 超时*部分中正常模式和占空比模式的超时周期从 13,955 × t_{MOD} 更改为 14,000 × t_{MOD}，将 turbo 模式的相应超时从 27,910 × t_{MOD} 更改为 28,000 × t_{MOD}.....36
- 在*数据格式*部分中的*代码转换图*后添加了注释。.....37
- 将整个*寄存器映射*部分中的位设置表示法从十六进制更改为二进制（如果有用）。.....42
- 向*寄存器映射*部分添加*寄存器说明*小节和*寄存器访问类型代码*表。.....42
- 将寄存器 03h 中的位 0 从 0 更改为“保留”.....46
- 更改了 *K 型热电偶测量*部分*详细设计过程*中的第三段和第四段。.....52

Changes from Revision B (February 2015) to Revision C (August 2016) **Page**

- 更改了 *K 型热电偶测量*图.....1
- 向*引脚功能*表添加了脚注 1，并相应更改了 AIN0/REFP1、AIN1、AIN2、AIN3/REFN1、REFN0 和 REFP0 引脚的说明.....4
- 更改了*功能方框图*.....19
- 更改了*旁路 PGA* 部分.....25
- 向*温度传感器*部分添加了第四句话.....33
- 更改了*从数字代码转换为温度*部分中的最后一个公式.....33
- 更改了配置寄存器 2 中位 5:4 的说明.....45
- 添加了*未使用的输入和输出*部分.....50
- 更改了图 9-3.....52
- 更改了图 9-6.....55
- 更改了图 9-7.....59
- 更改了图 9-8.....59
- 更改了图 9-11.....62
- 更改了*电源相关建议*部分：更改了*电源时序*小节，添加了*电源斜率*小节.....64

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS1220IPW	Active	Production	TSSOP (PW) | 16	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPW.A	Active	Production	TSSOP (PW) | 16	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPW.B	Active	Production	TSSOP (PW) | 16	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR.A	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR.B	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4.A	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4.B	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IRVAR	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAR.A	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAR.B	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4.A	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4.B	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAT	Active	Production	VQFN (RVA) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220
ADS1220IRVAT.A	Active	Production	VQFN (RVA) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220
ADS1220IRVAT.B	Active	Production	VQFN (RVA) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

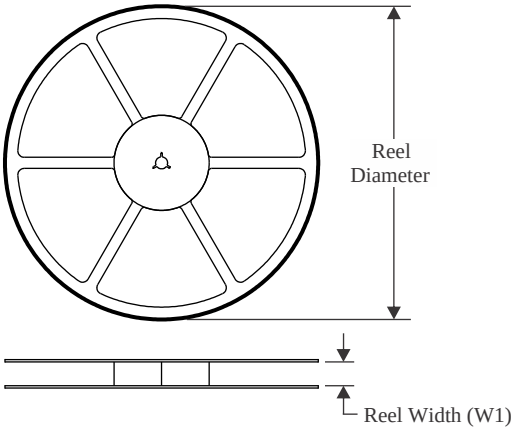
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

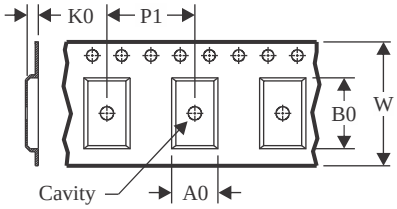
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

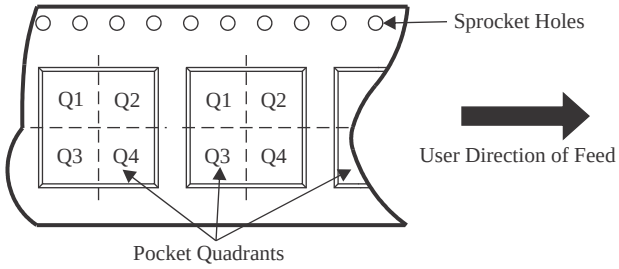


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

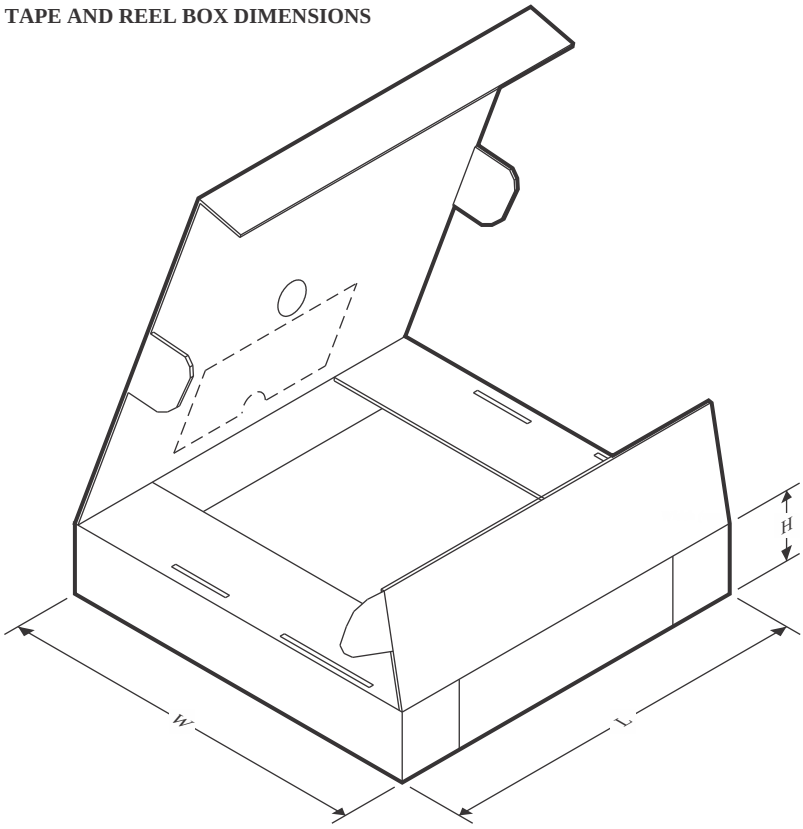
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1220IPWR	TSSOP	PW	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1220IPWRG4	TSSOP	PW	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1220IRVAR	VQFN	RVA	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
ADS1220IRVARG4	VQFN	RVA	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
ADS1220IRVAT	VQFN	RVA	16	250	180.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2

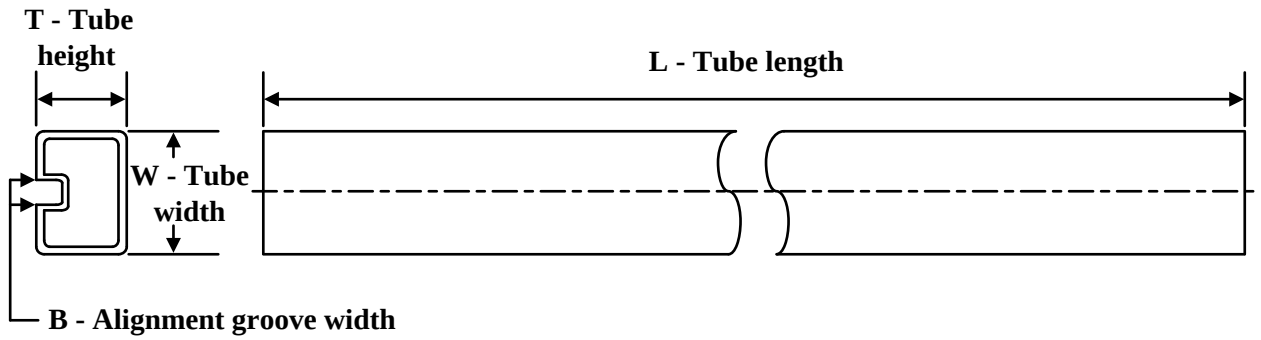
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1220IPWR	TSSOP	PW	16	2500	353.0	353.0	32.0
ADS1220IPWRG4	TSSOP	PW	16	2500	353.0	353.0	32.0
ADS1220IRVAR	VQFN	RVA	16	3000	346.0	346.0	33.0
ADS1220IRVARG4	VQFN	RVA	16	3000	346.0	346.0	33.0
ADS1220IRVAT	VQFN	RVA	16	250	210.0	185.0	35.0

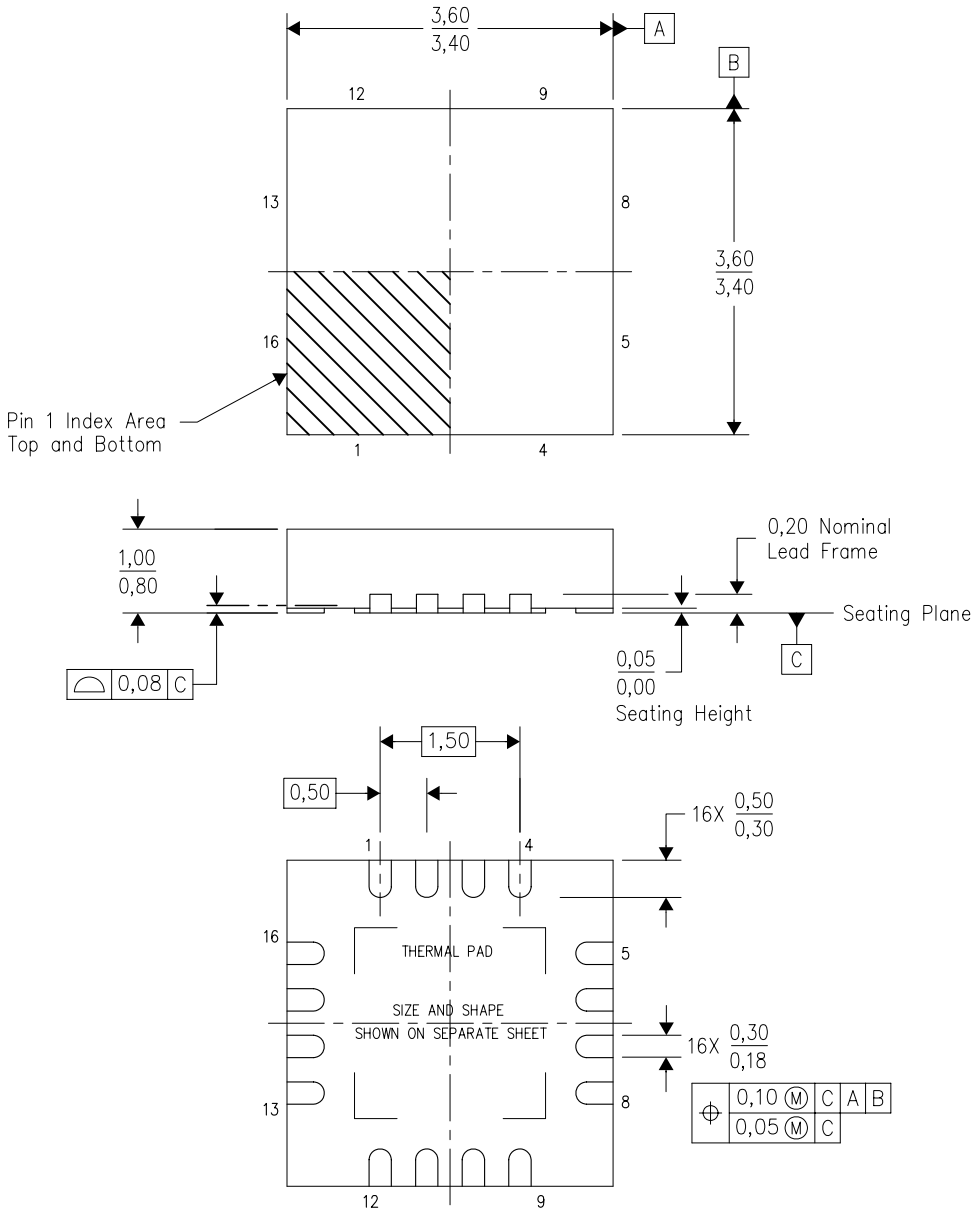
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ADS1220IPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1220IPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1220IPW.B	PW	TSSOP	16	90	530	10.2	3600	3.5

RVA (S–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD



4209676/C 05/11

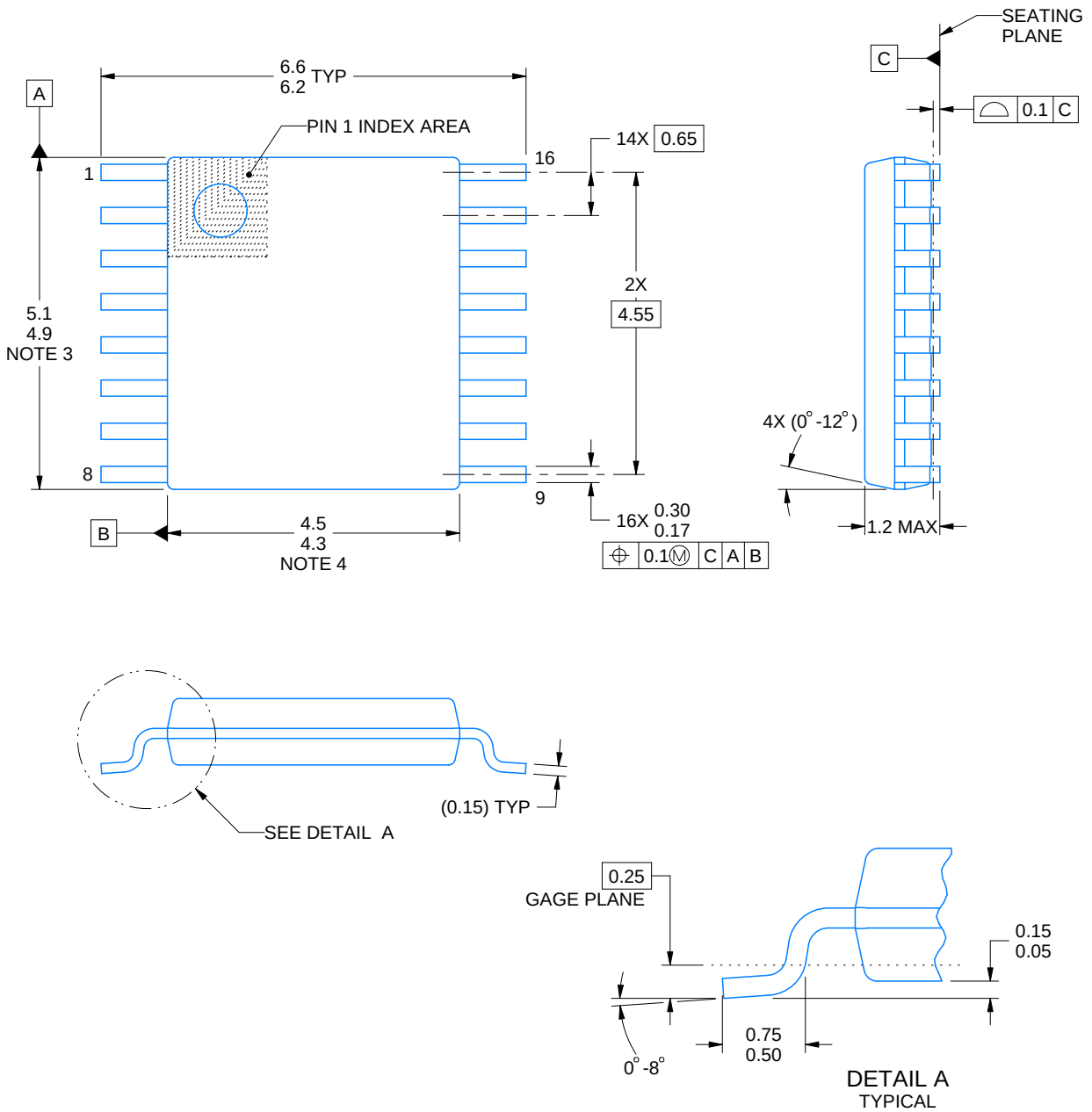
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

PACKAGE OUTLINE

PW0016A

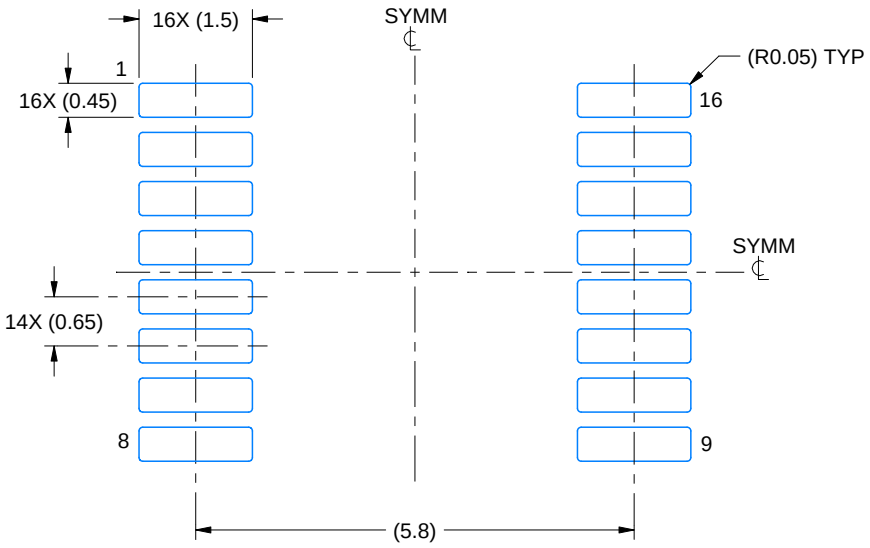
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

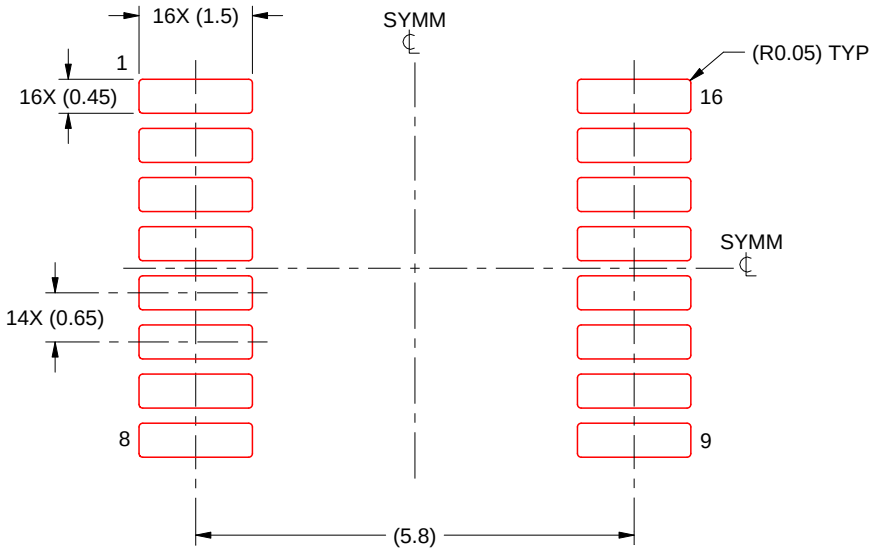


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月