DRV2911-Q1 用于超声波镜头清洗的全桥 PWM 输入压电式驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C ≤ TA ≤ 125°C
  - 可湿侧面封装
- 双通道半桥驱动器
  - 用于每个半桥控制的 PWM 输入
  - 过流保护
  - 支持高达 200kHz 的 PWM 频率
- 5V 至 35V 工作电压（绝对最大值 40V）
- 高输出电流能力：8A 峰值
- 低 MOSFET 导通状态电阻
  - T_A = 25°C 时，$R_{DS(ON)}$ (HS + LS) 为 95mΩ（典型值）
- 低功耗睡眠模式
  - V_{PVDD} = 13.5V、T_A = 25°C 时为 2.5µA（最大值）
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 内置的 3.3V 30mA LDO 稳压器
- 集成保护特性
  - 电源欠压锁定 (UVLO)
  - 电荷泵欠压 (CPUV)
  - 过流保护 (OCP)
  - 热警告和热关断 (OTW/OTSD)
  - 故障条件指示引脚 (FAULTZ)

2 应用

- 汽车热成像摄像头
- 不具有处理功能的摄像头模块
- 后视镜替代方案/摄像头后视镜系统
- 后置摄像头
- 环视系统 ECU

3 说明

DRV2911-Q1 集成了两个 H 桥，用于驱动压电式镜头盖系统 LCS，并具有高达 40V 的绝对最大电压，同时保持极低的 $R_{DS(ON)}$ 以降低开关损耗。DRV2911-Q1 集成了电源管理 LDO (3.3V/30mA) 和降压转换器（5V 至 5.7V，≤200mA），可用于为超声波镜头清洗 (ULC) 控制器 ULC1001 等外部电路供电。

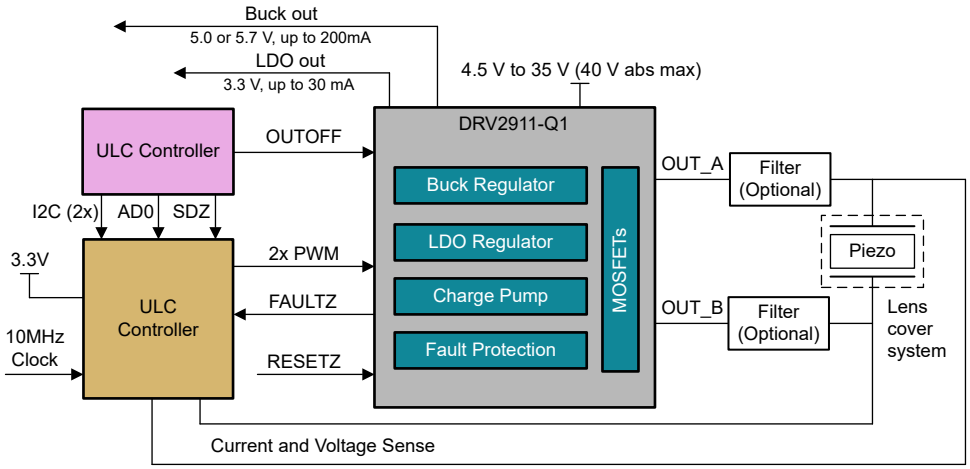
每个输出驱动器通道包含采用半桥配置的 N 沟道功率 MOSFET。两个独立的 PWM 输入驱动每个半桥。DRV2911-Q1 包含一个 30mA/3.3V LDO 稳压器。

DRV2911-Q1 集成了多种保护特性，包括电源欠压锁定 (UVLO)、电荷泵欠压 (CPUV)、过流保护 (OCP)、过热警告 (OTW) 和过热关断 (OTSD)，目的是在出现故障事件时保护器件和系统。故障状态通过 FAULTZ 引脚指示。FAULT 引脚也可连接到控制器器件（如 ULC1001-Q1），从而可通过 I2C 识别故障。

器件信息

器件型号	封装(1)	封装尺寸(2)
DRV2911-Q1	VQFN (40)	7mm x 5mm

(1) 有关所有可用封装，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版应用

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级 - 汽车.....5
5.3 建议的工作条件.....5
5.4 热性能信息.....6
5.5 电气特性.....6
5.6 典型特性.....10
6 详细说明.....11
6.1 概述.....11
6.2 功能方框图.....12
6.3 特性说明.....13
6.4 器件功能模式.....28
7 应用和实施.....29
7.1 应用信息.....29
7.2 典型应用.....30
7.3 电源相关建议.....33
7.4 布局.....34
8 器件和文档支持.....37
8.1 第三方产品免责声明.....37
8.2 文档支持.....37
8.3 接收文档更新通知.....37
8.4 支持资源.....37
8.5 商标.....37
8.6 静电放电警告.....37
8.7 术语表.....37
9 修订历史记录.....37
10 机械、封装和可订购信息.....37

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

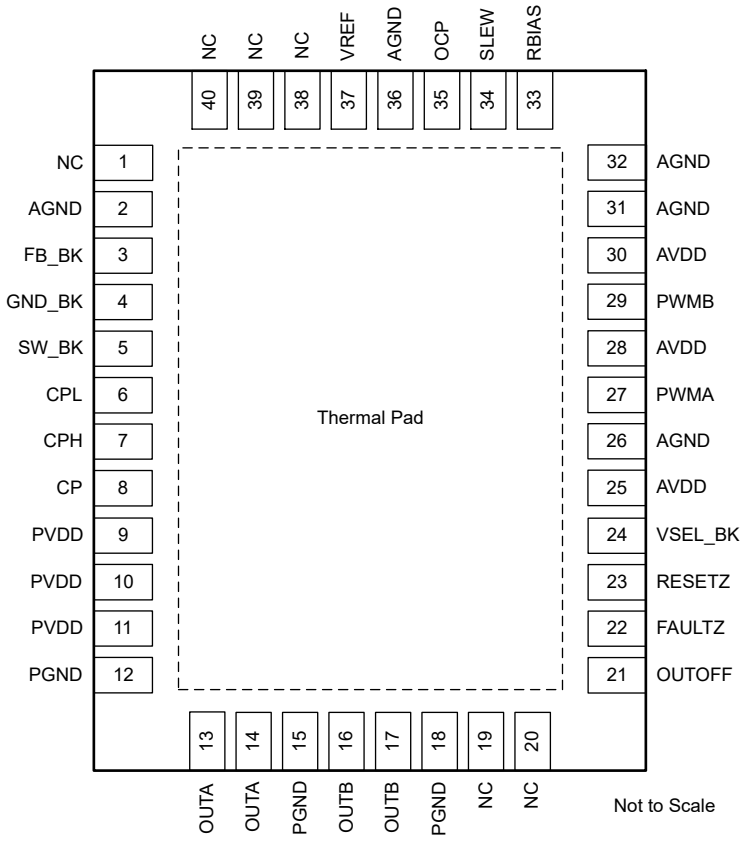


图 4-1. DRV2911-Q1 40 引脚 VQFN（散热焊盘朝下）顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
NC	1、19、20、38、39、40	NC	无连接，开路。
AGND	2、26、31、32、36	GND	器件模拟接地。有关连接建议，请参阅节 7.4.1。
FB_BK	3	PWR I	降压稳压器的反馈。连接到电感器/电阻器之后的降压稳压器输出。
GND_BK	4	GND	降压稳压器接地。有关连接建议，请参阅节 7.4.1。
SW_BK	5	PWR O	降压开关节点。将此引脚连接到电感器或电阻器。
CPL	6	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF 陶瓷电容器。TI 建议电容器的额定电压至少是器件正常工作电压的两倍。
CPH	7	PWR	
CP	8	PWR O	电荷泵输出。在 CP 和 PVDD 引脚之间连接一个 X5R 或 X7R、1μF、16V 陶瓷电容器。
PVDD	9、10、11	PWR I	电源。连接到电源电压；通过两个 0.1μF 电容器（每个引脚一个）和一个额定电压为 PVDD 的大容量电容器旁路到 PGND。TI 建议电容器的额定电压至少是器件正常工作电压的两倍。
PGND	12、15、18	GND	器件电源地。有关连接建议，请参阅节 7.4.1。
OUTA	13、14	PWR O	半桥输出 A。
OUTB	16、17	PWR O	半桥输出 B。
OUTOFF	21	I	当该引脚为逻辑高电平时，功率级中的四个 MOSFET 将关断，从而使所有输出处于高阻态。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
FAULTZ	22	O	故障指示器。故障状态下被拉至逻辑低电平；开漏输出需要一个连接到 AVDD 或外部源的外部上拉电阻器。确保在上电时 FAULTZ 被拉至 >2.2V。
RESETZ	23	I	驱动器 RESETZ。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 20μs 至 40μs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
VSEL_BK	24	I	降压输出电压设置。该引脚是由外部电阻器设置的 2 电平输入引脚。请参阅 图 6-2。
AVDD	25、28、30	PWR O	3.3V 内部稳压器输出。在 AVDD（接近引脚 25）和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、6.3V 陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
PWMA	27	I	用于控制半桥 A 的 PWM 输入。
PWMB	29	I	用于控制半桥 B 的 PWM 输入。
RBIAS	33	I	将 47kΩ 电阻器连接到 AVDD。
SLEW	34	I	压摆率控制设置。该引脚是由外部电阻器设置的 4 电平输入引脚。请参阅 图 6-2。
OCP	35	I	OCP 电平控制设置。请参阅 图 6-2。
VREF	37	PWR	在 VREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1μF、6.3V 的陶瓷电容器。
散热焊盘		GND	必须连接至模拟地。

(1) I = 输入，O = 输出，GND = 接地引脚，PWR = 电源，NC = 无连接

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源引脚电压 (PVDD)	-0.3	40	V
电源电压斜坡 (PVDD)		4	V/µs
接地引脚（GND_BK、PGND、AGND）之间的电压差	-0.3	0.3	V
电荷泵电压（CPH、CP）	-0.3	V_{PVDD}+ 6	V
电荷泵负开关引脚电压 (CPL)	-0.3	V_{PVDD} + 0.3	V
开关稳压器引脚电压 (FB_BK)	-0.3	6	V
开关节点引脚电压 (SW_BK)	-0.3	V_{PVDD} + 0.3	V
模拟稳压器引脚电压 (AVDD)	-0.3	4	V
逻辑引脚输入电压（OUTOFF、PWMx、RESETZ）	-0.3	5.75	V
逻辑引脚输出电压 (FAULTZ)	-0.3	5.75	V
输出引脚电压（OUTA、OUTB）	-1	V_{PVDD}+ 1	V
环境温度，T_A	-40	125	°C
结温，T_J	-40	150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级 - 汽车

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) HBM ESD 分类等级 2		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚	±750	
			其他引脚	±750	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议的工作条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{PVDD}	电源电压	V_{PVDD}	4.5	24	35	V
f_{PWM}	输出 PWM 频率	OUTA、OUTB			200	kHz
I_{OUT} (1)	峰值输出电流	OUTA、OUTB			8	A
V_{IN}	逻辑输入电压	OUTOFF、PWMx、RESETZ	-0.1		5.5	V
V_{OD}	开漏上拉电压	FAULTZ	-0.1		5.5	V
I_{OD}	开漏输出电流	FAULTZ			5	mA
V_{VREF}	电压基准引脚电压	VREF	2.8		AVDD	V
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵循功率耗散和热限值

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		DRV2911-Q1 VQFN (RGF) 40 引脚	单位
$R_{\theta JA}$	结至环境热阻	25.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	15.2	°C/W
$R_{\theta JB}$	结至电路板热阻	7.3	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	7.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

T_J = –40°C 至 +150°C，V_{PVDD} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{PVDD} = 24V

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{PVDDQ}	PVDD 睡眠模式电流	V_{PVDD} > 6V，RESETZ = 0，T_A = 25°C		1.5	2.5	μA
		RESETZ = 0		2.5	5	μA
I_{PVDDS}	PVDD 待机模式电流	V_{PVDD} > 6V，RESETZ = 1，PWMx = 0，I_{BK} = 0，T_A = 25°C		5	6	mA
		RESETZ = 1，PWMx = 0，I_{BK} = 0		6	10	mA
I_{PVDD}	PVDD 工作模式电流	V_{PVDD} > 6V，RESETZ = 1，f_{PWM} = 25kHz，T_A = 25°C		11	13	mA
		V_{PVDD} > 6V，RESETZ = 1，f_{PWM} = 200kHz，T_A = 25°C		19	22	mA
		RESETZ = 1，f_{PWM} = 25kHz		12	17	mA
		RESETZ = 1，f_{PWM} = 200kHz		18	30	mA
V_{AVDD}	模拟稳压器电压	0mA ≤ I_{AVDD} ≤ 30mA	3.1	3.3	3.465	V
I_{AVDD}	外部模拟稳压器负载				30	mA
V_{VCP}	电荷泵稳压器电压	VCP，以 PVDD 为基准	3.6	4.7	5.25	V
t_{WAKE}	唤醒时间	V_{PVDD} > V_{UVLO}，RESETZ = 1 以使输出就绪，且 FAULTZ 已释放			1	ms
t_{SLEEP}	睡眠脉冲时间	RESETZ = 0 进入睡眠模式的周期	120			μs
t_{RST}	复位脉冲时间	RESETZ = 0 复位故障的周期	20		40	μs
降压稳压器						
V_{BK}	降压稳压器平均电压（L_{BK} = 47μH，C_{BK} = 22μF）	V_{PVDD} > 6V，0mA ≤ I_{BK} ≤ 200mA，VSEL_BK 引脚连接至高阻态	4.6	5.0	5.4	V
		V_{PVDD} > 6.7V，0mA ≤ I_{BK} ≤ 200mA，VSEL_BK 引脚连接至 AVDD	5.2	5.7	5.8	V
		V_{PVDD} < 6.0V，0mA ≤ I_{BK} ≤ 200mA		V_{PVDD} – I_{BK}*(R_{LBK}+2)(1)		V

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{PVDD} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{PVDD} = 24V

参数		测试条件	最小值	典型值	最大值	单位
V_{BK}	降压稳压器平均电压（L_{BK} = 22μH，C_{BK} = 22μF）	V_{PVDD} > 6V，0mA ≤ I_{BK} ≤ 50mA，VSEL_BK 引脚连接至高阻态	4.6	5.0	5.4	V
		V_{PVDD} > 6.7V，0mA ≤ I_{BK} ≤ 50mA，VSEL_BK 引脚连接至 AVDD	5.2	5.7	5.8	V
		V_{PVDD} < 6.0V，0mA ≤ I_{BK} ≤ 50mA		V_{PVDD} – I_{BK}*(R_{LBK}+2)[(1)]		V
V_{BK}	降压稳压器平均电压（R_{BK} = 22Ω，C_{BK} = 22μF）	V_{PVDD} > 6V，0mA ≤ I_{BK} ≤ 40mA，VSEL_BK 引脚连接至高阻态	4.6	5.0	5.4	V
		V_{PVDD} > 6.7V，0mA ≤ I_{BK} ≤ 40mA，VSEL_BK 引脚连接至 AVDD	5.2	5.7	5.8	V
		V_{PVDD} < 6.0V，0mA ≤ I_{BK} ≤ 40mA		V_{PVDD} – I_{BK}*(R_{BK}+2)		V
V_{BK_RIP}	降压稳压器纹波电压	V_{PVDD} > 6V，0mA ≤ I_{BK} ≤ 200mA，带电感器的降压稳压器，L_{BK} = 47μH，C_{BK} = 22μF	-100		100	mV
		V_{PVDD} > 6V，0mA ≤ I_{BK} ≤ 50mA，带电感器的降压稳压器，L_{BK} = 22μH，C_{BK} = 22μF	-100		100	mV
		V_{PVDD} > 6V，0mA ≤ I_{BK} ≤ 50mA，带电阻器的降压稳压器；R_{BK} = 22Ω，C_{BK} = 22μF	-100		100	mV
I_{BK}	外部降压稳压器负载	L_{BK} = 47μH，C_{BK} = 22μF			200 – I_{AVDD}	mA
		L_{BK} = 22μH，C_{BK} = 22μF			50 – I_{AVDD}	mA
		R_{BK} = 22Ω，C_{BK} = 22μF			40 – I_{AVDD}	mA
f_{SW_BK}	降压稳压器开关频率	调节模式	20		535	kHz
		线性模式	20		535	kHz
V_{BK_UV}	降压稳压器欠压锁定	V_{BK} 上升，VSEL_BK 引脚连接至高阻态	2.7	2.8	2.9	V
		V_{BK} 下降，VSEL_BK 引脚连接至高阻态	2.5	2.6	2.7	V
		V_{BK} 上升，VSEL_BK 引脚连接至 AVDD	4.2	4.4	4.55	V
		V_{BK} 下降，VSEL_BK 引脚连接至 AVDD	4.0	4.2	4.35	V
$V_{BK_UV_HYS}$	降压稳压器欠压锁定迟滞	上升至下降阈值	90	200	320	mV
I_{BK_CL}	降压稳压器电流限制阈值		360	600	900	mA
I_{BK_OCP}	降压稳压器过流保护跳变点		2	3	4	A
t_{BK_RETRY}	过流保护重试时间		0.7	1	1.3	ms
逻辑电平输入（OUTOFF、PWMx、RESETZ）						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压	其他引脚	1.5		5.5	V
		RESETZ	1.6		5.5	V
V_{HYS}	输入逻辑迟滞	其他引脚	180	300	420	mV
		RESETZ	95	250	420	mV
I_{IL}	输入逻辑低电平电流	V_{PIN}（引脚电压）= 0V	-1		1	μA
I_{IH}	输入逻辑高电平电流	RESETZ，V_{PIN}（引脚电压）= 5V	10		30	μA
		其他引脚，V_{PIN}（引脚电压）= 5V	30		75	μA

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{PVDD} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{PVDD} = 24V

参数		测试条件	最小值	典型值	最大值	单位
R_{PD}	输入下拉电阻	RESETZ	150	200	300	kΩ
		其他引脚	70	100	130	kΩ
C_{ID}	输入电容			30		pF
四电平输入 (SLEW)						
V_{L1}	输入模式 1 电压 (25V/μs)	连接至 AGND	0		0.2*AVDD	V
V_{L2}	输入模式 2 电压 (50V/μs)	高阻态	0.27*AVDD	0.5*AVDD	0.545*AVDD	V
V_{L3}	输入模式 3 电压 (125V/μs)	47kΩ +/- 5% 连接至 AVDD	0.606*AVDD	0.757*AVDD	0.909*AVDD	V
V_{L4}	输入模式 4 电压 (200V/μs)	连接至 AVDD	0.945*AVDD		AVDD	V
R_{PU}	输入上拉电阻	至 AVDD	70	100	130	kΩ
R_{PD}	输入下拉电阻	至 AGND	70	100	130	kΩ
两电平输入 (VSEL_BK)						
V_{L1}	输入模式 1 电压 (5.0V)	高阻态	0.27*AVDD	0.5*AVDD	0.545*AVDD	V
V_{L2}	输入模式 2 电压 (5.7V)	连接至 AVDD	0.945*AVDD		AVDD	V
R_{PU}	输入上拉电阻	至 AVDD	70	100	130	kΩ
R_{PD}	输入下拉电阻	至 AGND	70	100	130	kΩ
两电平输入 (OCP)						
V_{L1}	输入模式 1 电压（16A 限制）	连接至 AGND	0		0.09*AVDD	V
V_{L2}	输入模式 2 电压（24A 限制）	22kΩ ± 5% 至 AGND	0.12*AVDD	0.15*AVDD	0.55*AVDD	V
R_{PU}	输入上拉电阻	至 AVDD	80	100	120	kΩ
R_{PD}	输入下拉电阻	至 AGND	80	100	120	kΩ
开漏输出 (FAULTZ)						
V_{OL}	输出逻辑低电平电压	I_{OD} = 5mA			0.4	V
I_{OH}	输出逻辑高电平电流	V_{OD} = 5V	-1		1	μA
C_{OD}	输出电容				30	pF
驱动器输出						
$R_{DS(ON)}$	MOSFET 总导通电阻（高侧 + 低侧）	V_{PVDD} > 6V，I_{OUT} = 1A，T_A = 25°C		95	120	mΩ
		V_{PVDD} < 6V，I_{OUT} = 1A，T_A = 25°C		105	130	mΩ
		V_{PVDD} > 6V，I_{OUT} = 1A，T_J = 150°C		140	185	mΩ
		V_{PVDD} < 6V，I_{OUT} = 1A，T_J = 150°C		145	190	mΩ
SR	相位引脚压摆率从低切换到高（从 20% 上升到 80%）	V_{PVDD} = 24V，SLEW 引脚连接至 AGND	14	25	45	V/μs
		V_{PVDD} = 24V，SLEW 引脚连接至高阻态	30	50	80	V/μs
		V_{PVDD} = 24V，SLEW 引脚连接至 47kΩ +/- 5% 至 AVDD	80	125	185	V/μs
		V_{PVDD} = 24V，SLEW 引脚连接至 AVDD	130	200	280	V/μs

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{PVDD} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{PVDD} = 24V

参数		测试条件	最小值	典型值	最大值	单位
SR	相位引脚压摆率从高切换到低（从 80% 下降到 20%）	V_{PVDD} = 24V，SLEW 引脚连接至 AGND	14	25	45	V/µs
		V_{PVDD} = 24V，SLEW 引脚连接至高阻态	30	50	80	V/µs
		V_{PVDD} = 24V，SLEW 引脚连接至 47kΩ +/- 5% 至 AVDD	80	125	185	V/µs
		V_{PVDD} = 24V，SLEW 引脚连接至 AVDD	110	200	280	V/µs
I_{LEAK}	OUTx 上的漏电流	V_{OUTx} = V_{PVDD}，RESETZ = 1			5	mA
	OUTx 上的漏电流	V_{OUTx} = 0V，RESETZ = 1			1	µA
t_{DEAD}	输出死区时间（高电平到低电平/低电平到高电平）	V_{PVDD} = 24V，SR = 25V/µs，HS 驱动器关闭到 LS 驱动器开启，以及 LS 驱动器关闭到 HS 驱动器开启		1800	3400	ns
		V_{PVDD} = 24V，SR = 50V/µs，HS 驱动器关闭到 LS 驱动器开启，以及 LS 驱动器关闭到 HS 驱动器开启		1100	1550	ns
		V_{PVDD} = 24V，SR = 125V/µs，HS 驱动器关闭到 LS 驱动器开启，以及 LS 驱动器关闭到 HS 驱动器开启		650	1000	ns
		V_{PVDD} = 24V，SR = 200V/µs，HS 驱动器关闭到 LS 驱动器开启，以及 LS 驱动器关闭到 HS 驱动器开启		500	750	ns
t_{PD}	传播延迟（高侧/低侧开/关）	V_{PVDD} = 24V，INHx/INLx = 1 至 OUTx 转换，SR = 25V/µs		2000	4550	ns
		V_{PVDD} = 24V，INHx/INLx = 1 至 OUTx 转换，SR = 50V/µs		1200	2150	ns
		V_{PVDD} = 24V，INHx/INLx = 1 至 OUTx 转换，SR = 125V/µs		800	1350	ns
		V_{PVDD} = 24V，INHx/INLx = 1 至 OUTx 转换，SR = 200V/µs		650	1050	ns
t_{MIN_PULSE}	最小输出脉冲宽度	SR = 200V/µs	600			ns
保护电路						
V_{UVLO}	电源欠压锁定 (UVLO)	PVDD 上升	4.3	4.4	4.5	V
		PVDD 下降	4.1	4.2	4.3	V
V_{UVLO_HYS}	电源欠压锁定迟滞	上升至下降阈值	140	200	350	mV
t_{UVLO}	电源欠压锁定抗尖峰脉冲时间		3	5	7	µs
V_{CPUV}	电荷泵欠压锁定（高于 PVDD）	电源上升	2.3	2.5	2.7	V
		电源下降	2.2	2.4	2.6	V
V_{CPUV_HYS}	电荷泵 UVLO 迟滞	上升至下降阈值	75	100	140	mV
V_{AVDD_UV}	模拟稳压器欠压锁定	电源上升	2.7	2.85	3	V
		电源下降	2.5	2.65	2.8	V
$V_{AVDD_UV_HYS}$	模拟稳压器欠压锁定迟滞	上升至下降阈值	180	200	240	mV
I_{OCP}	过流保护跳变点	OCP 引脚连接至 AGND	10	16	22	A
I_{OCP}	过流保护跳变点	OCP 引脚连接至 22kΩ ± 5% 至 AGND	15	24	30	A
t_{OCP}	过流保护抗尖峰脉冲时间		0.06	0.3	0.6	µs
t_{RETRY}	过流保护重试时间		4	5	6	ms
T_{OTW}	热警告温度	芯片温度 (T_J)	135	145	155	°C
T_{OTW_HYS}	热警告迟滞	芯片温度 (T_J)	15	20	26	°C
T_{TSD}	热关断温度	芯片温度 (T_J)	170	180	190	°C

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{PVDD} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{PVDD} = 24V

参数		测试条件	最小值	典型值	最大值	单位
T_{TSD_HYS}	热关断迟滞	芯片温度 (T_J)	15	20	25	°C
T_{TSD_FET}	热关断温度 (FET)	芯片温度 (T_J)	165	175	187	°C
$T_{TSD_FET_HYS}$	热关断迟滞 (FET)	芯片温度 (T_J)	18	25	30	°C

(1) R_{LBK} 为电感器 L_{BK} 的阻值

5.6 典型特性

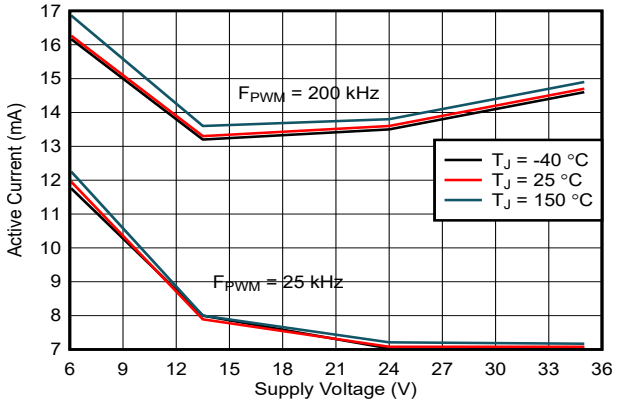


图 5-1. 电源电流与电源电压间的关系

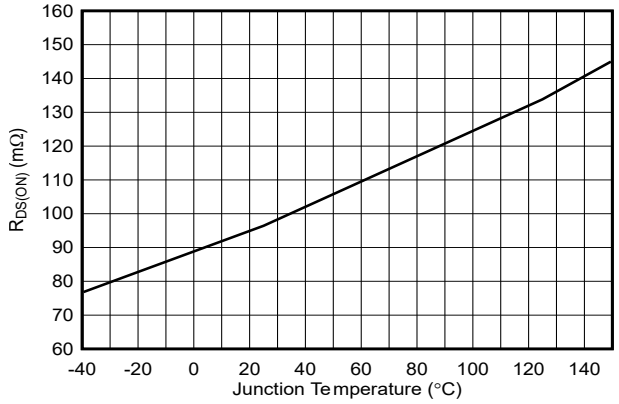


图 5-2. MOSFET 在温度范围内的 $R_{DS(ON)}$（高侧和低侧之和）

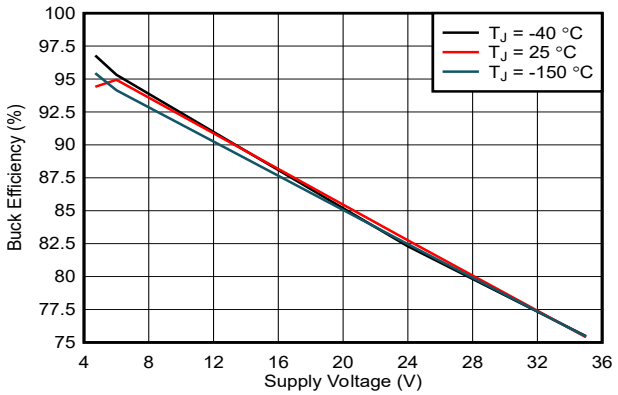


图 5-3. 降压稳压器在电源电压下的效率

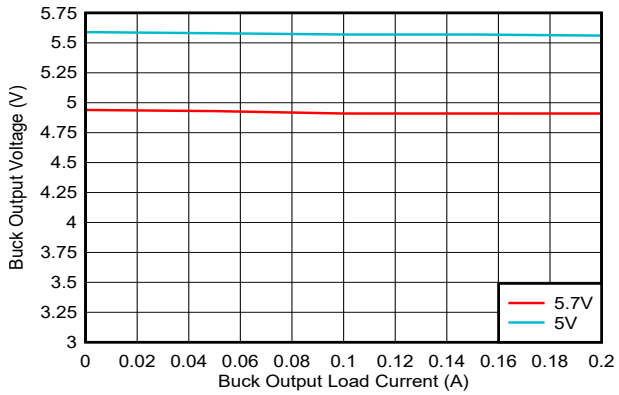


图 5-4. 降压稳压器输出电压随负载电流的变化

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

DRV2911-Q1 器件是一款具有集成故障保护功能的单通道差分压电式驱动器。该器件将两个半桥 MOSFET、栅极驱动器、电荷泵以及一个用于驱动压电式镜头盖系统 (LCS) 的线性稳压器集成在一起，从而减小了系统占用空间并降低了系统复杂性。使用一个简单的硬件接口，可通过固定的外部电阻器来配置设置。

该架构使用内部状态机来防止发生短路事件，并控制内部功率 MOSFET 的压摆率。

DRV2911-Q1 提供多种集成保护特性，包括电源欠压锁定 (UVLO)、电荷泵欠压锁定 (CPUV)、过流保护 (OCP)、AVDD 欠压锁定 (AVDD_UV) 以及过热警告和关断（OTW 和 OTSD）。故障事件由 FAULTZ 引脚指示，该引脚可连接到 ULC1001-Q1 控制器器件或主机控制器。

DRV2911-Q1 器件采用具有可湿性侧面的 0.5mm 引脚间距 VQFN 表面贴装封装。VQFN 封装尺寸为 7mm × 5mm。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

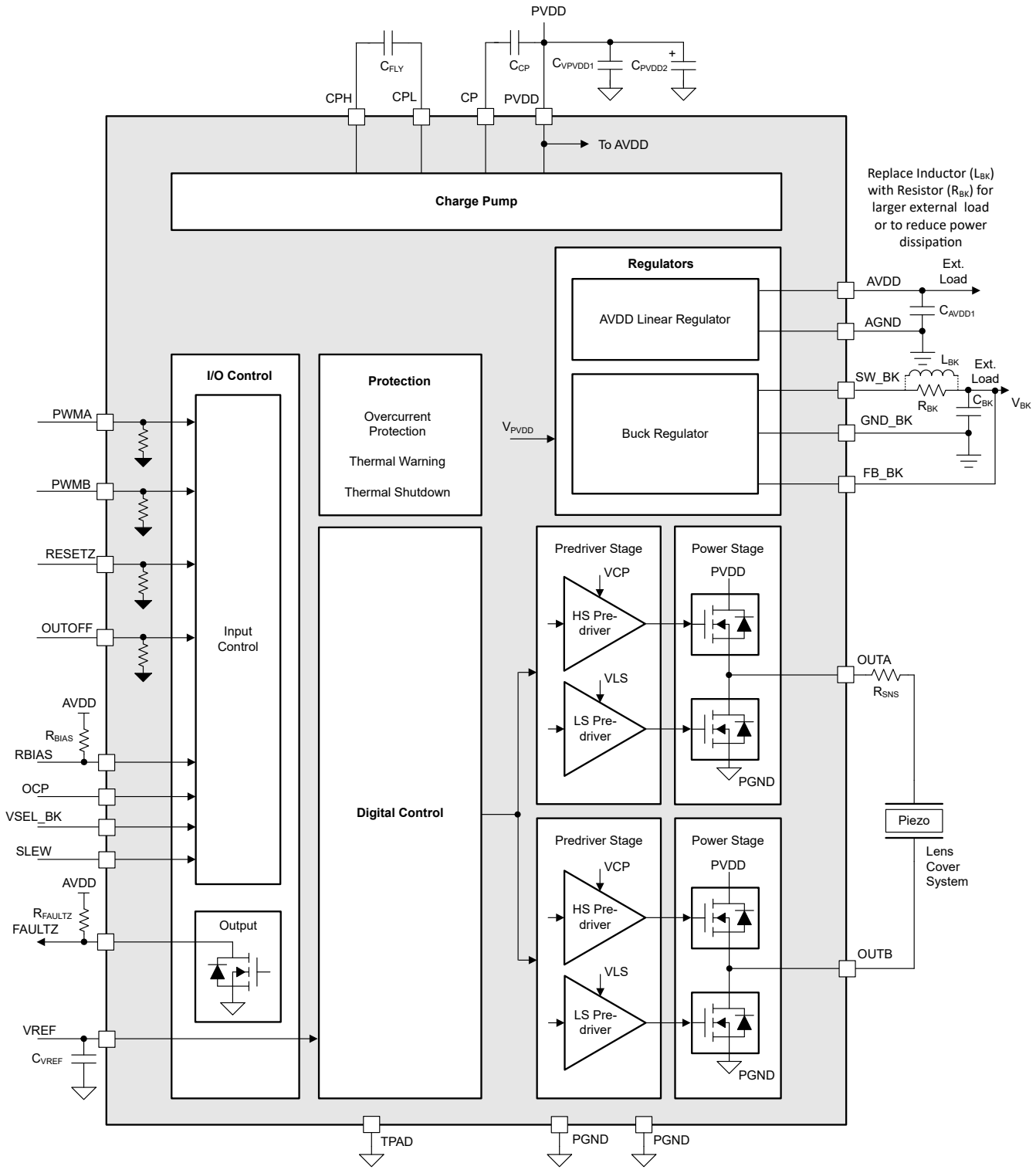


图 6-1. DRV2911-Q1 方框图

Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

表 6-1 列出了驱动器外部元件的建议值。

表 6-1. DRV2911-Q1 外部元件

元件	引脚 1	引脚 2	推荐
C_{PVDD1}	PVDD	PGND	X5R 或 X7R，0.1μF，TI 建议电容器的额定电压至少是器件正常工作电压的两倍
C_{PVDD2}	PVDD	PGND	⩾ 10μF，TI 建议电容器的额定电压至少是器件正常工作电压的两倍
C_{CP}	CP	PVDD	X5R 或 X7R、16V、1μF
C_{FLY}	CPH	CPL	X5R 或 X7R，47nF，TI 建议电容器的电压等级至少是正常工作电压的两倍
C_{AVDD}	AVDD	AGND	X5R 或 X7R，1μF，⩾6.3V。为了让 AVDD 准确调节输出电压，电容器在工作温度范围内的 3.3V 下应具有 0.7μF 至 1.3μF 的有效电容。
C_{VREF}	VREF	AGND	X5R 或 X7R、0.1μF、6.3V 电容器
R_{FAULTZ}	AVDD	FAULTZ	5.1kΩ 上拉电阻器
R_{BIAS}	RBIAS	AVDD	47kΩ，偏置电阻器
R_{SLEW}	SLEW	AGND 或 AVDD	压摆率硬件接口
R_{OCP}	OCP	AGND	OCP 硬件接口

备注

TI 建议在 FAULTZ 上连接上拉电阻器（即使不使用它），以避免意外进入内部测试模式。如果使用外部电源上拉 FAULTZ，请确保上电时将它拉至 >2.2V，否则器件将进入内部测试模式。

6.3.1 输出级

DRV2911-Q1 器件包含集成 95mΩ（高侧和低侧 FET 的导通状态电阻之和）NMOS FET（以两个半桥配置连接）。电荷泵加倍器可在宽工作电压范围内为高侧 NMOS FET 提供适合的栅极偏置电压，此外还提供 100% 占空比支持。内部线性稳压器为低侧 MOSFET 提供栅极偏置电压。该器件具有三个 PVDD 电源引脚，这些引脚连接到电源电压。

6.3.2 硬件接口

硬件接口包含三个可配置引脚，即 SLEW、OCP 和 VSEL_BK，分别用于控制驱动器输出压摆率、过流保护电平和降压电压。应用设计人员能够利用这些引脚来配置关键器件设置，方法是将每个引脚连接至逻辑高电平或逻辑低电平，将其悬空，或者使用合适的电阻器上拉至逻辑高电平。硬件接口还包含 FAULTZ 开漏引脚，用于报告驱动器故障。

- SLEW 引脚可配置输出电压的压摆率。
- OCP 引脚用于配置过流保护电平。
- VSEL_BK 引脚用于配置降压输出电压电平。
- FAULTZ 引脚用于报告驱动器故障，可通过 I^2C 从 ULC 控制器读取。

Copyright © 2025 Texas Instruments Incorporated

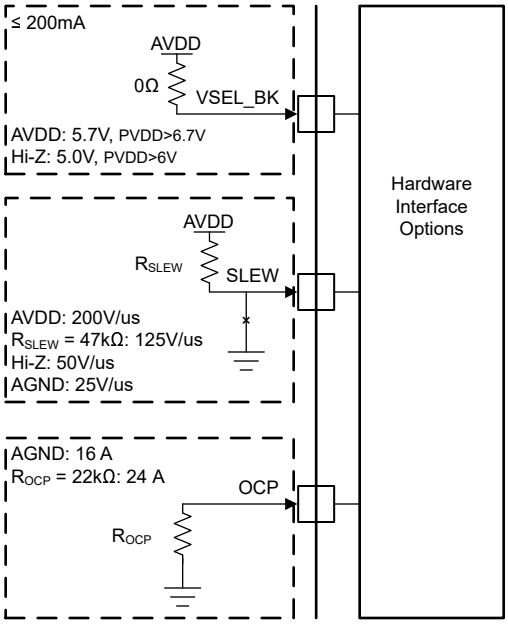


图 6-2. DRV2911-Q1 硬件接口

图 6-3 展示了四电平输入引脚 SLEW 的结构。OCP 和 VSEL_BK 引脚采用相同的内部结构，但只有两种有效配置。

SLEW Rate	RESISTANCE
25V/us	Tied to AGND
50V/us	Hi-Z (>2000 kΩ to AGND)
125V/us	47 kΩ ±5% to AVDD
200v/us	Tied to AVDD

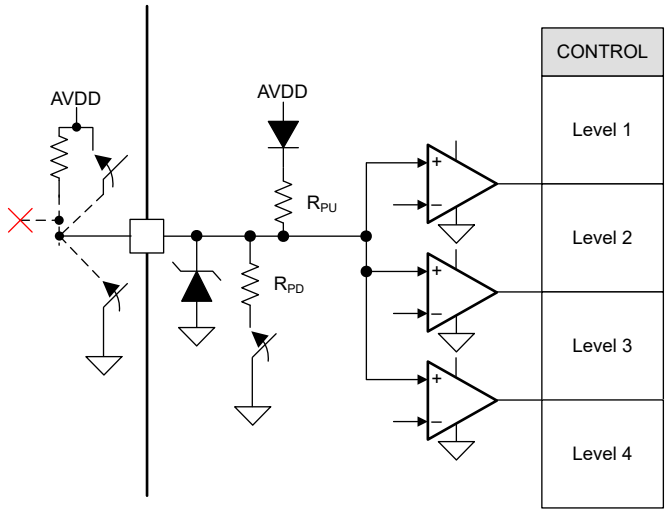


图 6-3. SLEW 输入引脚结构

图 6-4 展示了逻辑电平引脚 OUTOFF、PWMx 和 RESETZ 的输入结构。输入可以由电压或外部电阻器驱动。建议在器件睡眠模式下将这些引脚置于低电平，以减少通过内部下拉电阻器的漏电流。

Copyright © 2025 Texas Instruments Incorporated

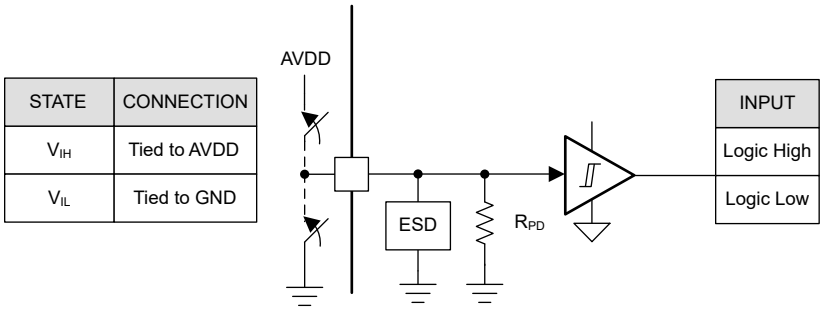


图 6-4. 逻辑电平输入引脚结构

图 6-5 展示了开漏输出 FAULTZ 的结构。开漏输出需要外部上拉电阻器正常运行。

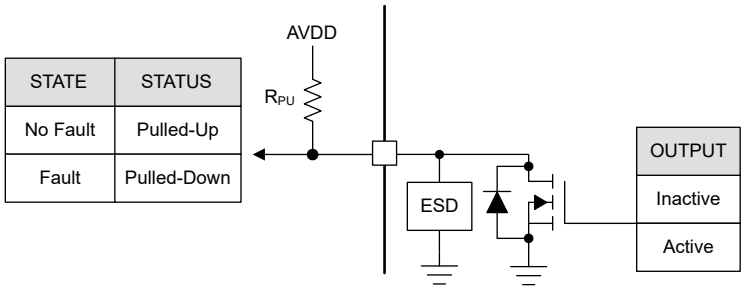


图 6-5. 漏极开路

Copyright © 2025 Texas Instruments Incorporated

6.3.3 AVDD 线性稳压器

DRV2911-Q1 系列器件中集成了一个 3.3V 线性稳压器，可供外部电路使用。AVDD 稳压器用于为器件的内部数字电路供电，此外，该稳压器还可以为低功耗 MCU 或其他支持低电流（高达 30mA）的电路提供电源电压。AVDD 稳压器的输出应在 AVDD 引脚附近旁路，通过一个 X5R 或 X7R、1μF、6.3V 陶瓷电容器直接连接回至相邻的 AGND 接地引脚。

AVDD 标称空载输出电压为 3.3V。

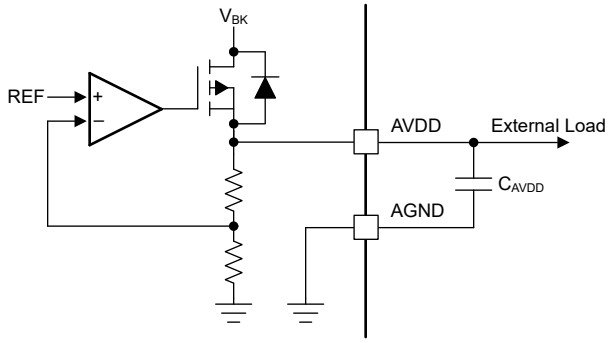


图 6-6. AVDD 线性稳压器方框图

使用方程式 1 来计算基于 V_{BK} 的 AVDD 线性稳压器在器件中耗散的功率。

$$P = (V_{BK} - AVDD) \times I_{AVDD} \quad (1)$$

例如，当 V_{BK} 为 30V 时，从 AVDD 汲取 20mA 的电流会导致方程式 2 所示的功率耗散。

$$P = (5V - 3.3V) \times 10\text{mA} = 17mW \quad (2)$$

Copyright © 2025 Texas Instruments Incorporated

6.3.4 混合模式降压稳压器

DRV2911-Q1 具有一个集成式混合模式降压稳压器，可为外部控制器或系统电压轨提供 5.0V 稳压电源。此外，降压输出还可以配置为 5.7V 以支持外部 LDO 的额外余量，用于生成最高 5.0V 电源。降压的输出电压由 VSEL_BK 引脚设置。

降压稳压器在轻负载期间具有约 1mA - 2mA 的低静态电流，可延长电池寿命。该器件通过实施脉冲频率电流模式控制方案来提高在线路和负载瞬态期间的性能，该方案要求更小的输出电容并简化了频率补偿设计。

备注

必须连接降压稳压器元件 L_{BK}/R_{BK} 和 C_{BK}。在内部，降压稳压器为 3.3V AVDD 电源供电。

表 6-2. 降压稳压器的建议设置

降压模式	降压输出电压	来自 AVDD 的最大输出电流 (I_{AVDD})	来自降压的最大输出电流 (I_{BK})	降压电流限制
电感器 - 47 µ H	5.0V 或 5.7V	30mA	200mA - I_{AVDD}	600mA
电感器 - 22 µ H	5.0V 或 5.7V	30mA	50mA	150mA
电阻器 - 22 Ω	5.0V 或 5.7V	30mA	40mA	150mA

Copyright © 2025 Texas Instruments Incorporated

6.3.4.1 以电感器模式降压

DRV2911-Q1 器件中的降压稳压器主要用于支持 47µH 和 22µH 电感器的低电感。47µH 电感器允许降压稳压器在支持高达 200mA 负载电流的情况下运行，而 22µH 电感器将负载电流限制为 50mA。

图 6-7 展示了电感器模式下降压稳压器的连接。

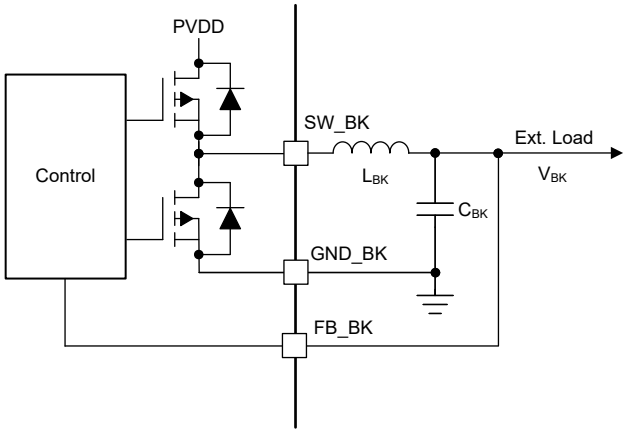


图 6-7. 降压（电感器模式）

6.3.4.2 以电阻器模式降压

如果外部负载要求低于 40mA，则可以用电阻器代替电感器。在电阻器模式下，功率在外部电阻器两端耗散，并且效率低于电感器模式下的降压。要适当缩放电阻器，请使用以下公式。ULC1001-Q1 的最大电流消耗约为 10mA (I_{ULC})。使用 DRV2911-Q1 内部电流 I_{DRV_INT}，假设电流消耗为 10mA，PVDD 等于 25V，降压电压等于 5V，则降压电阻器的额定功率应高于 400mW。选择电阻器额定值时，应考虑布局的环境温度范围和整体热耗散。

$$P_{STANDBY} = V_{PVDD} \times (I_{ULC} + I_{DRV_INT}) \quad (3)$$

$$P_{BK_RES} = P_{STANDBY} - (V_{BUCK} \times I_{ULC + DRV_INT}) \quad (4)$$

图 6-8 展示了电阻器模式下降压稳压器的连接。

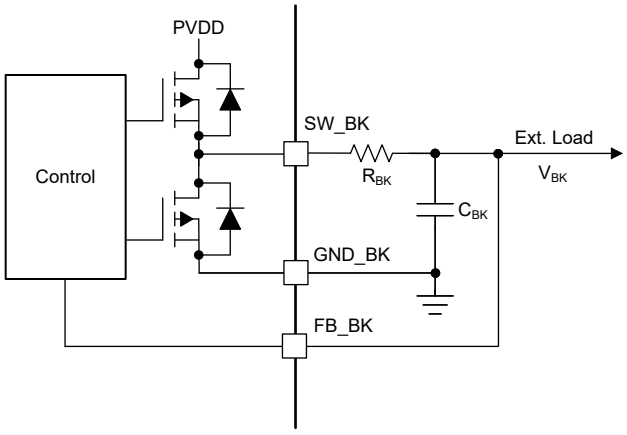


图 6-8. 降压（电阻器模式）

Copyright © 2025 Texas Instruments Incorporated

6.3.4.3 具有外部 LDO 的降压稳压器

降压稳压器还支持馈送到外部 LDO 以生成精度更高的标准 3.3V 或 5.0V 输出轨的电压要求。降压输出电压应配置为 5V 或 5.7V 以提供额外的余量，从而支持外部 LDO 来生成 3.3V 或 5V 电压轨，如图 6-9 所示。

这样就可以采用电压较低的 LDO 设计来节省成本，并由于压降电压较低而实现更好的热管理。

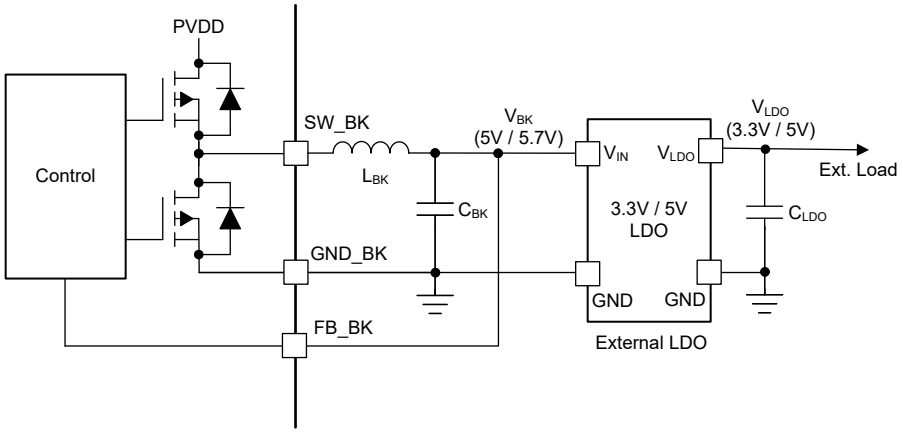


图 6-9. 具有外部 LDO 的降压稳压器

6.3.4.4 降压稳压器上的 AVDD 电源时序

AVDD LDO 使用混合模式降压稳压器提供的电源来降低内部功率耗散。从直流电源 (PVDD) 到降压输出 (VBK) 的 LDO 电源如图 6-10 所示。

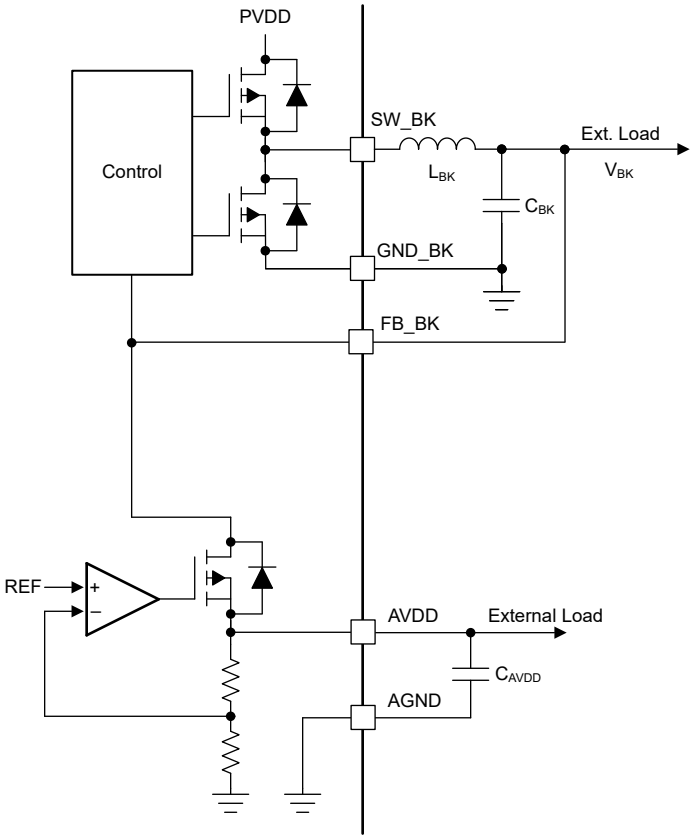


图 6-10. 混合模式降压稳压器上的 AVDD 电源时序

Copyright © 2025 Texas Instruments Incorporated

6.3.4.5 混合模式降压运行和控制

降压稳压器采用具有峰值电流模式控制的脉冲频率调制 (PFM) 架构。降压稳压器的输出电压与内部基准电压 (V_{BK_REF}) 进行比较，内部基准电压是在内部生成的，具体取决于构成外部电压控制环路的降压输出电压设置 (BUCK_SEL)。根据比较器输出变为高电平 ($V_{BK} < V_{BK_REF}$) 还是低电平 ($V_{BK} > V_{BK_REF}$)，降压的高侧电源 FET 分别导通和关断。一个独立的电流控制环路监控高侧功率 FET 中的电流 (I_{BK})，并在电流变为高于降压电流限制 (I_{BK_CL}) 时关断高侧 FET。这样可实现降压稳压器的电流限制控制。图 6-11 显示了降压和各种控制/保护环路的架构。

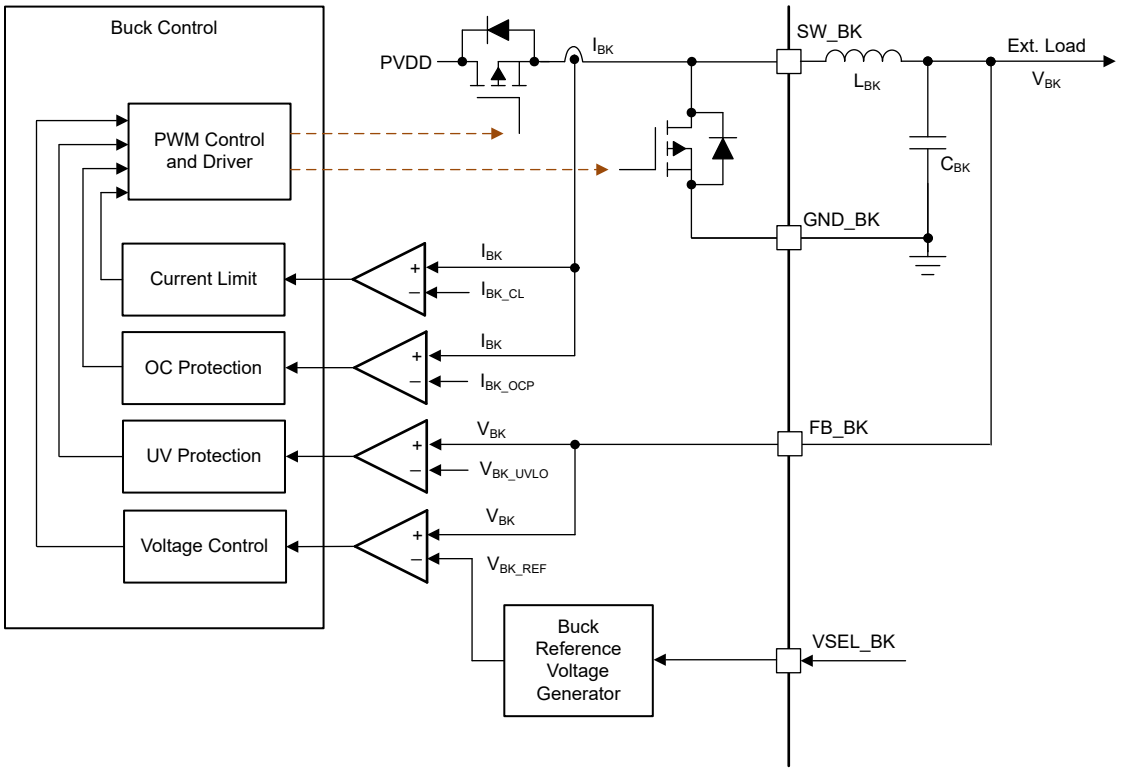


图 6-11. 降压运行和控制环路

6.3.4.6 降压欠压锁定

如果 FB_BK 引脚上的输入电源电压低于 V_{BK_UVLO} 阈值，则将禁用降压稳压器的所有高侧和低侧 MOSFET，并将 FAULTZ 引脚驱动为低电平。VBK 欠压条件清除后，器件将再次开始正常运行（降压运行且 FAULTZ 引脚被释放）。

6.3.4.7 降压过流保护

可以通过监测流经降压稳压器的 FET 的电流来检测降压过流事件。如果降压稳压器 FET 上的电流超过 I_{BK_OCP} 阈值的时间超过 t_{BK_OCP} 抗尖峰脉冲时间，则会识别出 OCP 事件。降压 OCP 模式在自动重试设置中配置。在该设置中，检测到降压 OCP 事件后，将禁用所有降压稳压器的 FET 并将 FAULTZ 引脚驱动至低电平。在 t_{BK_RETRY} 时间过后，器件将自动再次开始正常运行（驱动器运行且释放 FAULTZ 引脚）。

Copyright © 2025 Texas Instruments Incorporated

6.3.5 电荷泵

由于输出级使用 N 沟道 FET，因此该器件需要高于 PVDD 电源的栅极驱动电压才能完全增强高侧 FET。DRV2911-Q1 集成了一个电荷泵电路，可为此目的生成高于 PVDD 电源的电压。

电荷泵需要两个外部电容器才能运行。有关这些电容器的详细信息，请参阅图 6-1、节 4 和节 6.3。

当 RESETZ 为低电平时，电荷泵会关断。

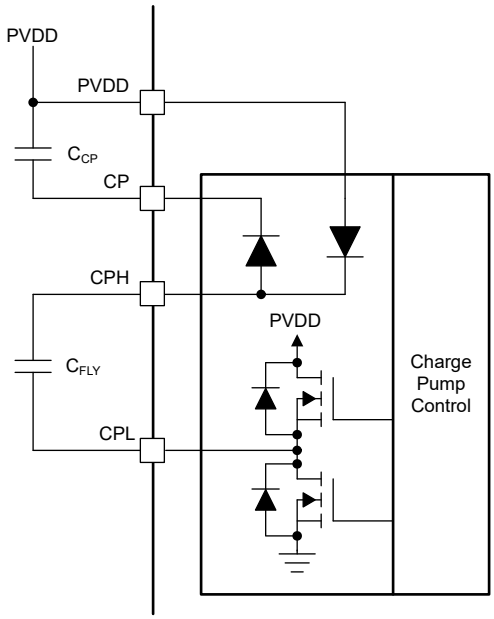


图 6-12. DRV2911-Q1 电荷泵

Copyright © 2025 Texas Instruments Incorporated

6.3.6 压摆率控制

对半桥的 MOSFET 实施可调栅极驱动电流控制，以实现压摆率控制。MOSFET VDS 压摆率是优化辐射发射、二极管恢复尖峰的能量和持续时间以及与寄生效应相关的开关电压瞬态的关键因素。这些压摆率主要由内部 MOSFET 的栅极电荷的速率决定，如图 6-13 所示。

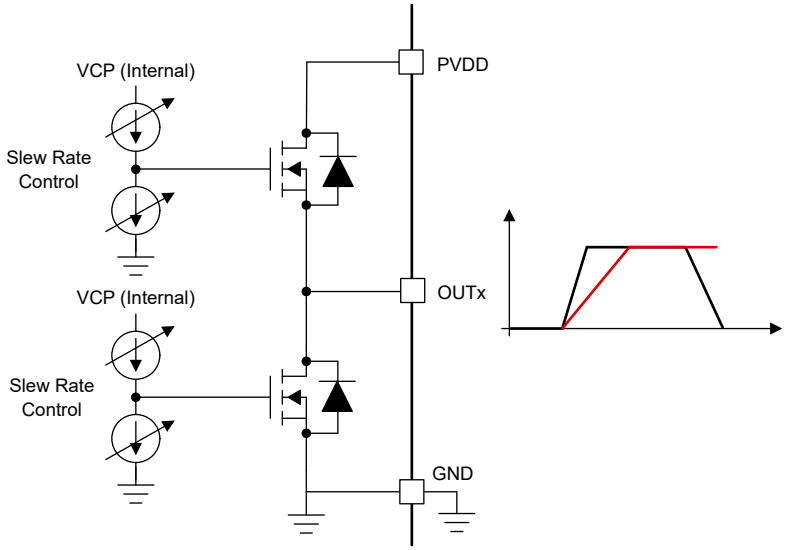


图 6-13. 压摆率电路实现

可以按照图 6-2 通过 SLEW 引脚调整压摆率。有四种压摆率设置可用：25V/µs、50V/µs、125V/µs 或 200V/µs。压摆率根据 OUTx 引脚电压的上升时间和下降时间计算得出，如图 6-14 所示。

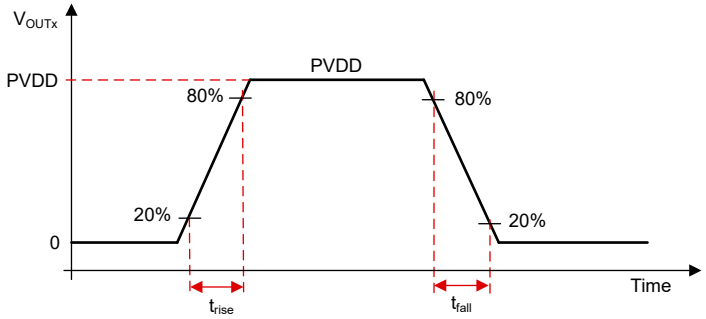


图 6-14. 压摆率时序

6.3.7 跨导（死区时间）

该器件受到全面保护，可防止 MOSFET 发生任何跨导 - 在高侧和低侧 MOSFET 切换期间，DRV2911-Q1 通过插入死区时间 (t_{dead}) 来避免击穿事件。这是通过检测高侧和低侧 MOSFET 的栅源电压 (VGS) 并确保高侧 MOSFET 的 VGS 已达到低于关断电平，然后再打开同一半桥的低侧 MOSFET（反之亦然）来实现的，如图 6-15 和图 6-16 所示。

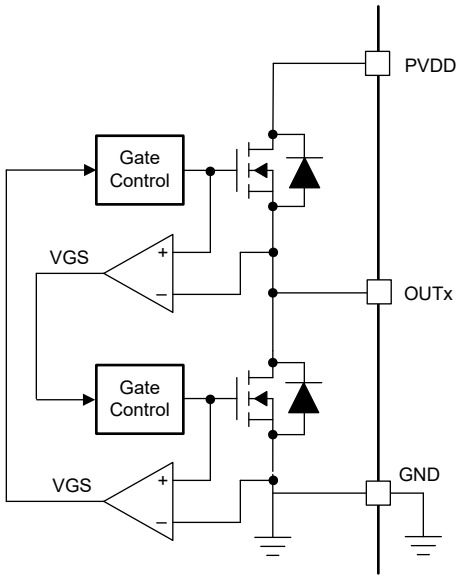


图 6-15. 跨导保护

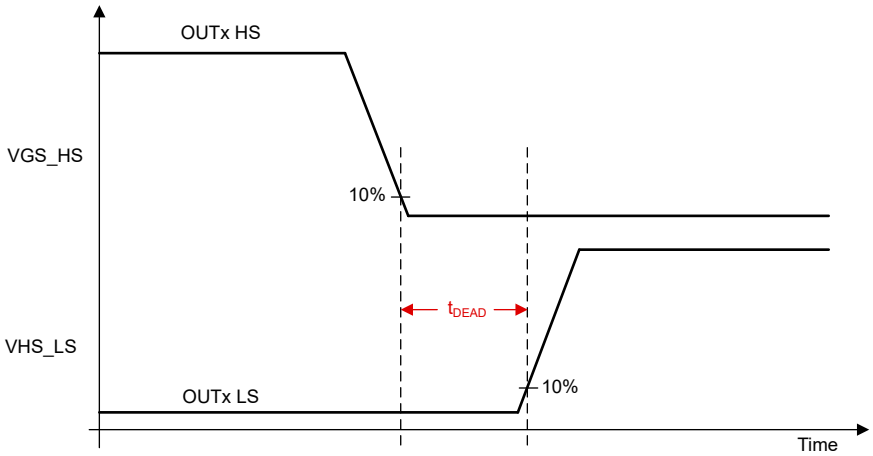


图 6-16. 死区时间

Copyright © 2025 Texas Instruments Incorporated

6.3.8 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与栅极驱动器电压变化之间的时间。该时间由三个部分组成，即数字输入抗尖峰脉冲器延迟、模拟驱动器和比较器延迟。

输入抗尖峰脉冲器可防止输入引脚上的高频噪声影响栅极驱动器的输出状态。为了支持多种控制模式，在输入命令通过器件传播时添加了一个较小的数字延迟。

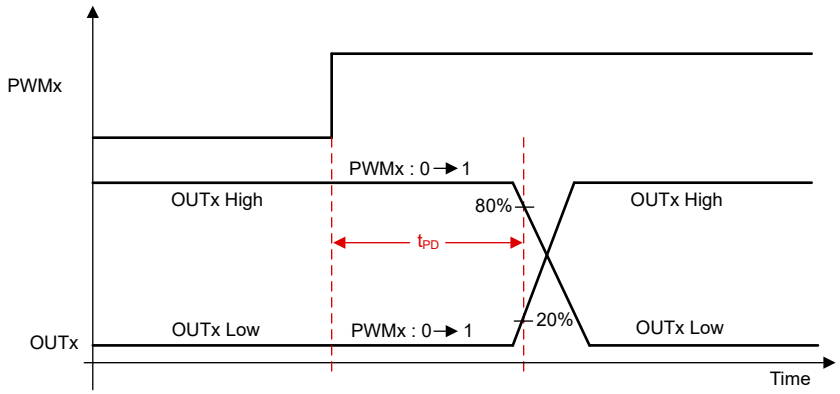


图 6-17. 传播延迟

6.3.9 保护功能

DRV2911-Q1 系列器件可防止 PVDD 欠压、电荷泵欠压和过流事件。以下各节总结了各种故障详细信息。

Copyright © 2025 Texas Instruments Incorporated

6.3.9.1 PVDD 电源欠压锁定

如果在任何时候 PVDD 引脚上的输入电源电压降至低于 V_{UVLO} 阈值（PVDD UVLO 下降阈值），则会禁用所有集成式 FET、驱动器电荷泵和数字逻辑控制器，如图 6-18 所示。消除 PVDD 欠压条件后，将恢复正常运行（驱动器运行）。

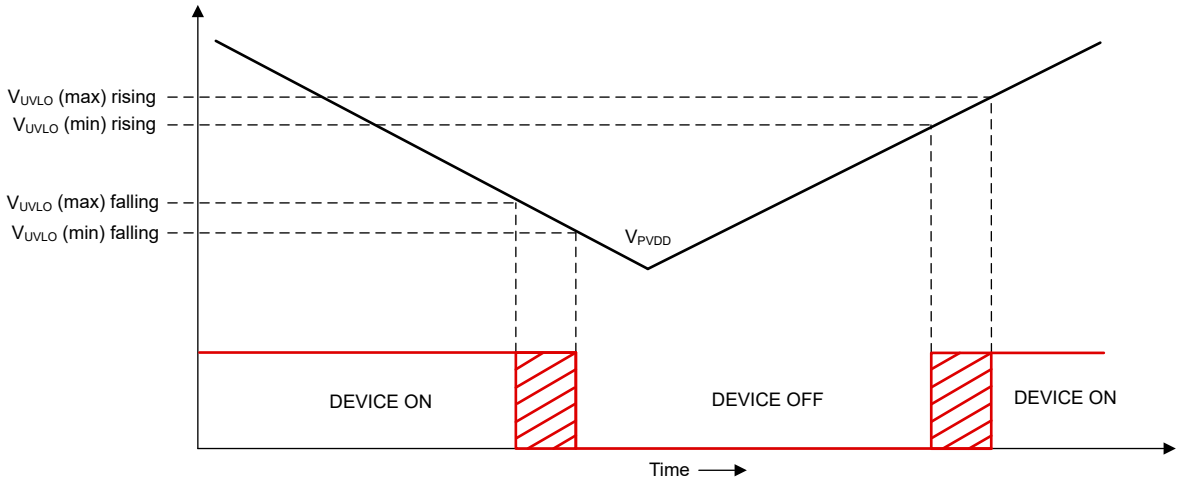


图 6-18. PVDD 电源欠压锁定

6.3.9.2 AVDD 欠压锁定

在任何时候，如果 AVDD 引脚上的电压降至 V_{AVDD_UV} 阈值以下，所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用。消除 AVDD 欠压条件后，将恢复正常运行（驱动器运行）。

6.3.9.3 VCP 电荷泵欠压锁定

如果在任何时候 VCP 引脚（电荷泵）上的电压降至低于电荷泵的 V_{CPUV} 阈值电压，则会禁用所有集成式 FET 并将 FAULTZ 引脚驱动至低电平。VCP 欠压条件清除后，器件将再次开始正常运行（驱动器运行且 FAULTZ 引脚被释放）。

6.3.9.4 过流锁存保护

可以通过监测流经 FET 的电流来检测 MOSFET 过流事件。如果流经 FET 的电流超过 I_{OCP} 阈值的时间长于 t_{OCP} 抗尖峰脉冲时间，则会识别出 OCP 事件，并且输出进入锁存关断状态。I_{OCP} 阈值可通过 OCP/SR 引脚设置，t_{OCP_DEG} 为 0.6µs。

在该模式下发生 OCP 事件后，所有 MOSFET 都被禁用，并且 FAULTZ 引脚被驱动至低电平。OCP 条件清除后，驱动器重新开始正常运行且释放 FAULTZ 引脚。通过切换复位脉冲 (t_{RST}) 的 RESETZ 引脚来清除 OCP 条件。

Copyright © 2025 Texas Instruments Incorporated

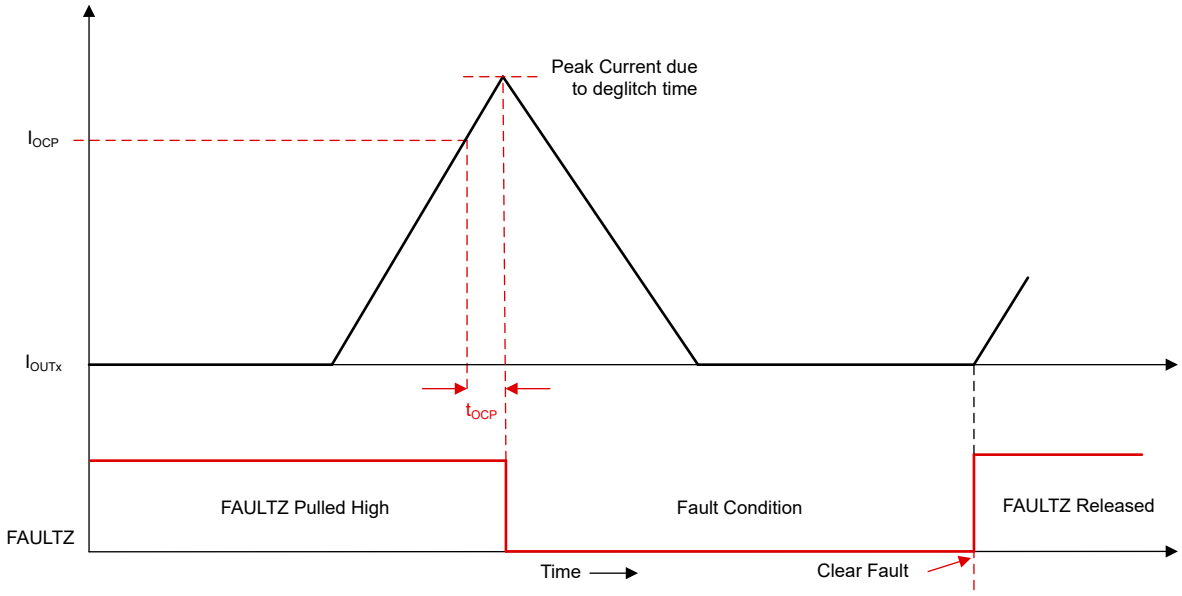


图 6-19. 过流保护 - 锁存关断模式

6.3.9.5 热关断 (OTSD)

DRV2911-Q1 有 2 个用于热关断的内核温度传感器，其中一个靠近 FET，另一个位于内核的其他部分。

6.3.9.5.1 OTSD FET

如果 FET 附近的内核温度超过热关断限值 (T_{TSD_FET}) 的跳变点，则会禁用所有 FET，关闭电荷泵，并将 FAULTZ 引脚驱动至低电平。过热条件清除后，器件将再次开始正常运行（驱动器运行且 FAULTZ 引脚被释放）。无法禁用此保护功能。

6.3.9.5.2 OTSD（非 FET）

如果器件中的内核温度超过热关断限值 (T_{TSD}) 的跳变点，则会禁用所有 FET，关闭电荷泵，并将 FAULTZ 引脚驱动至低电平。过热条件清除后，器件将再次开始正常运行（驱动器运行且 FAULTZ 引脚被释放）。无法禁用此保护功能。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

6.4.1 功能模式

6.4.1.1 复位模式

RESETZ 引脚管理 DRV2911-Q1 的状态。当 RESETZ 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，输出级、电荷泵和 AVDD 会被禁用。必须在 RESETZ 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 RESETZ 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

在睡眠模式下，当 $V_{PVDD} < V_{UVLO}$ 时，所有 MOSFET 都被禁用。

备注

在器件通过 RESETZ 引脚上电和断电期间，FAULTZ 引脚在内部稳压器启用或禁用时保持低电平。启用或禁用稳压器后，FAULTZ 引脚会自动释放。FAULTZ 引脚处于低电平的持续时间不超过 t_{SLEEP} 或 t_{WAKE} 时间。

备注

TI 建议在 FAULTZ 上连接上拉电阻器（即使不使用它），以避免意外进入内部测试模式。如果使用外部电源上拉 FAULTZ，请确保上电时将它拉至 >2.2V，否则器件将进入内部测试模式。

6.4.1.2 工作模式

当 RESETZ 引脚为高电平且 V_{PVDD} 电压大于 V_{UVLO} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在此模式下，电荷泵和 AVDD 稳压器处于活动状态。

6.4.1.3 故障复位（RESETZ 脉冲）

在存在器件锁存故障的情况下，DRV2911-Q1 会进入部分关断状态，以帮助保护功率 MOSFET 和系统。

在故障条件清除后，器件可以通过向 RESETZ 引脚发出复位脉冲，来重新进入运行状态。RESETZ 复位脉冲 (t_{RST}) 由 RESETZ 引脚上的从高到低到高的转换组成。序列的低电平周期应在 t_{RST} 时间窗口内下降，否则器件将启动完整的关断序列（低功耗睡眠模式）。复位脉冲对任何稳压器或其他功能块都没有影响。

6.4.2 OUTOFF 功能

DRV2911-Q1 能够禁用前置驱动器和通过 OUTOFF 引脚绕过数字逻辑的 MOSFET。当 OUTOFF 引脚拉至高电平时，输出 FET 禁用。如果在 OUTOFF 引脚为高电平时 RESETZ 为高电平，则电荷泵和 AVDD 稳压器将处于活动状态，而任何与驱动器相关的故障（例如 OCP）将处于非活动状态。无论 PWMx 输入引脚的状态如何，OUTOFF 引脚都独立禁用输出 FET。

备注

由于 OUTOFF 引脚独立禁用 MOSFET，因此可能会触发故障情况，导致 FAULTZ 逐渐被拉至低电平。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

DRV2911-Q1 是双芯片超声波镜头清洗 (ULC) 系统中的驱动器。与 ULC1001-Q1 控制器器件配套使用时，DRV2911-Q1 能够接收 PWM 输入，并将清洗序列驱动到压电式镜头盖系统 (LCS)。可使用 LC 滤波器将 LCS 的输出信号升压至更高的电压，如图 7-1 所示。

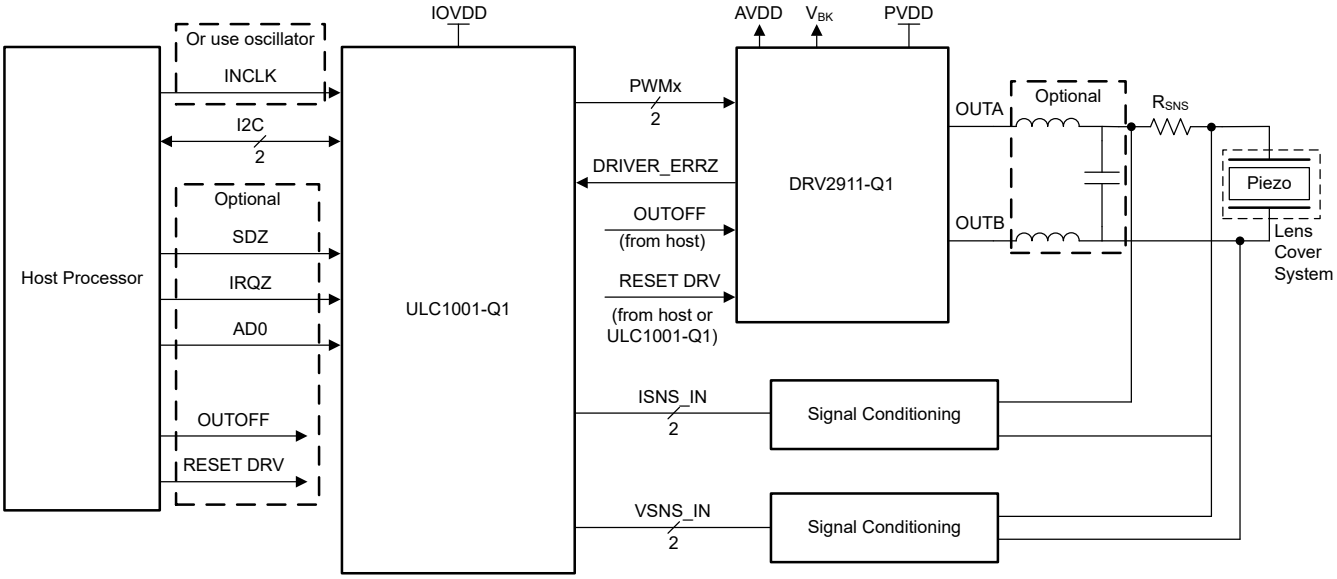


图 7-1. 超声波镜头清洗应用方框图

7.2 典型应用

图 7-2 展示了超声波镜头清洗应用的示例原理图。以下设计过程概述了 DRV2911-Q1 的设置过程。

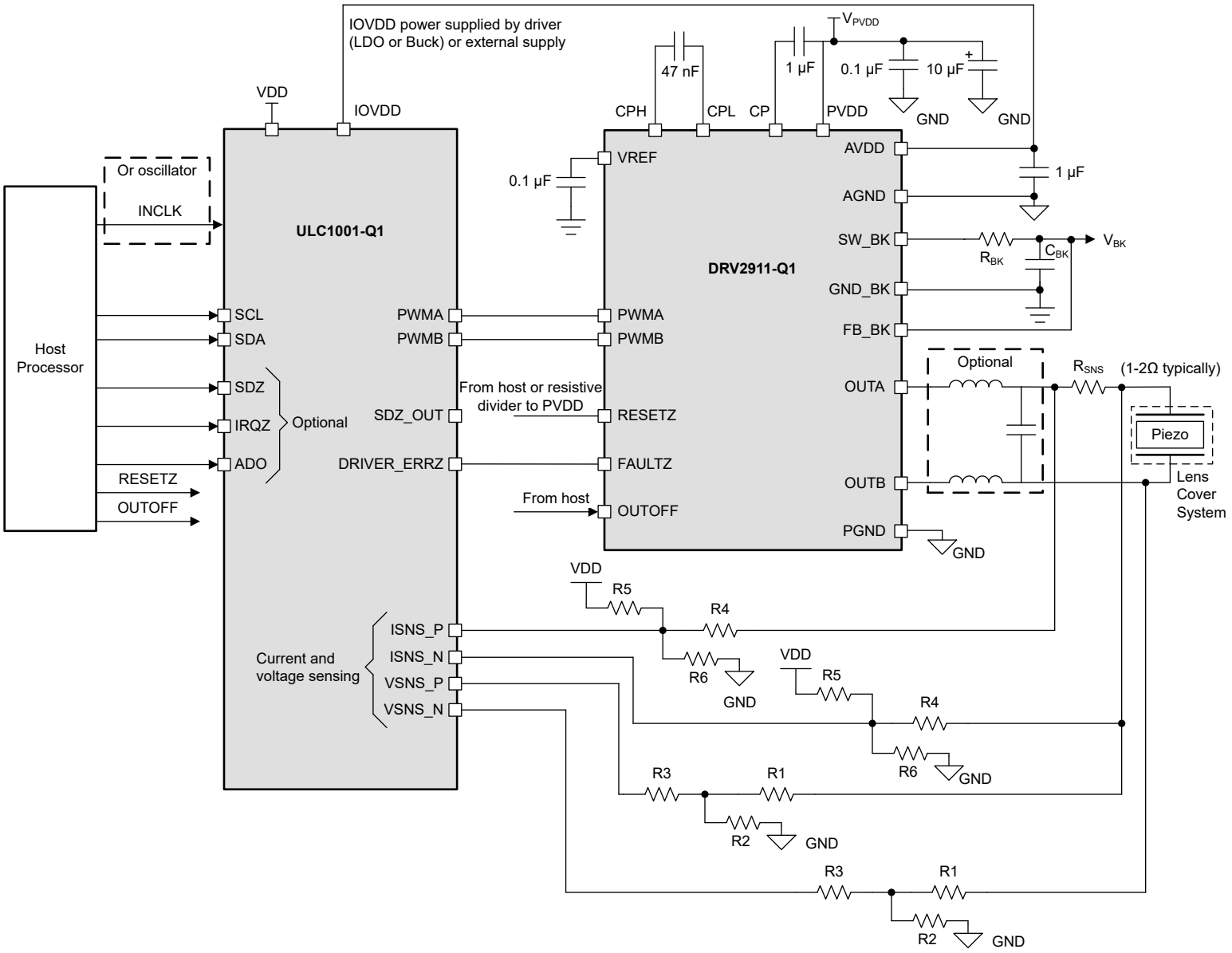


图 7-2. 超声波镜头清洗原理图

7.2.1 设计流程

典型的 ULC 应用利用主机处理器来配置 ULC1001-Q1 控制器，后者随后将 PWM 信号驱动至 DRV2911-Q1。驱动压电式 LCS 之前，DRV2911-Q1 输出可通过一个 LC 滤波器。检测电阻与 OUTA 驱动器输出成一条直线放置，并且在任一侧均具有电流检测连接，这些连接会路由回控制器器件。此外，LCS 上的电压检测连接会路由至控制器。

使用 DRV2911-Q1 的 AVDD 引脚为 ULC1001-Q1 供电时，必须使用主机处理器来控制 DRV2911-Q1 RESETZ 引脚。或者，可以使用连接到 PVDD 的电阻分压器将 RESETZ 设置为高电平。在低功耗复位模式下（RESETZ = 低电平），AVDD 将被禁用，并将 ULC1001-Q1 断电。

Copyright © 2025 Texas Instruments Incorporated

对 ULC1001-Q1 使用独立电源时，可以使用 ULC_TX_mode_cfg2 寄存器将 SDZ_OUT 引脚连接到 RESETZ 以控制 DRV2911-Q1 功能模式。硬件接口 中概述了 SLEW 和 OCP 的其他 DRV2911-Q1 硬件接口引脚设置，这些设置因系统设计而异。

表 6-1 概述了对原理图图 7-2 中所示的无源器件的建议。

最后，应根据驱动 LCS 所需的电流和电压电平来设置 R1 至 R6 的电阻值。请参阅下一节节 7.2.2 了解详细信息。R5 被拉高至 ULC1001-Q1 的 VDD 电源 (1.8V)。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 电压和电流检测电路

ULC1001-Q1 电流和电压检测放大器的每个输入都需要一个分压器，以将传感器上的高电压从 0V 降低至 0.9V。电流和电压检测放大器的电路表示如图 7-3 所示，其中 I-sense Amp 和 V-sense Amp 中的项在 ULC1001-Q1 的内部。分压器中使用的电阻器必须具有 0.1% 的容差，以便实现高精度功率测量。有三个比例因子，即 USER_Params_ohms_sf_Q22、USER_Params_watts_sf_Q18 和 USER_Params_Imag_max_sf_Q27，分别用于将测量值转换为功率、阻抗和电流值。使用以下公式确定比例因子以及电流和电压检测放大器增益。表 7-1 包含用于常见电压电平的典型电阻器值。

备注

VDD 和 GND 之间的等效电阻必须 ≥ 4kΩ。R_F 固定为 84kΩ。

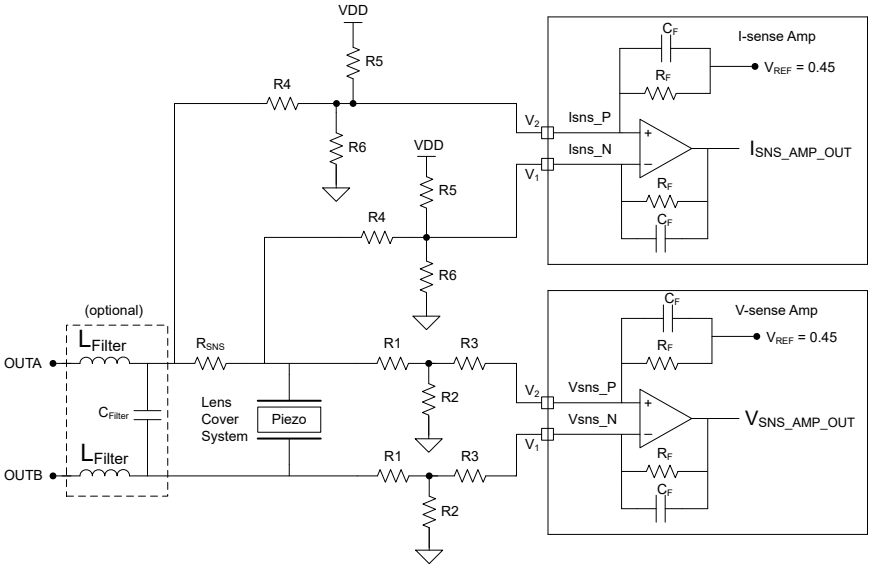


图 7-3. 电压和电流检测放大器

$$\text{USER_Params_ohms_sf_Q22} = \frac{\text{ISNS}_{\text{GAIN}}}{\text{VSNS}_{\text{GAIN}}} \tag{5}$$

$$\text{USER_Params_watts_sf_Q18} = \frac{1}{\text{VSNS}_{\text{GAIN}}} \times \frac{1}{\text{ISNS}_{\text{GAIN}}} \times 0.2025 \tag{6}$$

$$\text{USER_Params_Imag_max_sf_Q27} = \frac{0.9}{\text{ISNS}_{GAIN}} \tag{7}$$

$$\text{ISNS}_{\text{GAIN}}\left(\frac{V}{A}\right) = \frac{\text{R}_\text{f} \times R_{SNS}}{\text{R}_4} \tag{8}$$

$$\text{VSNS}_{\text{GAIN}}\left(\frac{V}{V}\right) = 1.043 \times \frac{\text{R}_\text{f}}{\text{R}_1 \times \text{R}_3 \times \left(\frac{1}{\text{R}_1} + \frac{1}{\text{R}_2} + \frac{1}{\text{R}_3}\right)} \tag{9}$$

表 7-1. 电压和电流检测电阻参考值

R5 = 6kΩ。R6 = 2kΩ

差分电压（峰峰值）	R1	R2	R3	R4
460	1.3MΩ	6.34kΩ	294kΩ	422kΩ
90	360kΩ	30kΩ	1MΩ	150kΩ

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 电压和电流检测电阻参考值（续）

R5 = 6kΩ。R6 = 2kΩ

差分电压（峰峰值）	R1	R2	R3	R4
40	150kΩ	30kΩ	1MΩ	150kΩ

7.3 电源相关建议

7.3.1 大容量电容

配备合适的局部大容量电容是实现出色驱动器性能的一项重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 系统所需的最高电流
- 电源的电容和电流能力
- 电源和负载之间的寄生电感大小
- 可接受的电压纹波

电源和驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电压变化带来的过大的电流需求。当使用足够大的大容量电容时，输出电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

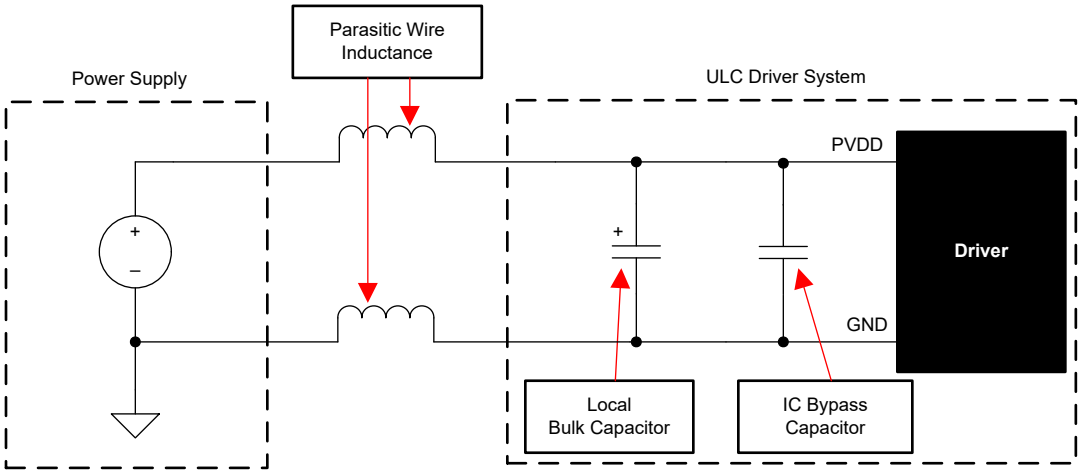


图 7-4. 带外部电源的 ULC 驱动器系统示例设置

大容量电容的额定电压应高于工作电压，以便提供裕度，从而保证出色的驱动器性能。

Copyright © 2025 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

放置大容量电容器时，应尽量缩短驱动器路径的距离。连接金属布线宽度应尽可能宽，并且在连接 PCB 层时应使用许多过孔。这些做法更大限度地减少了电感并允许大容量电容器提供大瞬时电流。

电荷泵、AVDD 和 VREF 电容器等低容值电容器应为陶瓷电容器，并应靠近器件引脚放置。

大电流器件输出应使用宽金属布线。

为减少大瞬态电流进入小电流信号路径的噪声耦合和 EMI 干扰，应在 PGND 和 AGND 之间分区接地。TI 建议将所有非功率级电路（包括散热焊盘）连接到 AGND，以降低寄生效应并改善器件的功率耗散。确保接地端通过网络连接或宽电阻器连接，以减小电压偏移并保持栅极驱动器性能。

器件散热焊盘应焊接到 PCB 顶层接地平面。应使用多个过孔连接到较大的底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的功率损耗。

为了提高热性能，请在 PCB 的所有可能层上尽可能地增大连接到散热焊盘接地端的接地面积。使用较厚的覆铜可以降低结至空气热阻并改善芯片表面的散热。

通过接地隔离将 SW_BK 和 FB_BK 迹线分开，减少降压开关作为噪声耦合到降压外部反馈环路中的情况。尽可能加宽 FB_BK 迹线，以实现更快的负载开关。

图 7-5 显示了 DRV2911-Q1 的布局示例。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 布局示例

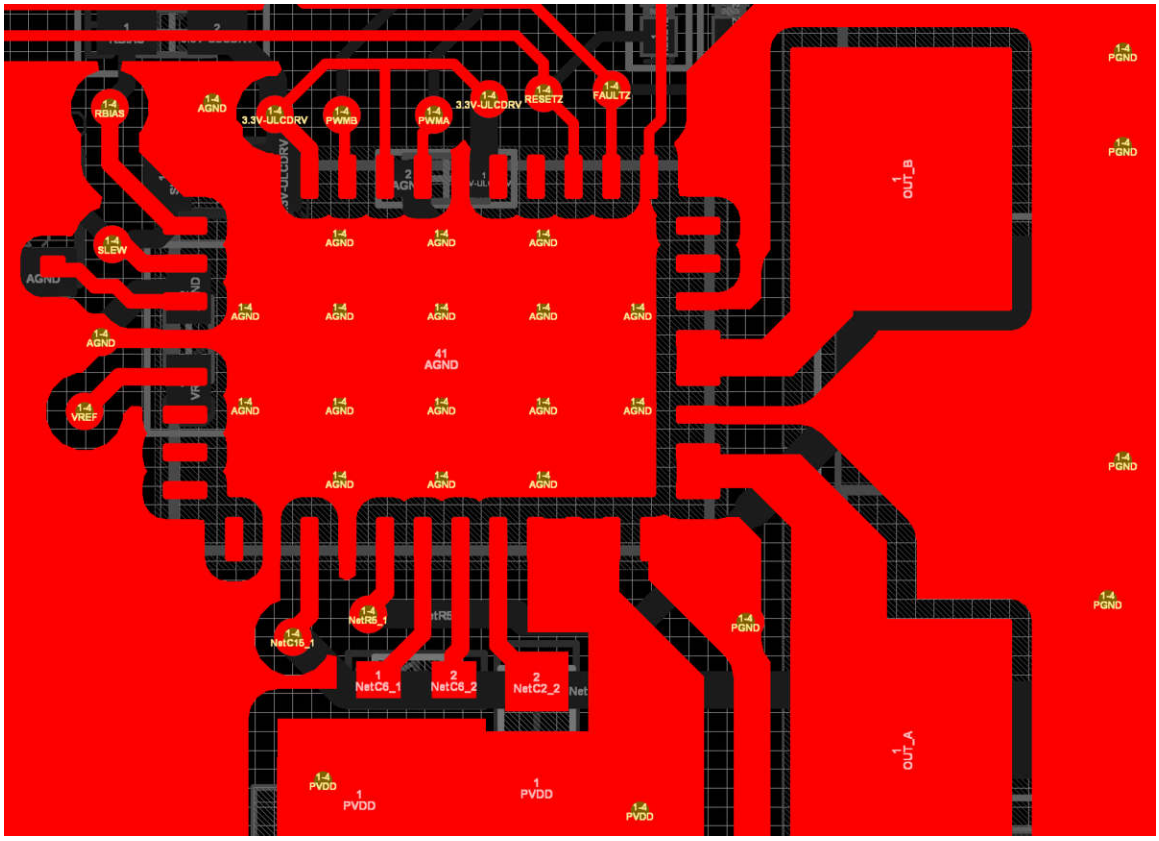


图 7-5. VQFN 封装的建议布局示例

7.4.3 散热注意事项

DRV2911-Q1 具有热关断功能 (TSD)，如前所述。如果内核温度超过 165°C（最低），则会禁用器件，直到温度降至安全水平。

如果该器件有任何进入热关断状态的倾向，则说明功耗过大、散热不足或环境温度过高。

7.4.3.1 功率耗散

DRV2911-Q1 中的功率损耗包括待机功率损耗、LDO 功率损耗、FET 导通和开关损耗以及二极管损耗。FET 导通损耗在 DRV2911-Q1 的总功率耗散中占主导地位。总器件耗散是两个半桥中每个半桥耗散的总功率。器件可耗散的最大功率取决于环境温度和散热。请注意，RDS,ON 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在设计 PCB 和散热时，应考虑这一点。

用于计算每个损耗的公式摘要如表 7-2 所示。

表 7-2. DRV2911-Q1 功率损耗近似值

损耗类型	功率损耗近似值计算
待机功耗	$P_{standby} = V_{PVDD} \times I_{PVDD_TA}$
LDO	$P_{LDO} = (V_{PVDD}-V_{AVDD}) \times I_{AVDD}$
FET 导通	$P_{CON} = 2 \times (I_{PK})^2 \times R_{ds,on(TA)}$
FET 开关	$P_{SW} = I_{PK} \times V_{PVDD} \times t_{rise/fall} \times f_{PWM}$
Diode	$P_{diode} = 2 \times I_{PK} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- *EVM 页面* ULC1001-DRV2911-EVM
- *PowerPAD™ 散热增强型封装*，SLMA002
- *PowerPAD™ 速成*，SLMA004

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision * (June 2024) to Revision A (July 2025)	Page
• 已更改引脚 32，从：AVDD 更改为：*引脚配置和功能* 中的 AGND	3

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航面板。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV2911QRGFRQ1	Active	Production	VQFN (RGF) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	D2911Q1
DRV2911QRGFRQ1.A	Active	Production	VQFN (RGF) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	D2911Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

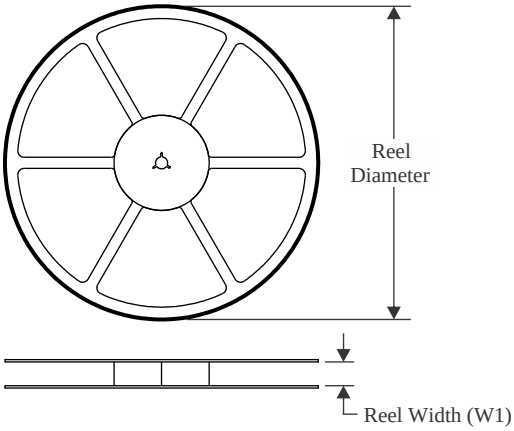
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

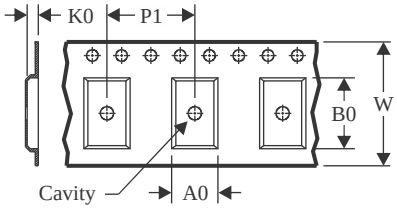
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

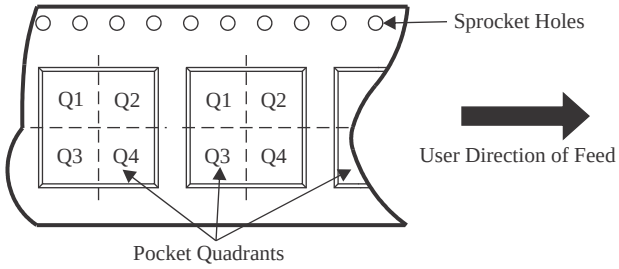


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

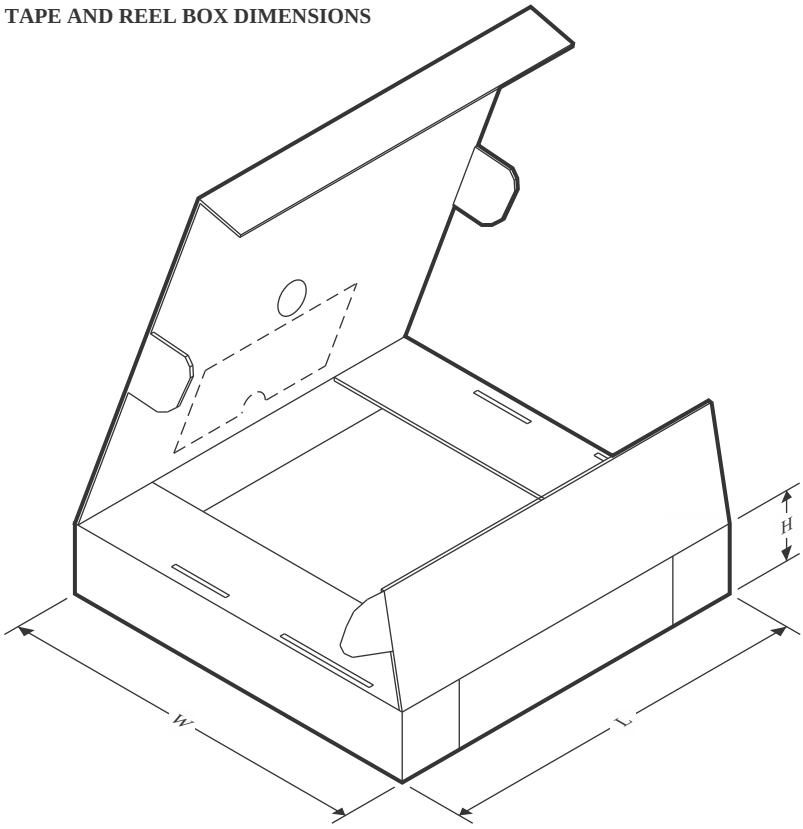
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV2911QRGFRQ1	VQFN	RGF	40	3000	330.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV2911QRGFRQ1	VQFN	RGF	40	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

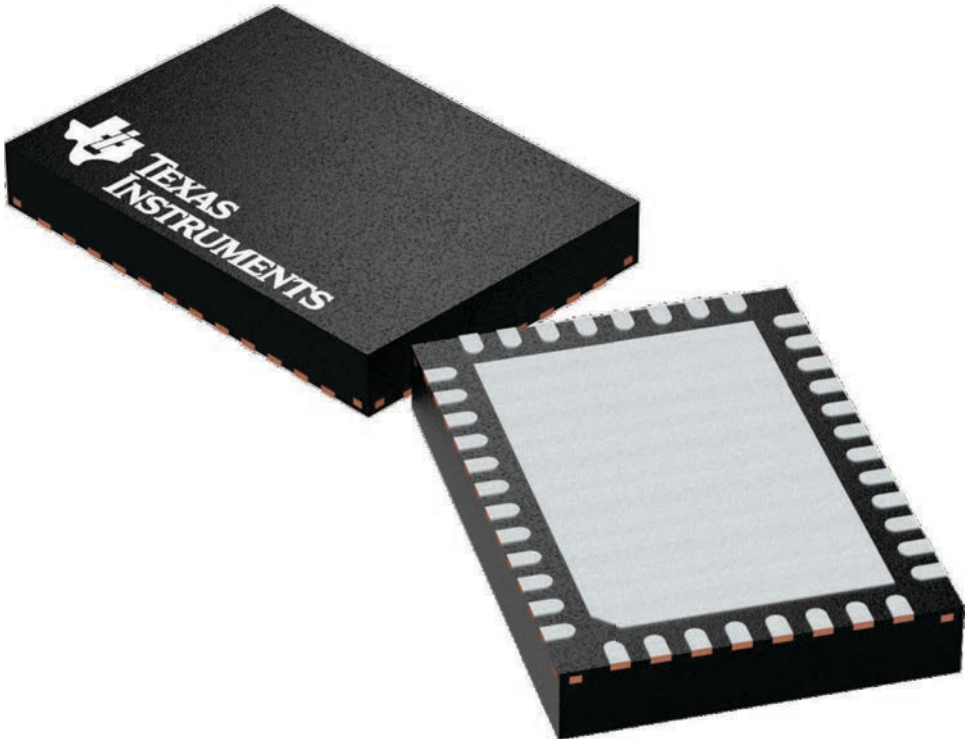
RGF 40

VQFN - 1 mm max height

5 x 7, 0.5 mm pitch

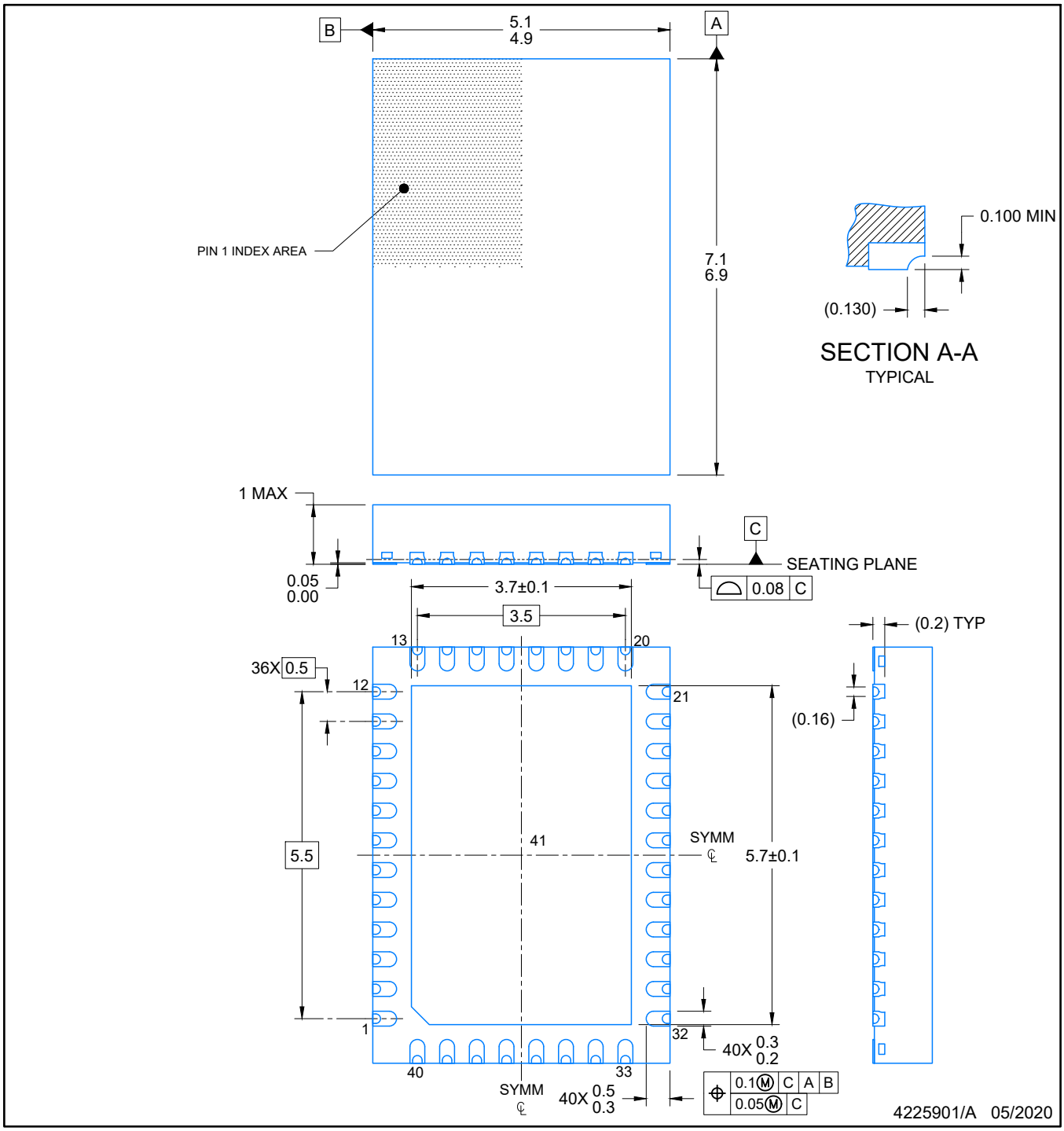
PLASTIC QUAD FLAT PACK- NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



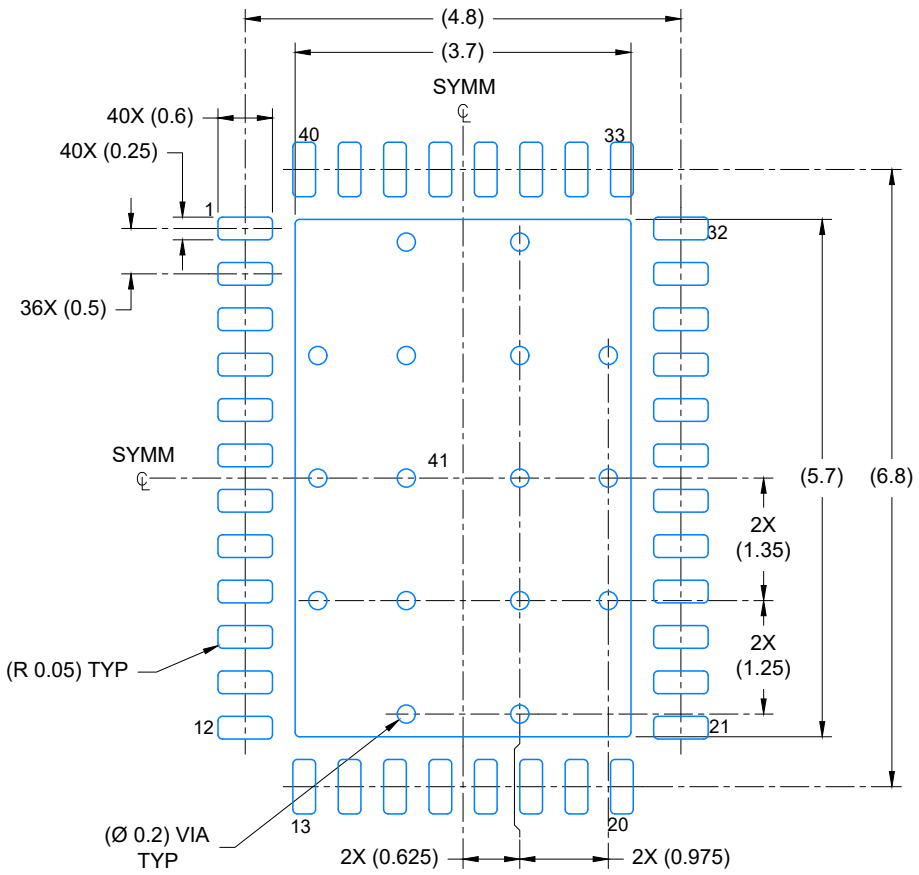
4225115/A

PLASTIC QUAD FLATPACK- NO LEAD

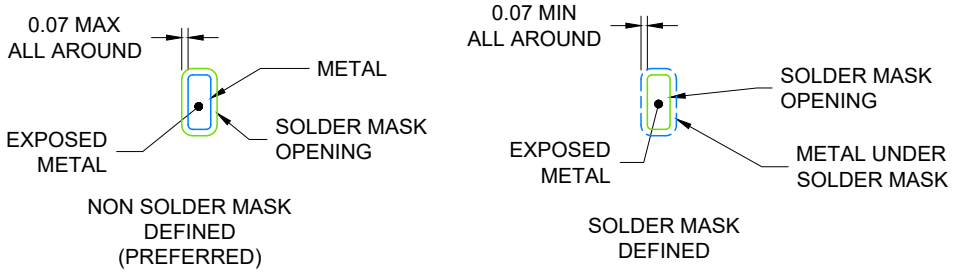


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

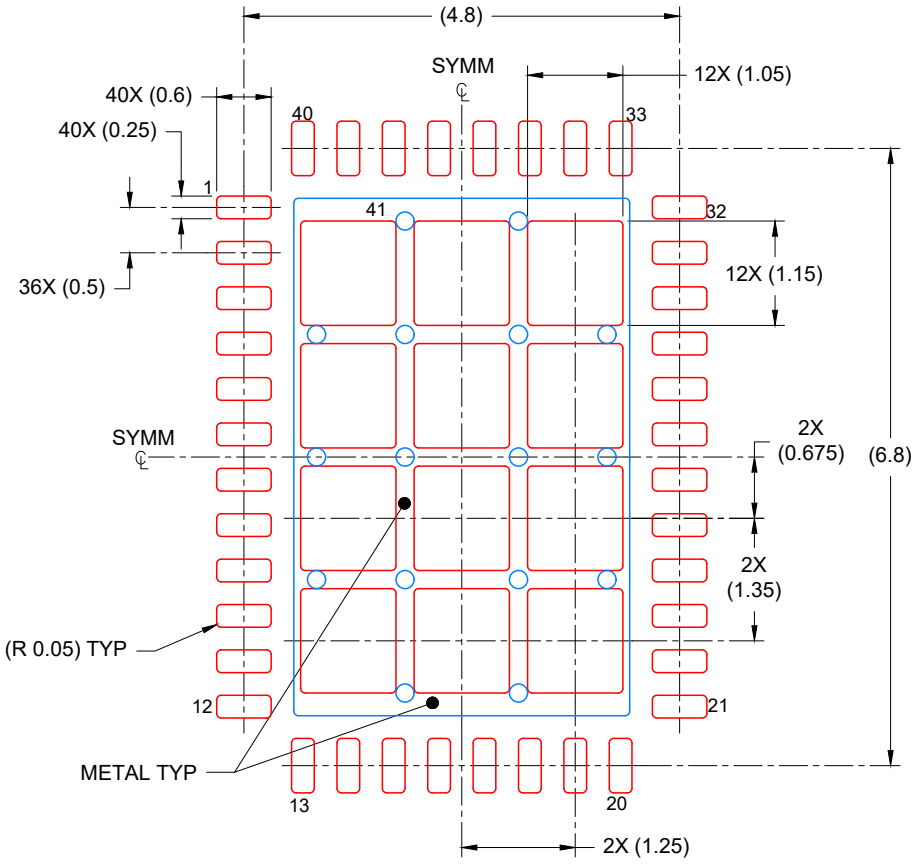


SOLDER MASK DETAILS

4225901/A 05/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
69% PRINTED COVERAGE BY AREA
SCALE: 12X

4225901/A 05/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月