TCA9617B 电平转换 FM+ I²C 总线中继器

1 特性

- 双通道双向 I²C 缓冲器
- 支持标准模式、快速模式 (400kHz) 和快速模式+ (1MHz) I²C 操作
- 在 A 侧，工作电源电压范围为 0.8V 至 5.5V
- 在 B 侧，工作电源电压范围为 2.2V 至 5.5V
- 0.8V 至 5.5V 和 2.2V 至 5.5V 的电压电平转换
- 针对 TCA9517 的封装和功能替代产品
- 高电平有效中继器使能输入
- 漏极开路 I²C I/O
- 5.5V 电压容错 I²C 和启用输入支持
- 无闭锁操作
- 断电高阻抗 I²C 总线引脚
- 器件上支持时钟扩展和多控制器仲裁
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求
  - 4000V 人体放电模型
  - 1500V 充电器件模型

2 应用

- 服务器
- 路由器（电信交换设备）
- 工业设备
- 包含多个 I²C 目标和/或长 PCB 布线的产品

3 说明

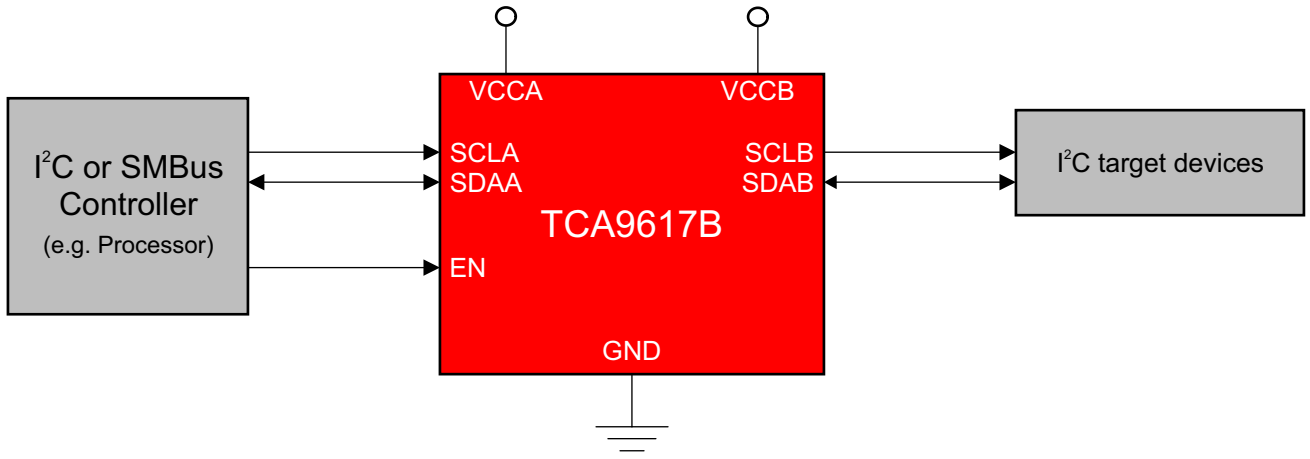
TCA9617B 是一款用于 I²C 总线和 SMBus 系统的 BiCMOS 双路双向缓冲器。此器件可在混合模式应用中提供低电压（低至 0.8V）和较高电压（2.2V 至 5.5V）间的双向电压电平转换（上行转换和下行转换）。电平转换期间，这个器件在不损失系统性能的情况下可扩展 I²C 和相似的总线系统。

TCA9617B 缓冲 I²C 总线上的串行数据 (SDA) 和串行时钟 (SCL) 信号，从而将两条 550pF 的总线连接至一个 I²C 应用。这款器件也可用于将总线隔离为电压和电容两部分。

封装信息

器件型号	封装(1)	封装尺寸(2)
TCA9617B	VSSOP (8)	3mm × 3mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 时序要求 7
5.7 典型特性 7
6 参数测量信息 8
7 详细说明 10
7.1 概述 10
7.2 功能方框图 11
7.3 特性说明 11
7.4 器件功能模式 12
8 应用和实施 13
8.1 应用信息 13
8.2 典型应用 13
8.3 电源相关建议 16
8.4 布局 17
9 器件和文档支持 18
9.1 接收文档更新通知 18
9.2 支持资源 18
9.3 商标 18
9.4 静电放电警告 18
9.5 术语表 18
10 修订历史记录 18
11 机械、封装和可订购信息 19

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

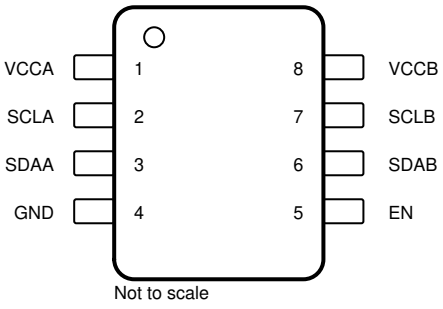


图 4-1. DGK 封装，8 引脚 VSSOP
（顶视图）

表 4-1. 引脚功能

引脚		说明
名称	编号	
VCCA	1	A 侧电源电压（0.8V 至 5.5V）
SCLA	2	I^2C SCL 线，A 侧。通过上拉电阻器连接到 V_{CCA}
SDAA	3	I^2C SDA 线，A 侧。通过上拉电阻器连接到 V_{CCA}
GND	4	电源接地
EN	5	高电平有效中继器使能输入。在内部通过弱上拉电阻器连接到 V_{CCB}。
SDAB	6	I^2C SDA 线，B 侧。通过上拉电阻器连接到 V_{CCB}
SCLB	7	I^2C SCL 线，B 侧。通过上拉电阻器连接到 V_{CCB}
VCCB	8	B 侧和器件电源电压（2.2V 至 5.5V）

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CCB}	电源电压范围		-0.5	6.5	V
V_{CCA}	电源电压范围		-0.5	6.5	V
V_I	使能输入电压范围(2)		-0.5	6.5	V
V_{IO}	I^2C 总线电压范围(2)		-0.5	6.5	V
I_{IK}	输入钳位电流	$V_I < 0$		-50	mA
I_{OK}	输出钳位电流	$V_O < 0$		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 如果遵守输入和输出电流额定值，则允许超出输入负电压和输出电压额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±4000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CCA}	电源电压，A 侧总线		0.8	V_{CCB}	V
V_{CCB}	电源电压，B 侧总线		2.2	5.5	V
I_{OLA}	低电平输出电流			30	mA
I_{OLB}	低电平输出电流		0.1	30	mA
T_A	环境温度		-40	85	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		DGK	单位
		8 引脚	
$R_{\theta JA}$	结至环境热阻	171.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	77.5	°C/W
$R_{\theta JB}$	结至电路板热阻	107.1	°C/W
Ψ_{JT}	结至顶部特征参数	12.3	°C/W
Ψ_{JB}	结至电路板特征参数	105.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

V_{CCB} = 2.2V 至 5.5V，GND = 0V，T_A = –40°C 至 85°C（除非另有说明）

参数			测试条件	V_{CCB}	最小值	典型值(1)	最大值	单位
V_{IK}	输入钳位电压		I_I = -18mA	2.2V 至 5.5V	-1.2		0	V
V_{OL}	低电平输出电压	SDAB、SCLB	I_{OL} = 100μA 或 30mA，V_{ILA} = 0V	2.2V 至 5.5V	0.48	0.53	0.58	V
		SDAA、SCLA	I_{OL} = 30mA			0.1	0.23	
V_{IH}	高电平输入电压	SDAA、SCLA		2.2V 至 5.5V	0.7 × V_{CCA}		5.5	V
		SDAB、SCLB			0.7 × V_{CCA}		5.5	
		EN			0.7 × V_{CCB}		5.5	
V_{IL}	低电平输入电压	SDAA、SCLA		2.2V 至 5.5V			0.3 × V_{CCA}	V
		SDAB、SCLB					0.4	
		EN					0.3 × V_{CCB}	
I_{CCA}	V_{CCA} 的静态电源电流		两个通道均为低电平，SDAA = SCLA = GND 且 I_{OLB} = 100μA，或 SDAA = SCLA = 开路且 SDAB = SCLB = GND	2.2V 至 5.5V			13	μA
I_{CCB}	静态电源电流		两个通道都为高电平，SDAA = SCLA = VCCA，B 侧通过上拉电阻器上拉至 VCCB	2.2V 至 5.5V		4.5	7	mA
			两个通道均为低电平，SDAA = SCLA = GND，I_{OLB} = 100μA	5.5V		5.7	8.1	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

V_{CCB} = 2.2V 至 5.5V，GND = 0V，T_A = –40°C 至 85°C（除非另有说明）

参数			测试条件	V_{CCB}	最小值	典型值 (1)	最大值	单位
I_I	输入漏电流	SDAB、SCLB	V_I = V_{CCB}	2.2V 至 5.5V	-1		1	μA
			V_I = 0.2V，EN = 0		-10		10	
			V_I = V_{CCB} – 0.2V		-1		1	
			V_I = 5.5V，V_{CCA} = 0V	0V	-10		10	
		SDAA、SCLA	V_I = V_{CCA}	2.2V 至 5.5V	-1		1	
			V_I = 0.2V，EN = 0		-10		10	
			V_I = V_{CCA} – 0.2V		-1		1	
			V_I = 5.5V，V_{CCA} = 0V	0V	-10		10	
		EN	V_I = V_{CCB}		-1		1	
			V_I = 0.2V		-25			
C_I	输入电容	EN	V_I = 3V 或 0V	3.3V			7	pF
C_{IO}	输入/输出电容	SCLA、SDAA	V_I = 3V 或 0V	3.3V			9	pF
				0V			9	
		SCLB、SDAB	V_I = 3V 或 0V	3.3V			14	
				0V			14	

(1) 所有典型值均在 T_A=25°C 下测得。

Copyright © 2026 Texas Instruments Incorporated

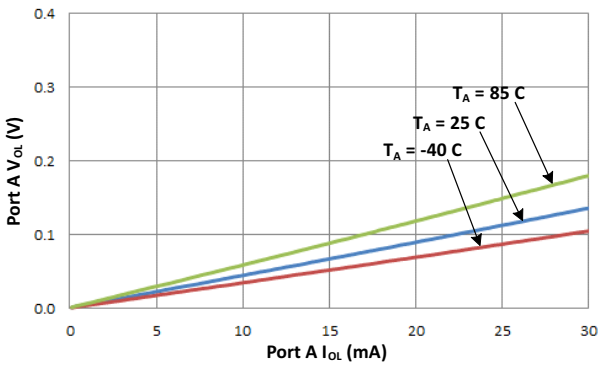
5.6 时序要求

V_{CCA} = 0.8V 至 5.5V, V_{CCB} = 2.2V 至 5.5V，GND = 0V，TA = –40°C 至 85°C（除非另有说明）(1) (2) (3)

参数		从（输入）	至（输出）	测试条件	最小值	典型值	最大值	单位
t_{PLH}	传播延迟	SDAB、SCLB	SDAA、SCLA		35		90	ns
t_{PLH}	传播延迟	SDAA、SCLA	SDAB、SCLB	V_{CCB} ≤ 3V	50		137	ns
t_{PLH}	传播延迟	SDAA、SCLA	SDAB、SCLB	V_{CCB} > 3V	59		250	ns
t_{PHL}	传播延迟	SDAB、SCLB	SDAA、SCLA		32		144	ns
t_{PHL}	传播延迟	SDAA、SCLA	SDAB、SCLB		28		140	ns
t_{TLH} (4)	转换时间	B 侧	30%	70%		88		ns
		A 侧				37		
t_{THL}	转换时间	B 侧	70%	30%	5.40		32	ns
		A 侧			1.40		40	
$t_{su,en}$ (5)	建立时间，达到启动条件前 EN 保持高电平的时间				100			ns

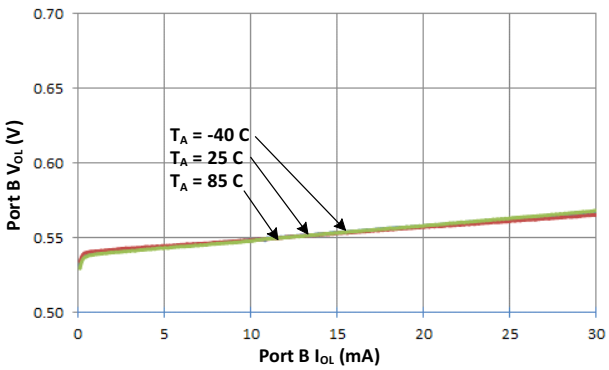
(1) 时间由以下负载确定：B 侧为 240Ω ±1% 和 400pF ±10%，以及 A 侧为 240Ω ±1% 和 200pF ±10%。不同的负载电阻和电容会改变上升时间，进而改变传播延迟和切换时间。
(2) 时间是通过将 A 侧信号上拉至 V_{CCA} 并将 B 侧信号上拉至 V_{CCB} 来指定的。
(3) 典型值在 V_{CCA} = 0.9V 以及 V_{CCB} = 2.5V（T_A = 25°C 时）的条件下测得（除非另有说明）。
(4) T_{TLH} 由上拉电阻和负载电容决定
(5) 仅当全局总线和中继器端口处于空闲状态时，EN 才应更改状态

5.7 典型特性



V_{CCA} = 0.9V V_{CCB} = 2.2V

图 5-1. 端口 A V_{OL} 与 I_{OL} 间的关系



V_{CCA} = 0.9V V_{CCB} = 2.2V

图 5-2. 端口 B V_{OL} 与 I_{OL} 间的关系

Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

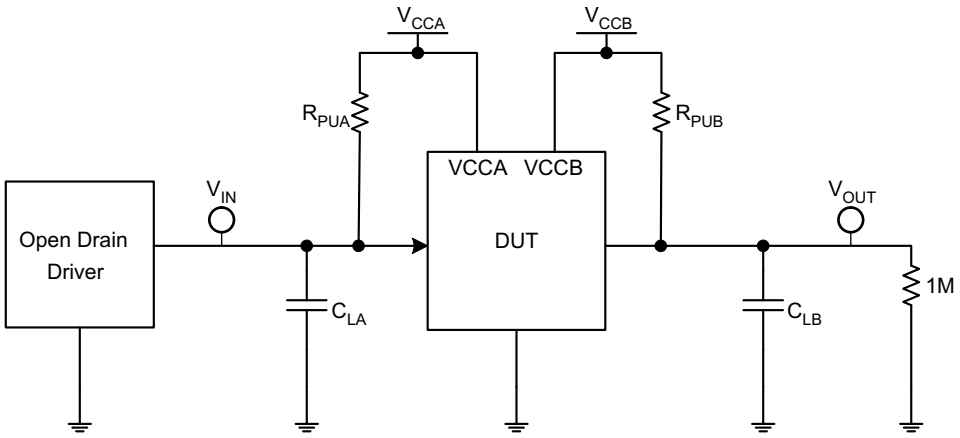
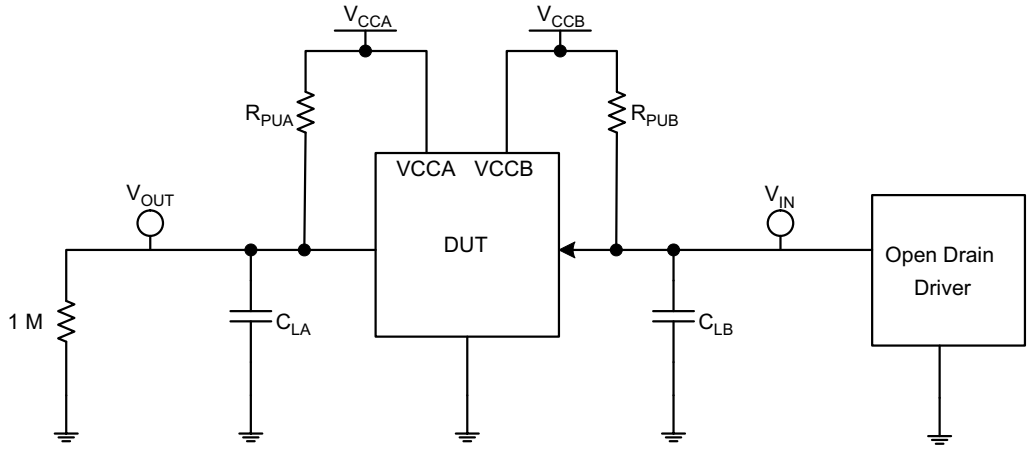


图 6-1. 从 A 到 B 的开漏输出测试电路



A. V_{CCA} = 0.9V
B. V_{CCB} = 2.5V
C. 侧和 B 侧上的 R_{PUA} = R_{PUB} = 240Ω
D. A 侧 C_{LA} = 200pF，B 侧 C_{LB} = 400pF（包括探头和夹具电容）
E. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 10MHz，Z_O = 50Ω，压摆率 ≥ 1V/ns
F. 每次测量这些输出中的一个，每次测量转换一次。

图 6-2. 从 B 到 A 的开漏输出测试电路

Copyright © 2026 Texas Instruments Incorporated

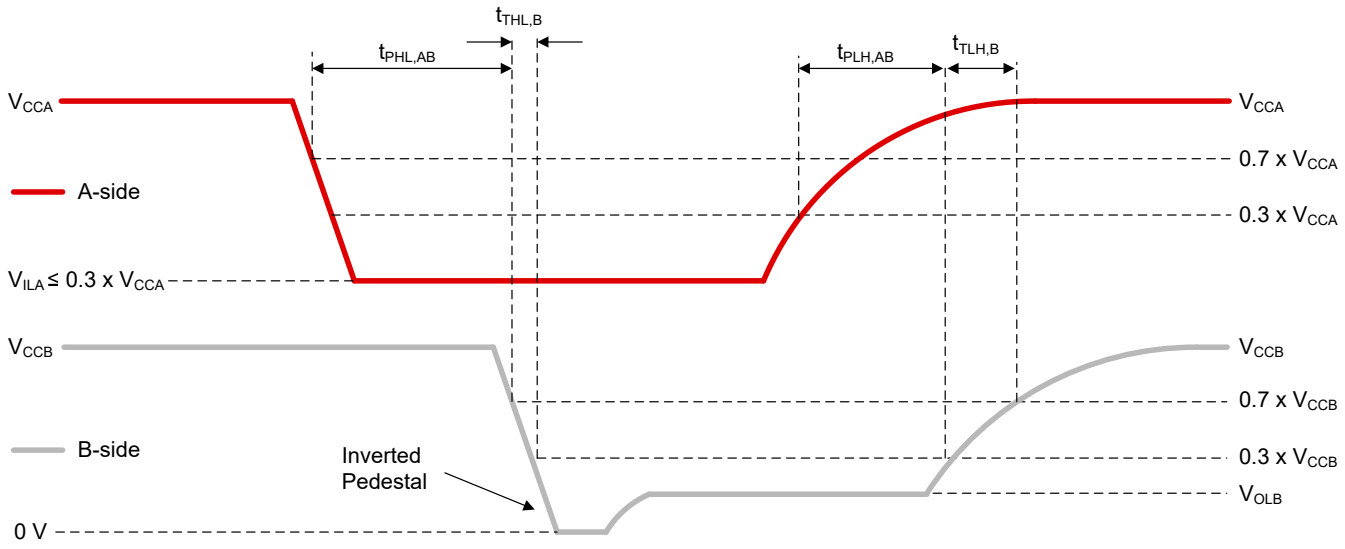


图 6-3. 传播延迟和转换时间（A 到 B）

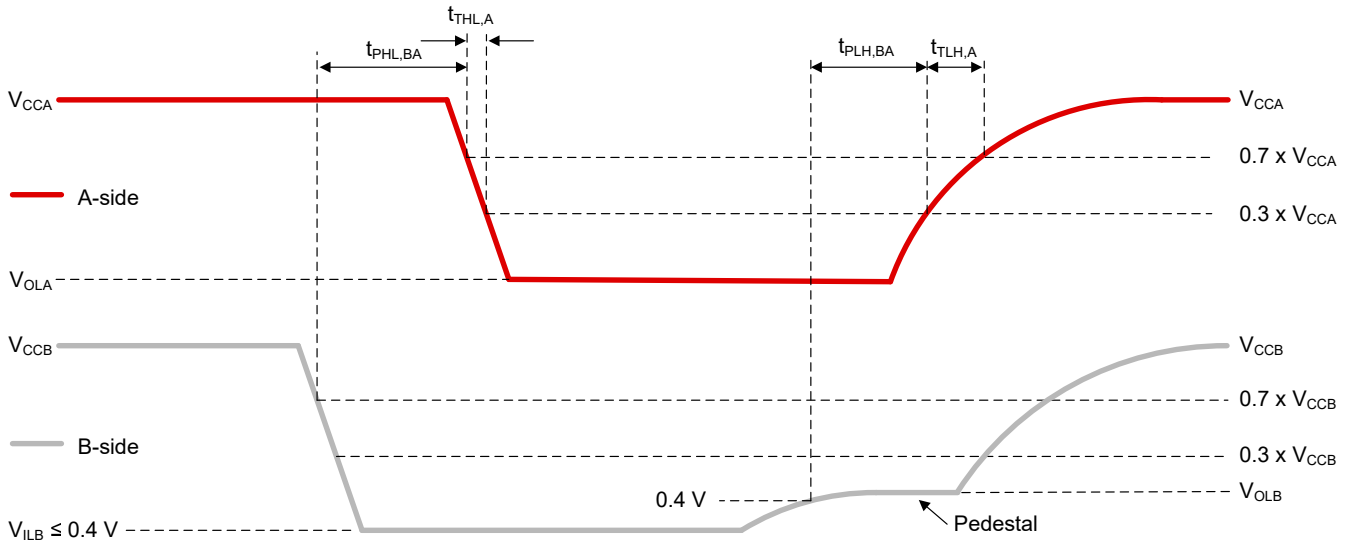


图 6-4. 传播延迟和转换时间（B 到 A）

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

TCA9617B 是一款用于 I^2C 总线和 SMBus 系统的 BiCMOS 双路双向缓冲器。当与标准 I^2C 系统一同工作时，需要用上拉电阻在经缓冲的总线上提供逻辑高电平。TCA9617B 具有 I^2C 总线的标准开漏配置。这些上拉电阻器的阻值由系统决定，但中继器的每一侧都必须有一个上拉电阻器。该器件设计用于标准模式、快速模式和快速模式+ I^2C 器件。当任一电源断电时，SCL 和 SDA 线路应处于高阻抗状态。

TCA9617B B 侧驱动器的工作电压范围为 2.2V 至 5.5V。此内部缓冲器的输出低电平为 V_{OLB}，但当 I/O 被外部驱动为低电平时，输入电压必须低于 V_{ILB}。较高电压输出低电平信号 (V_{OLB}) 被称为缓冲低电平或者静态电压偏移。当 B 侧 I/O 在内部被驱动为低电平时，输入 (V_{ILB}) 并不将输出电压 (V_{OLB}) 识别为低电平。当输入低电平状态被释放时，这一特性防止了锁定情况的发生。B 侧此类设计可防止将 TCA9617B 与另一个 TCA9617B B 侧或者其他包含静态或动态失调电压的缓冲器串联使用。这是因为这类器件并不将经缓冲的低电平信号识别为有效低电平，并且不再将信号作为经缓冲的低电平进行传送。

TCA9617B A 侧驱动器的工作电压范围为 0.8V 至 V_{CCB}，不具有缓冲低电平特性（或静态失调电压）。这意味着 B 侧的低电平信号输入转换成 A 侧的 V_{OLA}。这可以适应低压逻辑的较小电压摆幅。A 侧上的输出下拉会驱动至 V_{OLA}，输入电平会设置为 V_{CCA} 的 30%，以便满足低压侧电源低至 0.8V 的系统对于较低低电平的需求。

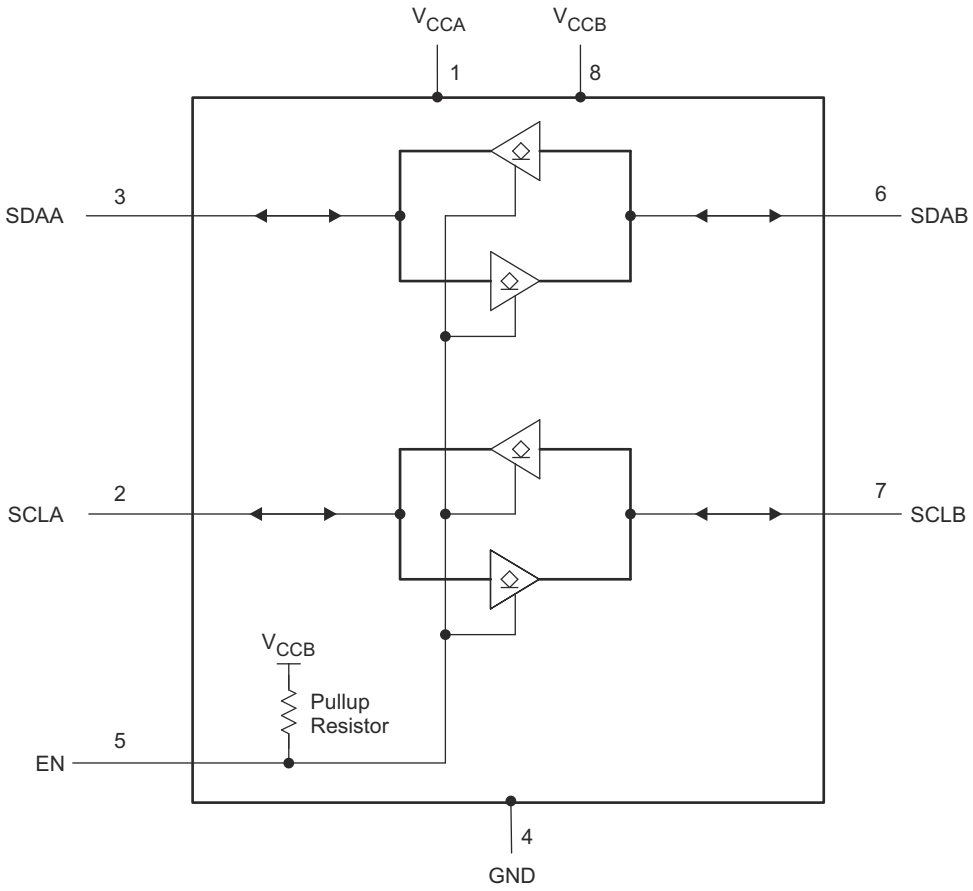
可以将两个或更多 TCA9617B 的 A 侧连接在一起，从而允许星型拓扑结构，其中 A 侧作为公共总线。此外，A 侧可以直接连接到任何其他具有静态或动态偏移电压的缓冲器。可以将多个 TCA9617B 串联在一起（相邻器件间通过 A 侧和 B 侧相连），偏移电压不会增大，只需考虑飞行时间延迟。

TCA9617B 包含一个加电电路，可使输出驱动器保持关断状态，直到 V_{CCB} 高于 2V 且 V_{CCA} 高于 0.7V。V_{CCA} 只能用于为 A 侧输入比较器提供基准，并用于电源正常状态检测电路。TCA9617B 内部电路和所有 I/O 均由 V_{CCB} 引脚供电。

通电后，EN 为高电平，并且 A 侧降至 V_{CCA} 的 30% 以下时，会打开相应的 B 侧驱动器（SDA 或 SCL），并在稳定到大约 V_{OLB} 之前将 B 侧暂时降至 0V。当 A 侧上升至 V_{CCA} 的 30% 以上时，B 侧下拉驱动器将关断，外部上拉电阻器将该引脚拉至高电平。如果 B 侧首先下降至低于 V_{ILB} 时，A 侧驱动器将导通，并将 A 侧驱动至 V_{OLA}。当 B 侧上升至 V_{ILB} 以上时，B 侧下拉驱动器将关断，外部上拉电阻器将该引脚拉至高电平。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图



Copyright © 2017, Texas Instruments Incorporated

7.3 特性说明

7.3.1 双向电平转换器

TCA9617B 可在混合模式应用中提供低电压（低至 0.8V）和较高电压（2.2V 至 5.5V）间的双向电压电平转换（上行转换和下行转换）。

7.3.2 低电平到高电平转换特性（B 至 A）

图 7-1 显示了器件 B 侧的失调电压。如图 7-1 所示，目标释放和 B 侧上升，并上升到 V_{OLB} 且保持在那里，直到 A 侧上升到 V_{CCA} 的 30% 以上。这种影响会导致低电平信号具有一个*基座*。一旦 A 侧的电压超过 V_{CCA} 的 30%，B 侧开始上升到 V_{CCB}。

由于 B 侧基座和静态失调电压的性质，当 B 侧从外部驱动为低电平而上升到 V_{OLB} 失调电压时，会出现轻微的过冲。

7.3.3 高电平到低电平转换特性（A 到 B）

当总线的 A 侧被驱动至 V_{CCA} 的 30%时，B 侧驱动器导通。这会在短时间内将 B 侧驱动至 0V（请参阅图 7-1），然后 B 侧上升到静态失调电压（TCA9617B 的 V_{OLB}）。这种效应称为反相基座，可以让 B 侧驱动至逻辑低电平的速度比驱动至静态偏移的速度快得多。驱动到静态失调电压需要延长下降时间以防止振铃。

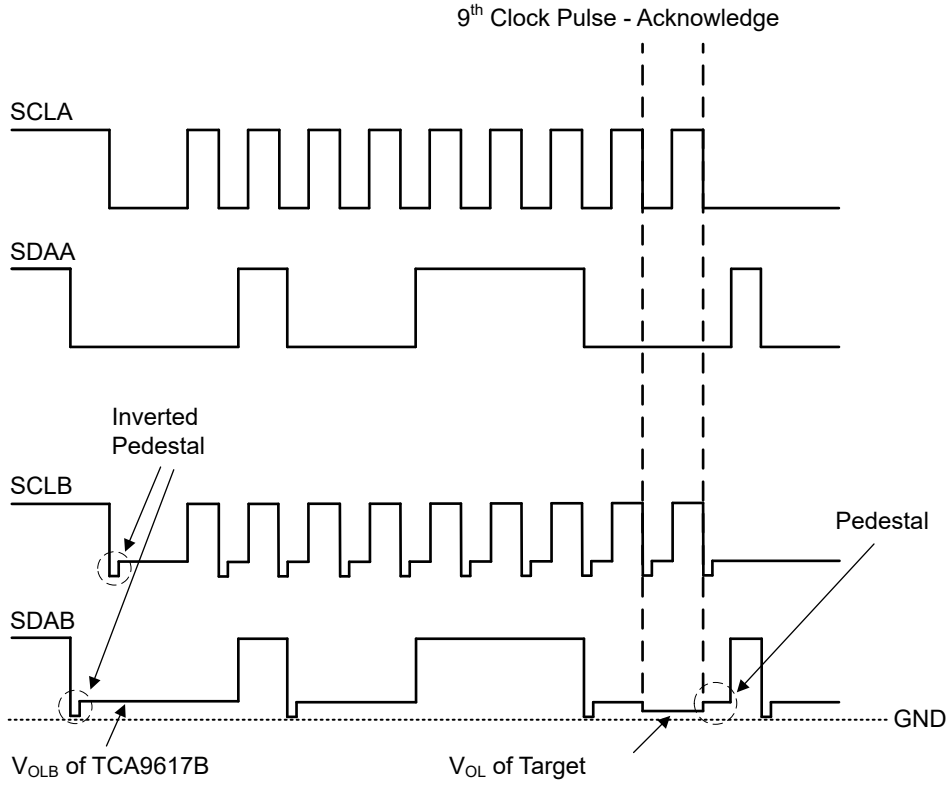


图 7-1. 总线 A（0.8V 至 5.5V 总线）及总线 B（2.2V 至 5.5V 总线）波形

7.4 器件功能模式

TCA9617B 具有一个高电平有效的使能 (EN) 输入端，其通过内部上拉电阻器连接至 V_{CCB}，使用户能够选择何时激活中继器。这可用于在加电重置时分离行为异常的目标。在 I^2C 操作期间，EN 绝不能改变状态。如果在总线运行期间禁用，可能会挂起总线。在总线周期中启用部分方式会混淆正在启用的 I^2C 器件。为了防止系统发生故障，仅当全局总线和中继器端口处于空闲状态时，EN 输入才必须更改状态。

表 7-1. 功能表

输入 EN	功能
L	输出已禁用
H	SDAA = SDAB SCLA = SCLB

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

图 8-1 中显示了一种典型应用。在此示例中，系统控制器在 0.9V I^2C 总线上运行，目标器件连接到 2.5V 总线。两条总线的运行频率均为 400kHz。需要去耦电容器，但为简单起见，未在图 8-6 中显示。

TCA9617B 可耐受 5V 电压，因此无需任何额外的电路即可在 0.8V 至 5.5V 总线电压和 2.7V 至 5.5V 总线电压之间进行转换。

当 TCA9617B 的 A 侧被 I^2C 总线上的驱动器拉低时，比较器在信号电平低于 V_{CCA} 的 30% 时会检测到下降沿，并导致 B 侧的内部驱动器导通。首先将 B 侧下拉至 0V，然后稳定至 V_{OLB}（反相基座）。当 TCA9617B 的 B 侧在 V_{ILB} 以下被外部驱动时，TCA9617B 检测到下降沿，并启用 A 侧的内部驱动器将 A 侧引脚向下拉至 V_{OLA}。

在 TCA9617B 的 B 侧总线上，时钟和数据线与接地之间的正偏移电压等于 TCA9617B 的 V_{OLB}。在第八个时钟脉冲之后，数据线被拉至目标器件的 V_{OL}，在本例中接近于接地。在确认结束时，电压电平仅在短延迟内上升到 TCA9617B 驱动器设置的低电平 (V_{OLB})，同时等待 A 侧总线上升到 V_{CCA} 的 30% 以上。一旦 A 侧达到 V_{CCA} 的 30%，B 侧就会释放，总线上的上拉电阻器会将总线拉至高电平。

尽管 TCA9617B 具有一个应用，但该器件可有多种配置。图 8-1 显示了 TCA9617B 的标准配置。可以采用星型配置 (图 8-4) 或串联配置 (图 8-5) 连接多个 TCA9617B。*节 8.2.1* 中的设计要求、详细设计过程和应用曲线适用于所有三种配置。

8.2 典型应用

8.2.1 标准应用

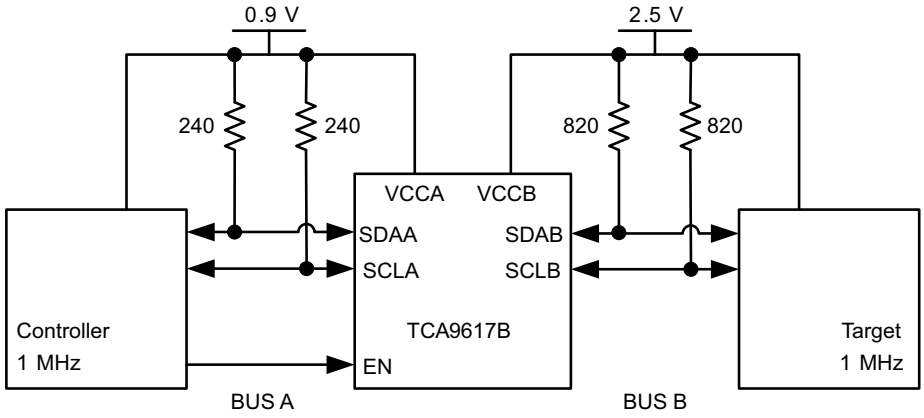


图 8-1. 双向电压电平转换器

8.2.1.1 设计要求

对于电平转换应用，必须满足以下条件：

- V_{CCA} = 0.8V 至 5.5V
- V_{CCB} = 2.2V 至 5.5V
- $V_{CCA} \leqslant V_{CCB}$
- $I_{OL} > I_O$

8.2.1.2 详细设计过程

8.2.1.2.1 确定上拉电阻器大小

为了使 TCA9617B 正常工作，B 侧所有器件必须能够将 B 侧拉至低于 V_{ILB}。这意味着 B 侧任何器件的 V_{OL} 必须低于 0.4V 才能正常工作。

器件的 V_{OL} 可通过改变流经器件的 I_{OL} 进行调节，该电流值由上拉电阻器值决定。必须仔细选择 B 侧的上拉电阻器，以确保逻辑电平正确地传输到 A 侧。请参阅本应用手册中的其他信息：I^2C 总线上拉电阻器计算。

图 8-2：

- 点 1：逻辑低电平由连接到 B 侧的外部目标或者控制器器件驱动。
- 点 2：由释放 B 侧的外部目标或控制器设备创建的基座。电压上升到 V_{OLB} 并等待 A 侧电压上升到 V_{CCA} 的 30% 后再完全上升到 V_{CCB}。B 侧上拉电阻器的大小还必须确保上升时间大于 20ns。较短的上升时间会增加所示台阶电平过冲。

图 8-3：

- 点 1：目标器件或控制器器件驱动为低电平，超过 A 侧的 V_{ILA}，导致 B 侧转接驱动器驱动至 0V。
- 点 2：转接驱动器达到 0V 后，B 侧的电压输出将稳定在静态失调电压或 V_{OLB} 的缓冲失调电压。

驱动至 0V 并释放到静态电压偏移 (V_{OLB}) 的组合会在点 1 及点 2 处产生所示的反相基座。

8.2.1.3 应用曲线

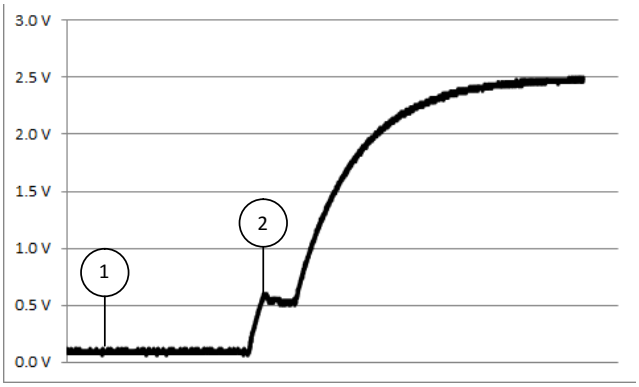


图 8-2. B 至 A 驱动器，B 侧基座

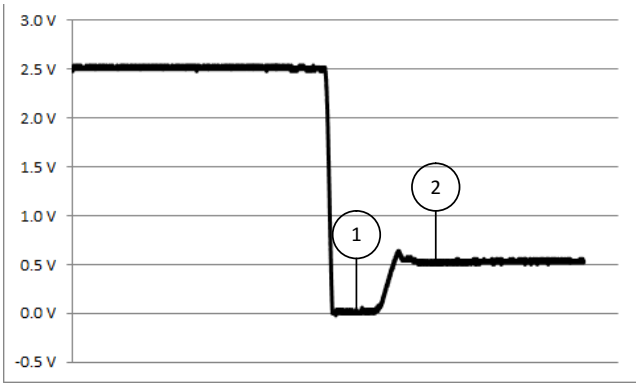


图 8-3. A 至 B 驱动器，B 侧翻转式基座

Copyright © 2026 Texas Instruments Incorporated

8.2.2 星型应用

多个 A 侧可采用星型配置连接，从而实现所有节点相互通信。

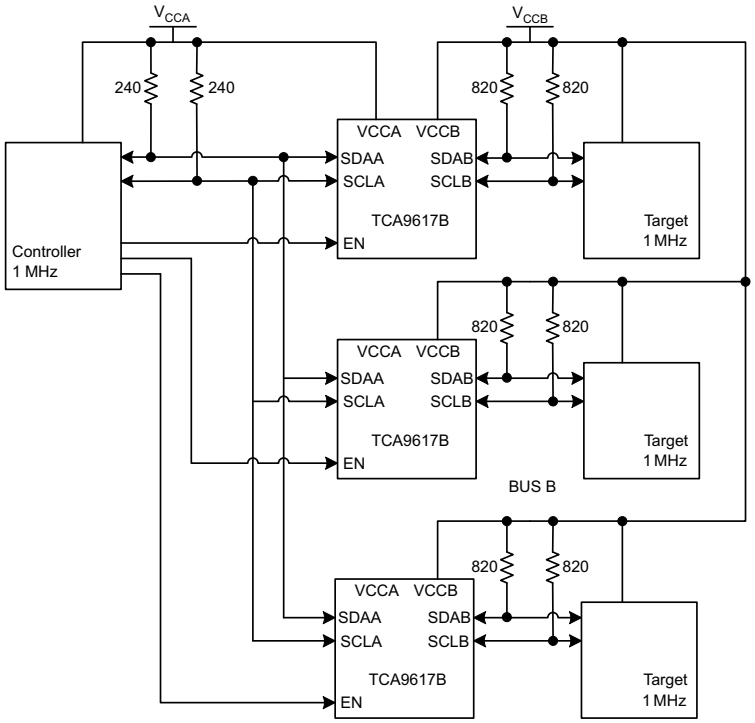


图 8-4. 典型星型应用

8.2.2.1 设计要求

请参阅 节 8.2.1.1。

8.2.2.2 详细设计过程

请参阅 节 8.2.1.2。

8.2.2.3 应用曲线

请参阅 节 8.2.1.3。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 串联应用

只要 A 侧连接到 B 侧，就可以串联连接多个 TCA9617B。I²C 总线目标器件可连接到任何总线段。可串联的器件数量受中继器延迟/飞行时间注意事项对最大总线速度要求的限制。

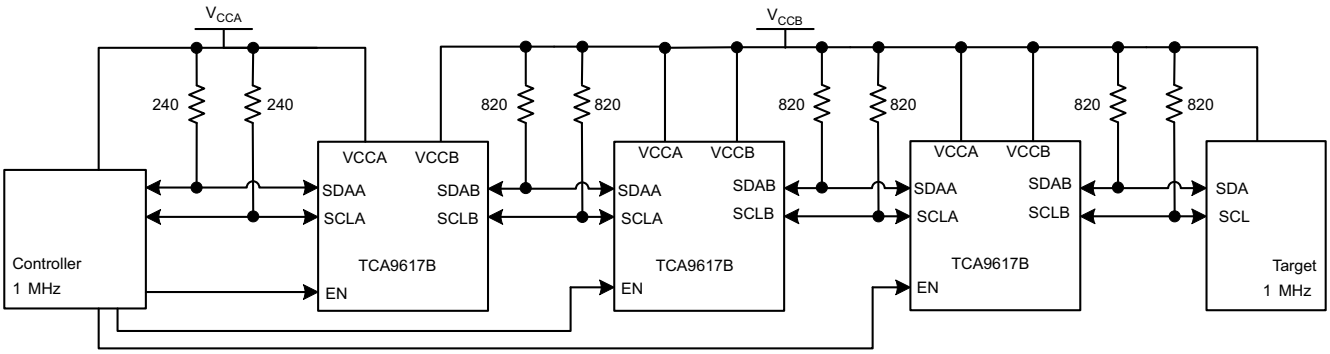


图 8-5. 典型串联应用

8.2.3.1 设计要求

请参阅 *节 8.2.1.1*。

8.2.3.2 详细设计过程

请参阅 *节 8.2.1.2*。

8.2.3.3 应用曲线

请参阅 *节 8.2.1.3*。

8.3 电源相关建议

对于 VCCA，需要 0.8V 至 5.5V 电源。对于 VCCB，需要 2.2V 至 5.5V 电源。

建议使用标准去耦电容器。这些电容器的范围通常介于 0.1μF 和 1μF 之间，但电容值取决于电源噪声的频率。

Copyright © 2026 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

必须将建议的去耦电容器尽可能靠近 TCA9617B 的 VCCA 及 VCCB 引脚放置。

8.4.2 布局示例

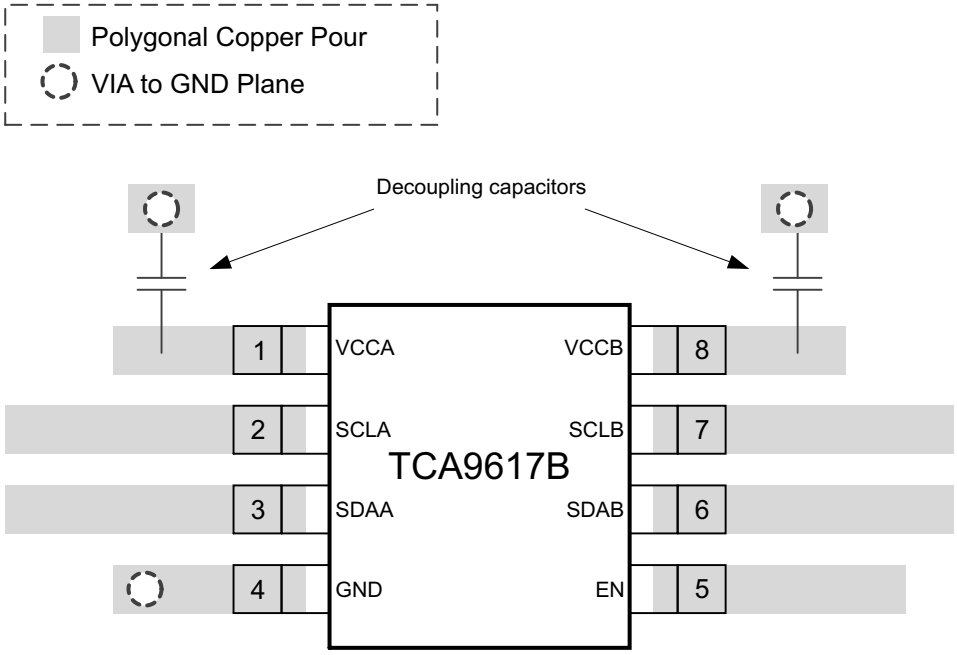


图 8-6. 布局原理图

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (October 2024) to Revision F (March 2026)	Page
• 更新了图 6-3 和图 6-4	8
• 将特定电压值更改为参数名称（例如，将“大约 0.5V”更改为 V_{OLB}，将“大约 0V”更改为“V_{OLA}”。）	10
• 将“输入电压必须低于 VIL”更改为低于“V_{ILB}”	10
• 将运行限值从 5.5V 更新成 V_{CCB}	10
• 将估算电压更新成 V_{OLA} 的电气特性规格	10
• 将“驱动硬低电平”更改成 V_{OLA}	10
• 更新了输出电压的编号值，以便与数据表电气特性（包括 V_{OLB} 和 V_{ILB}）保持一致	10
• 将 0.5V 更新为 V_{OLA}	10
• 将 0.5V 更改为 V_{OLB}	11
• 更新了图 6-1 及图 6-2 以合并到图 7-1 中	11
• 将特定值更改为电气特性参数，例如 V_{OLA}、V_{OLB}、V_{ILB}	13
• 添加了对倒置基座的说明	13
• 删除了近似值并替换成电气特性参数	13
• 更新了目标器件要求	14
• 在图 8-2 及图 8-3 中为每个点添加了说明、定义了静态失调电压、反相基座和基座的性质	14
• 更新了图 8-2 和图 8-3	14

Changes from Revision D (September 2024) to Revision E (October 2024)	Page

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision C (January 2024) to Revision D (September 2024) **Page**

Changes from Revision B (December 2018) to Revision C (January 2024) **Page**

- 将提到的旧术语实例全部更改为控制器和目标 1
- 在引脚 EN 上添加了弱上拉电阻器信息 3
- 将 abs 最大电压从 7V 更改为 6.5V 4
- 更改了 8 DGK 的热性能信息 5
- 将 V_{IK} 最大值 –1.2V 更改为最小值 5
- 更改了 T_{PLH}（B 至 A）并删除了典型值。 7
- 通过将最小值从 59ns 更改为 50ns 并删除典型值，更改了 VCCB ≤ 3V 时的 T_{PLH}（A 至 B） 7
- 通过删除典型值，更改了 VCCB > 3V 时的 T_{PLH}（A 至 B） 7
- 通过将最小值从 69ns 更改为 32ns 并删除典型值，更改了 T_{PHL}（B 至 A） 7
- 通过将最小值从 68ns 更改为 28ns 并删除典型值，更改了 T_{PHL}（A 至 B） 7
- 通过将最大值从 13.8ns 更改为 32ns 并删除典型值，更改了 T_{THL}（B 侧） 7
- 通过将最大值从 11.3ns 更改为 40ns 并删除典型值，更改了 T_{THL}（B 侧） 7
- 将 $0.3V_{CCA}$ 更改为：*V_{CCA} 的 30%*（位于*概述* 中） 10
- 将 A 侧降至 $0.7V_{CCA}$ 以下更改为：*A 侧降至 V_{CCA} 的 30% 以下* 10
- 将低于 $0.7V_{CCB}$ 更改为：*低于 0.4V* 10
- 将 $0.3V_{CCA}$ 更改为：*V_{CCA} 的 30%*（位于*低电平到高电平转换特性* 中） 11
- 删除了*因为 A 侧没有静态失调电压低电压，所以在 A 侧看不到基座* 11
- 将*高电平到低电平转换特性* 中的 $0.7V_{CCA}$ 更改为 *V_{CCA} 的 30%* 12
- 更改了*器件功能模式*中的*隔离表现不良*以*分离误行为* 12
- 将*应用信息* 中的 $0.7V_{CCA}$ 更改为 *V_{CCA} 的 30%* 13
- 将下降至低于 0.45V 更改为下降至低于 0.4Vt 13
- 将 (0.45V) 更改为：*(0.4V)*（位于*确定上拉电阻器大小* 中） 14

Changes from Revision A (December 2014) to Revision B (December 2018) **Page**

- 更改了 DGK 引脚排列图的外观 3
- 在设计要求列表中，将 $V_{CCA} < V_{CCB}$ 更改为：$V_{CCA} \leq V_{CCB}$ 14

Changes from Revision * (December 2014) to Revision A (December 2014) **Page**

- 完整版的最初发布版本。 1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCA9617BDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	ZBOK
TCA9617BDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZBOK
TCA9617BDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZBOK

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

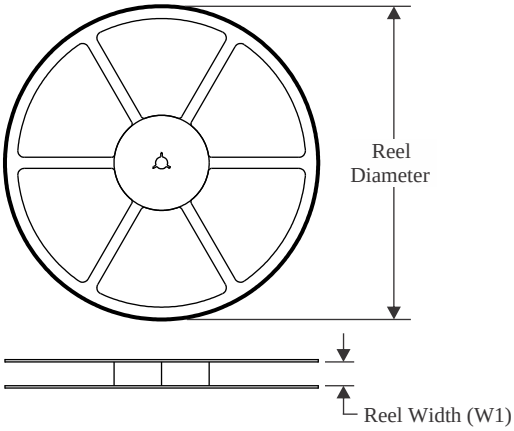
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

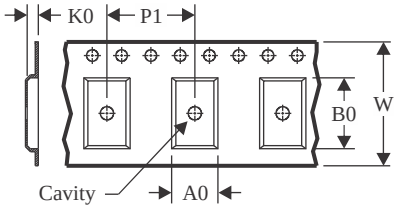
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

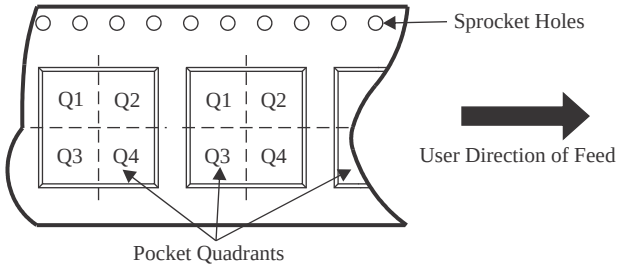


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

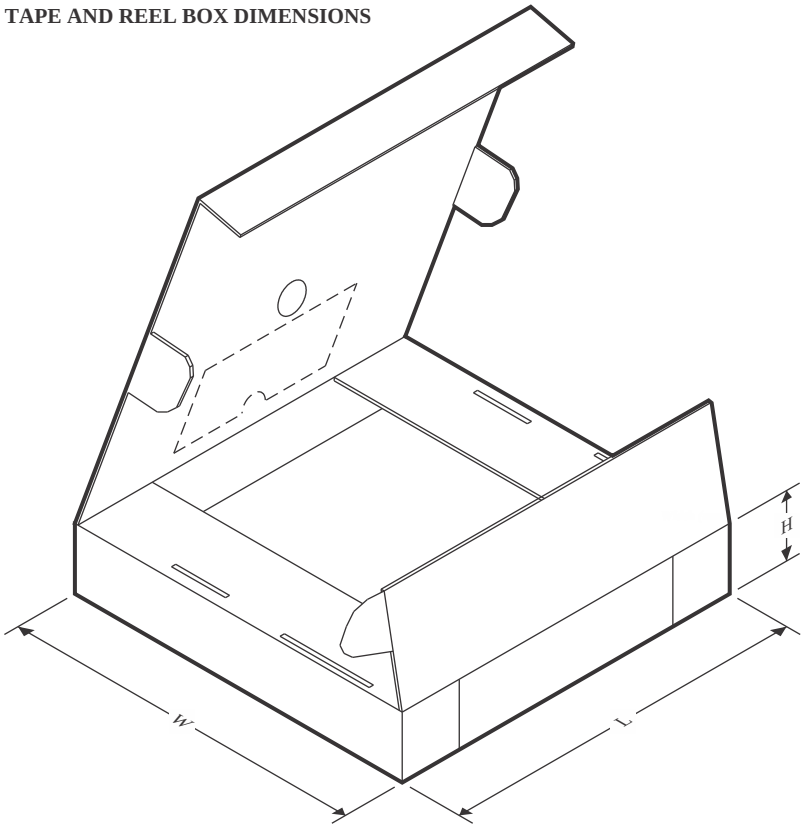
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCA9617BDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

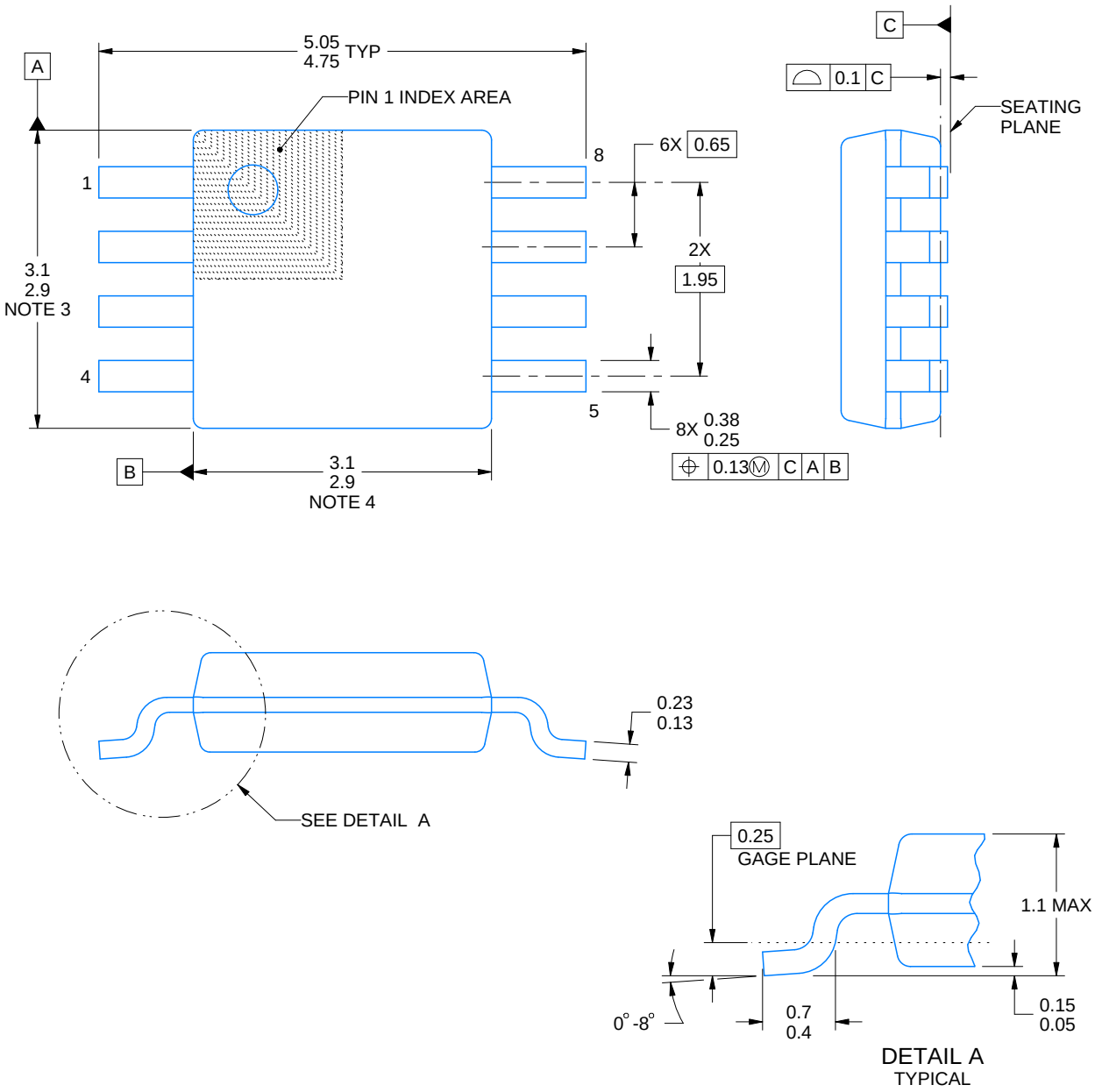
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCA9617BDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

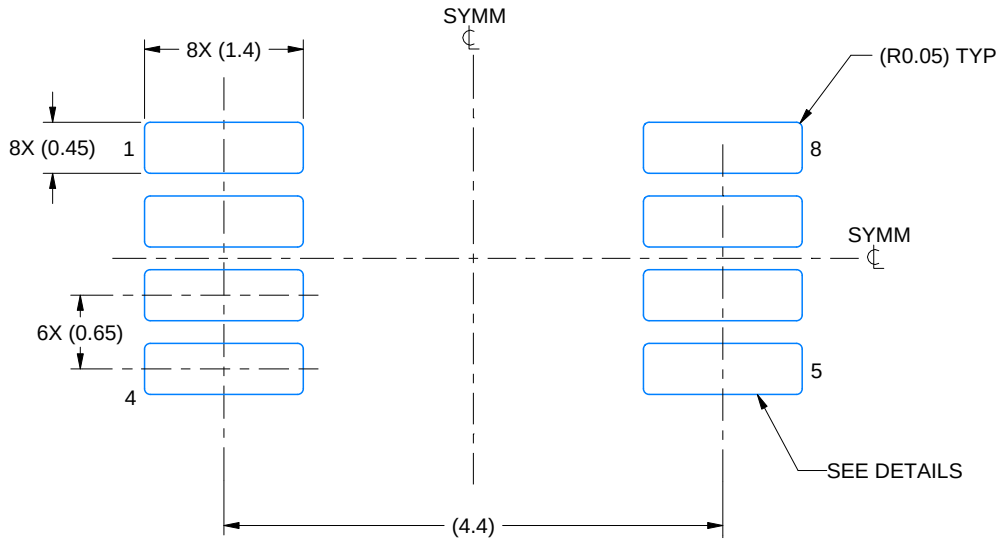
SMALL OUTLINE PACKAGE



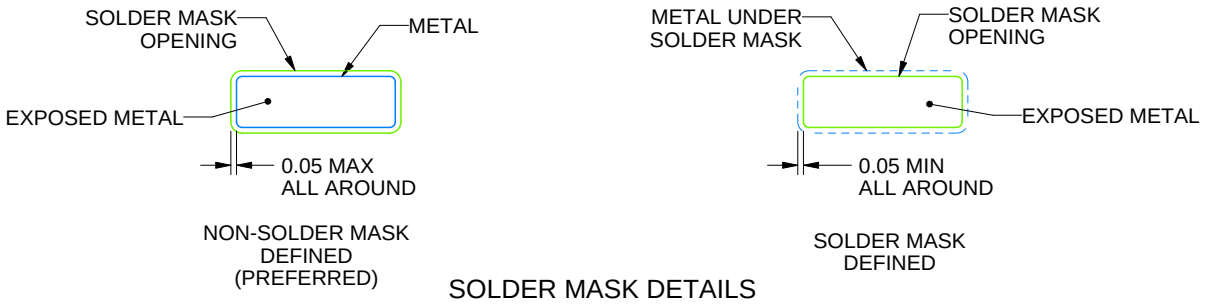
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

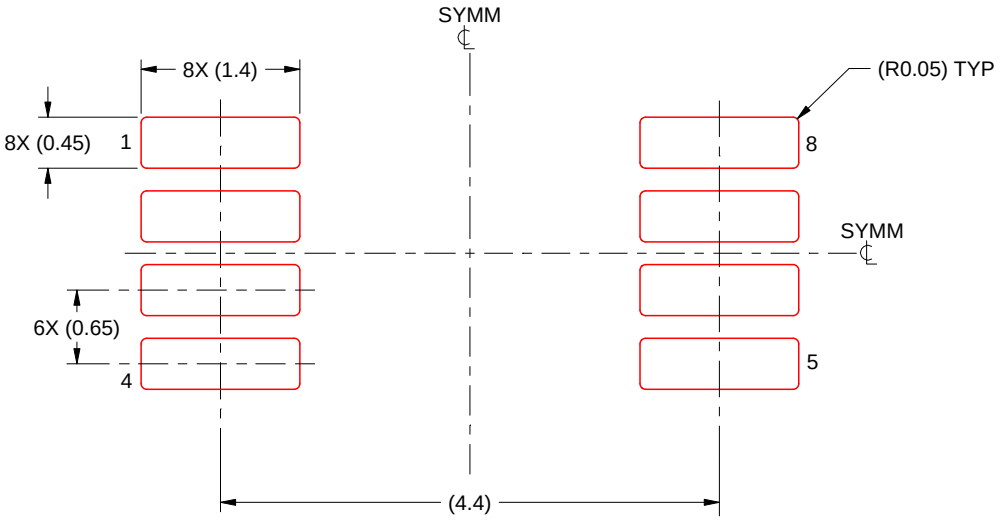


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月