TLV370x 毫微功耗推挽输出比较器系列

1 特性

- 低电源电流：56nA/每通道
- 输入共模范围超过电源轨：-0.1V 至 V_{CC} + 5V
- 电源电压范围：2.5V 至 16V
- 高达 20V 的反向电池保护
- 推挽式 CMOS 输出级
- 指定的温度范围
  - 0°C 至 70°C – 商业级
  - -40°C 至 125°C – 工业级
- 超小型封装
  - 5 引脚 SOT-23 (TLV3701)
  - 8 引脚 MSOP (TLV3702)
- 通用运算放大器 EVM（有关更多信息，请参阅 SLOU060）

2 应用

- 便携式电池监控
- 消费类医疗电子产品
- 安全检测系统
- 手持仪器
- 超低功耗系统

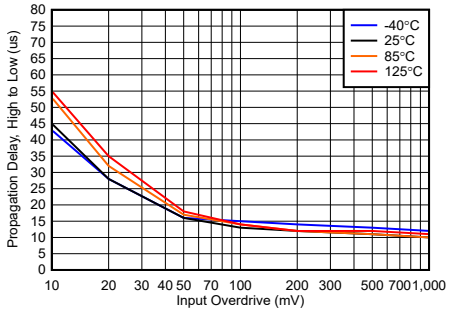


图 3-1. 传播延迟，高电平到低电平，12V

3 说明

TLV370x 是德州仪器 (TI) 首个毫微功耗比较器系列，每通道电源电流仅为 560nA，使其成为电池供电和无线手持设备的理想之选。

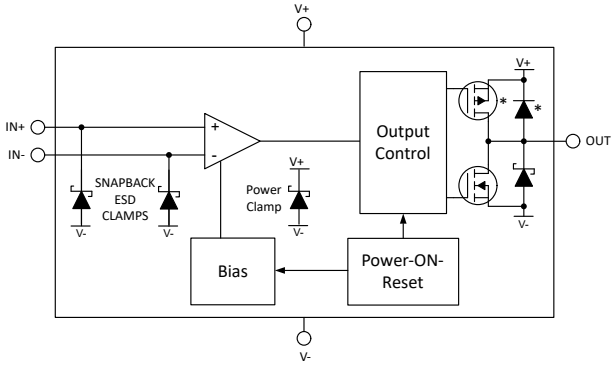
TLV370x 在扩展的工业温度范围（T_A = –40°C 至 125°C）内的最小工作电源电压为 2.7V，同时其输入共模范围为 –0.1V 至 V_{CC} + 5V。其低电源电流特性，使其在静态电流为首要考量因素的电池供电便携式应用中成为理想选择。电池反向保护可保护放大器免受由于电池安装不当而导致的过流情况的影响。对于严苛环境，输入可以高于正电源导轨 5V 而不会损坏器件。

所有型号均提供 PDIP 和 SOIC 封装。此外，单通道型号提供微型 SOT-23 封装，双通道型号提供 MSOP 封装，四通道型号提供 TSSOP 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
TLV3701	SOT-23 (5)	2.9mm × 2.8mm
	SOIC (8)	4.9mm × 6mm
TLV3702	SOIC (8)	4.9mm × 6mm
	VSSOP (8)	3mm × 4.9mm
	PDIP (8)	10.2mm × 9.4mm
TLV3704	SOIC (14)	8.65mm × 6mm
	PDIP (14)	19.3mm × 9.4mm
	TSSOP (14)	5mm × 6.4mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 4
TLV3701 引脚功能 4
TLV3702 引脚功能 4
TLV3704 引脚功能 5
6 规格 6
6.1 绝对最大额定值 6
6.2 ESD 等级 6
6.3 建议运行条件 6
6.4 热性能信息 – TLV3701 7
6.5 热性能信息 – TLV3702 7
6.6 热性能信息 – TLV3704 7
6.7 电气特性 8
6.8 开关特性 9
6.9 典型特性 10
7 详细说明 13
7.1 概述 13
7.2 功能方框图 13
7.3 特性说明 13
7.4 器件功能模式 14
8 应用和实施 15
8.1 应用信息 15
8.2 典型应用 15
8.3 电源相关建议 16
8.4 布局 16
9 器件和文档支持 18
9.1 器件支持 18
9.2 文档支持 18
9.3 接收文档更新通知 18
9.4 支持资源 18
9.5 商标 18
9.6 静电放电警告 19
9.7 术语表 19
10 修订历史记录 19
11 机械、封装和可订购信息 19

Copyright © 2025 Texas Instruments Incorporated

4 器件比较表

表 4-1. 比较器的选择 (1)

器件	V_{CC} (V)	V_{IO} (μV)	I_{CC}/Ch (μA)	I_{IB} (pA)	t_{PLH} (μs)	t_{PHL} (μs)	t_f (μs)	t_r (μs)	轨到轨	输出级
TLV370x	2.5 – 16	250	0.56	80	56	83	22	8	I	PP
TLV340x	2.5 – 16	250	0.47	80	55	30	5	—	I	OD
TLC3702/4	3 – 16	1200	9	5	1.1	0.65	0.5	0.125	—	PP
TLC393/339	3 – 16	1400	11	5	1.1	0.55	0.22	—	—	OD
TLC372/4	3 – 16	1000	75	5	0.65	0.65	—	—	—	OD

(1) 所有规范均是在 5V 下测得的典型值。

表 4-2. TLV3701 可用选项

T_A	V_{IO} 在 25°C 时的最大值	封装器件			
		小外形 (D)(1)	SOT-23 (DBV)(2)	符号	塑料 DIP (P)
0°C 至 70°C	5000 μV	TLV3701CD	TLV3701CDBV	VBCC	—
-40°C 至 125°C		TLV3701ID	TLV3701IDBV	VBCI	TLV3701IP

(1) 此封装可采用带卷形式供货。若要订购此封装选项，请在器件型号（例如 TLV3701CDR）中添加 R 后缀。
(2) 此封装仅可采用带卷形式供货。对于标准数量（每卷 3000 件），添加一个 R 后缀（即 TLV3701 CDBVR）。对于小批量采购（每个迷你卷带 250 件），请在器件型号上添加 T 后缀（例如 TLV3701CDBVT）。

表 4-3. TLV3702 可用选项

T_A	V_{IO} 在 25°C 时的最大值	封装器件			
		小外形 (D)(1)	MSOP (DGK)	符号	塑料 DIP (P)
0°C 至 70°C	5000 μV	TLV3702CD	TLV3702CDGK	xxTIAKC	—
-40°C 至 125°C		TLV3702ID	TLV3702IDGK	xxTIAKD	TLV3702IP

(1) 此封装可采用带卷形式供货。若要订购此封装选项，请在器件型号（例如 TLV3702CDR）中添加 R 后缀。

表 4-4. TLV3704 可用选项

T_A	V_{IO} 在 25°C 时的最大值	封装器件		
		小外形 (D)(1)	塑料 DIP (N)	TSSOP (PW)
0°C 至 70°C	5000 μV	TLV3704CD	—	TLV3704CPW
-40°C 至 125°C		TLV3704ID	TLV3704IN	TLV3704IPW

(1) 此封装可采用带卷形式供货。若要订购此封装选项，请在器件型号（例如 TLV3704CDR）中添加 R 后缀。

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

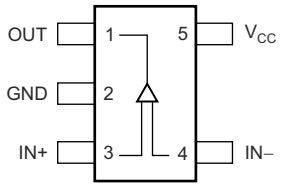


图 5-1. TLV3701 DBV 封装 5 引脚 SOT-23 顶视图

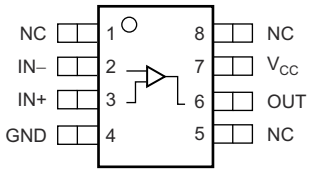


图 5-2. TLV3701 D 或 P 封装 8 引脚 SOIC 或 PDIP 顶视图

TLV3701 引脚功能

引脚			I/O	说明
名称	SOT-23	SOIC、PDIP		
GND	2	4	—	接地
IN –	4	2	I	负 (反相) 输入
IN+	3	3	I	正 (同相) 输入
NC	—	1、5、8	—	未进行内部电路连接 (可以悬空)
OUT	1	6	O	输出
V_{CC}	5	7	—	正电源

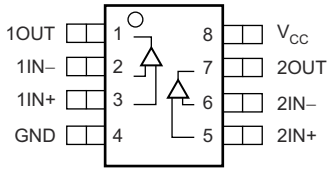


图 5-3. TLV3702 D、DGK 或 P 封装 8 引脚 SOIC、VSSOP 或 PDIP 顶视图

TLV3702 引脚功能

引脚		I/O	说明
名称	编号		
GND	4	—	接地
1IN –	2	I	反相输入，通道 1
2IN –	6	I	反相输入，通道 2
1IN+	3	I	同相输入，通道 1
2IN+	5	I	同相输入，通道 2
1OUT	1	O	输出，通道 1
2OUT	7	O	输出，通道 2
V_{CC}	8	—	正电源

Copyright © 2025 Texas Instruments Incorporated

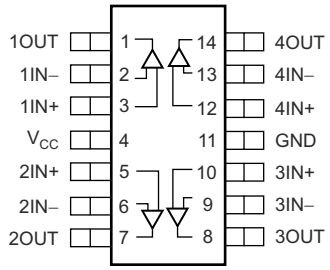


图 5-4. TLV3704 D、N 或 PW 封装 14 引脚 SOIC、PDIP 或 TSSOP 顶视图

TLV3704 引脚功能

引脚		I/O	说明
名称	编号		
GND	11	—	接地
1IN –	2	I	反相输入，通道 1
2IN –	6	I	反相输入，通道 2
3IN –	9	I	反相输入，通道 3
4IN –	13	I	反相输入，通道 4
1IN+	3	I	同相输入，通道 1
2IN+	5	I	同相输入，通道 2
3IN+	10	I	同相输入，通道 3
4IN+	12	I	同相输入，通道 4
1OUT	1	O	输出，通道 1
2OUT	7	O	输出，通道 2
3OUT	8	O	输出，通道 3
4OUT	14	O	输出，通道 4
V_{CC}	4	—	正电源

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源电压，V_{CC} (2)		17	V
差分输入电压，V_{ID}		±20	V
输入电压，V_I (2) (3)	0	V_{CC} + 5	V
输入电流，I_I		±10	mA
输出电流，I_O		±10	mA
最大结温，T_J		150	°C
10 秒内距离外壳 1.6mm（1/16 英寸）的引线温度		260	°C
贮存温度，T_{stg}	-65	150	°C

(1) 应力超出*绝对最大额定值*中列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除差分电压外的所有电压值都相对于 GND。
(3) 输入电压范围上限为 20V 或 V_{CC} + 5V，取两者中较小值。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±TBD	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±TBD	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
电源电压，V_{CC}	单电源	C 后缀型号	2.5	16	V
		I 后缀	2.7	16	
	双电源	C 后缀型号	±1.25	±8	
		I 后缀	±1.35	±8	
共模输入电压，V_{ICR}			-0.1	V_{CC} + 5	V
自然通风工作温度范围，T_A	C 后缀型号		0	70	°C
	I 后缀		-40	125	

Copyright © 2025 Texas Instruments Incorporated

6.4 热性能信息 – TLV3701

热指标(1)		TLV3701			单位
		DBV (SOT-23)	D (SOIC)	P (PDIP)	
		5 引脚	8 引脚		
$R_{\theta JA}$	结至环境热阻	193.6	124.8	82.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	102.4	69.1	84.8	°C/W
$R_{\theta JB}$	结至电路板热阻	54.3	67.9	59.7	°C/W
ψ_{JT}	结至顶部特征参数	16.9	22.3	45.3	°C/W
ψ_{JB}	结至电路板特征参数	53.6	67.2	59.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

6.5 热性能信息 – TLV3702

热指标(1)		TLV3702			单位
		D (SOIC)	DGK (VSSOP)	P (PDIP)	
		8 引脚			
$R_{\theta JA}$	结至环境热阻	116.7	163.9	77.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	59.4	65.7	79	°C/W
$R_{\theta JB}$	结至电路板热阻	60.2	85.3	54	°C/W
ψ_{JT}	结至顶部特征参数	14.6	9	39.5	°C/W
ψ_{JB}	结至电路板特征参数	59.5	83.9	53.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

6.6 热性能信息 – TLV3704

热指标(1)		TLV3704			单位
		D (SOIC)	N (PDIP)	PW (TSSOP)	
		14 引脚			
$R_{\theta JA}$	结至环境热阻	81.4	58.1	105.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	38.1	50.9	33.9	°C/W
$R_{\theta JB}$	结至电路板热阻	37.8	38	49.5	°C/W
ψ_{JT}	结至顶部特征参数	7.5	23.6	2.5	°C/W
ψ_{JB}	结至电路板特征参数	37.4	37.7	48.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2025 Texas Instruments Incorporated

6.7 电气特性

在指定自然通风工作温度范围下，V_{CC} = 2.7V、5V、15V（除非另有说明）。

参数		测试条件		T_A (1)	最小值	典型值	最大值	单位
直流性能								
V_{IO}	输入偏移电压	V_{IC} = V_{CC}/2，R_S = 50Ω		25°C		250	5000	μV
				完整范围			7000	
α_{VIO}	失调电压漂移	V_{IC} = V_{CC}/2，R_S = 50Ω		25°C		3		μV/°C
V_{HYS}	输入迟滞电压	V_{IC} = V_{CC}/2，R_S = 50Ω		25°C	1	2.8	5	mV
CMRR	共模抑制比	V_{IC} = 0V 至 2.7V，R_S = 50Ω		25°C		72		dB
		V_{IC} = 0V 至 5V，R_S = 50Ω		25°C		76		
		V_{IC} = 0V 至 15V，R_S = 50Ω		25°C		88		
A_{VD}	大信号差分电压放大			25°C		1000		V/mV
输入/输出特性								
I_{IO}	输入失调电流	V_{IC} = V_{CC}/2，R_S = 50Ω		25°C		20	100	pA
				完整范围			1000	
I_{IB}	输入偏置电流	V_{IC} = V_{CC}/2，R_S = 50Ω		25°C		80	250	pA
				完整范围			1500	
$r_{i(d)}$	差分输入电阻			25°C		300		MΩ
V_{OH}	高电平输出电压	V_{IC} = V_{CC}/2，I_{OH} = 2μA，V_{ID} = 1V		25°C	V_{CC} – 80			mV
		V_{IC} = V_{CC}/2，I_{OH} = – 50μA，V_{ID} = 1V		25°C	V_{CC} – 320			
				完整范围	V_{CC} – 450			
V_{OL}	低电平输出电压	V_{IC} = V_{CC}/2，I_{OH} = 2μA，V_{ID} = – 1V		25°C		8		mV
		V_{IC} = V_{CC}/2，I_{OH} = 50μA，V_{ID} = – 1V		25°C		80	200	
				完整范围			300	
电源								
I_{CC}	电源电流（每通道）	输出状态高电平		25°C		560	800	nA
				完整范围			1000	
PSRR	电源抑制比	V_{IC} = V_{CC}/2 V，空载	V_{CC} = 2.7V 至 5V	25°C	75	100		dB
				完整范围	70			
			V_{CC} = 5V 至 15V	25°C	85	105		
				完整范围	80			

(1) 带“C”后缀器件的全温度范围为 0°C 至 70°C，带“I”后缀器件的全温度范围为 –40°C 至 125°C。如果未指定，则全温度范围为 –40°C 至 125°C。

Copyright © 2025 Texas Instruments Incorporated

6.8 开关特性

在指定自然通风工作温度范围下，V_{CC} = 2.7V、5V、15V（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
$t_{(PLH)}$	传播响应时间，低电平到高电平输出(1)	f = 10kHz，V_{STEP} = 100mV，C_L = 10pF	过驱电压 = 10mV		34		µs
			过驱电压 = 50mV		16		
$t_{(PHL)}$	传播响应时间，高电平至低电平输出(1)	f = 10kHz，V_{STEP} = 100mV，C_L = 10pF	过驱电压 = 10mV		45		µs
			过驱电压 = 50mV		16		
t_r	上升时间	C_L = 10pF			0.2		µs
t_f	下降时间	C_L = 10pF			0.2		µs
t_{su}	启动时间	V_{CC} = 2.7 至 15V(2)	25°C		3		ms

(1) 指定的响应时间是输入阶跃函数与输出超过 1.4V 的那一刻之间的间隔。
(2) 启动时间的定义是从电源电压达到最小电压 (V_{CCmin}) 起，到器件 IQ 开始激活（达到 I_{CCmin}）且器件输出电压达到有效电平为止的这段时间。仅适用于单器件。

Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性

T_A = 25°C 时，V_S = 12V，VCM = V_S/2 V，R_P = 1MΩ（仅开漏），C_L = 25pF，$V_{OVERDRIVE}$ = 100mV，除非另有说明。

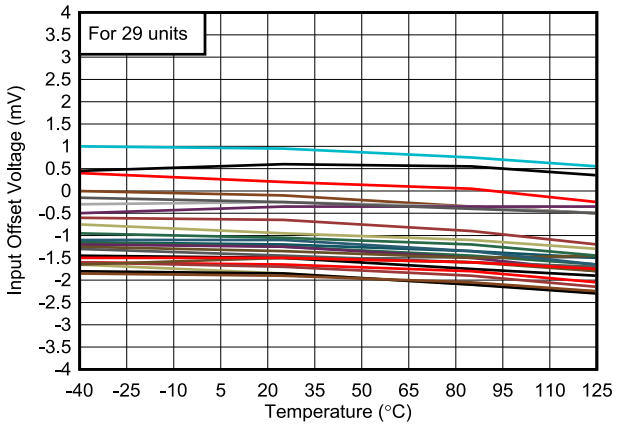


图 6-1. 失调电压与温度间的关系

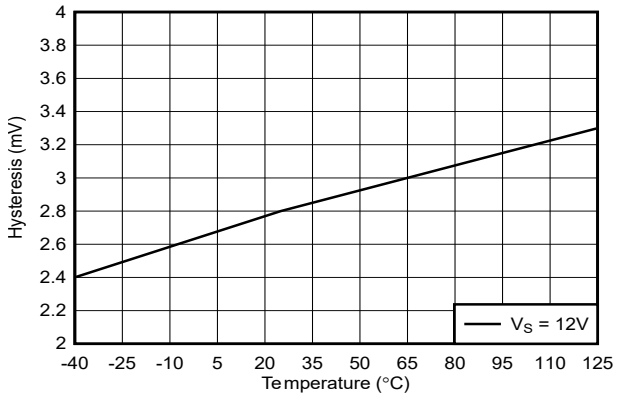


图 6-2. 迟滞与温度之间的关系

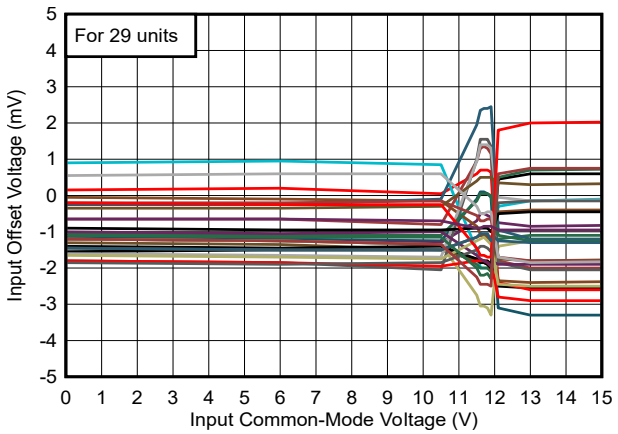


图 6-3. 失调电压与共模电压间的关系，12V

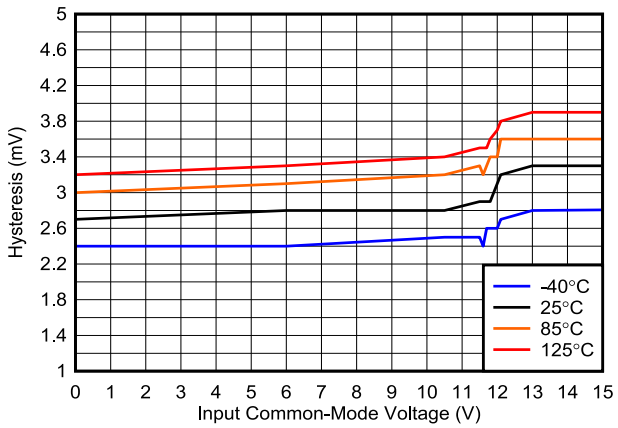


图 6-4. 迟滞与共模电压间的关系，12V

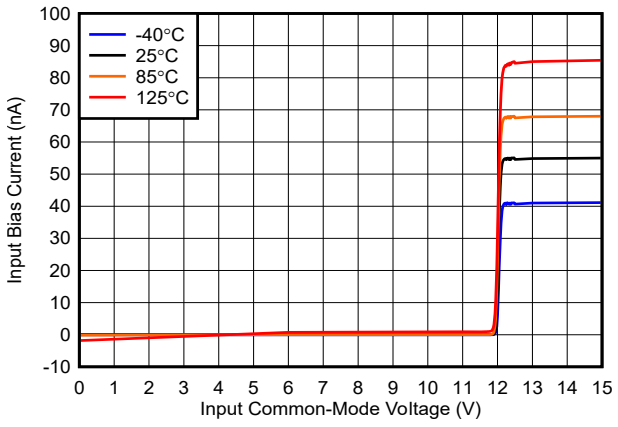


图 6-5. 偏置电流与共模电压间的关系，12V

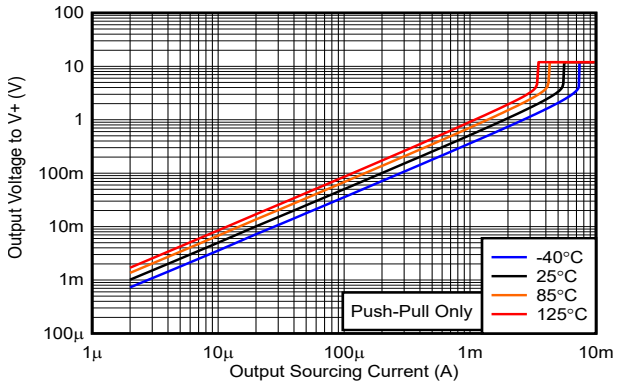


图 6-6. 输出电压与输出拉电流间的关系，12V

Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性（续）

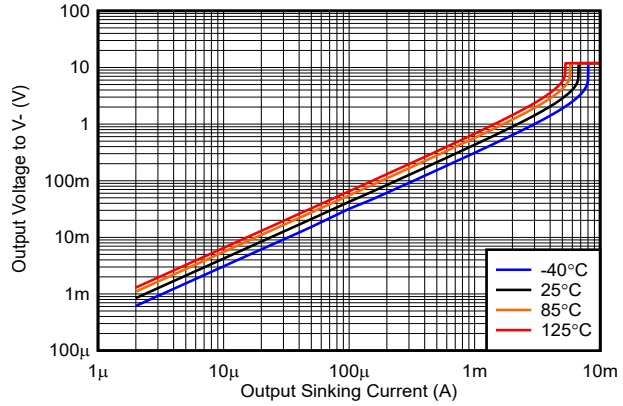


图 6-7. 输出电压与输出灌电流间的关系，12V

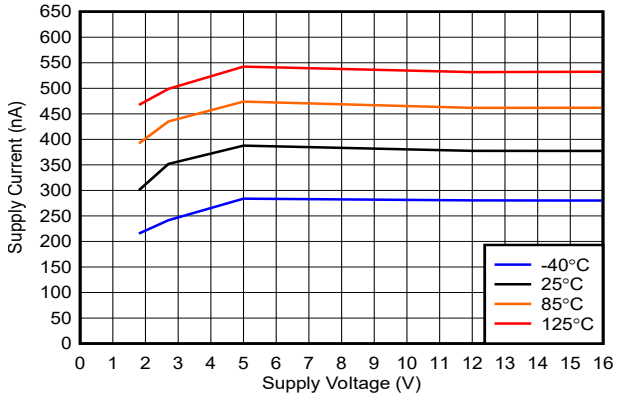


图 6-8. 电源电流与电源电压间的关系（输出低电平），推挽

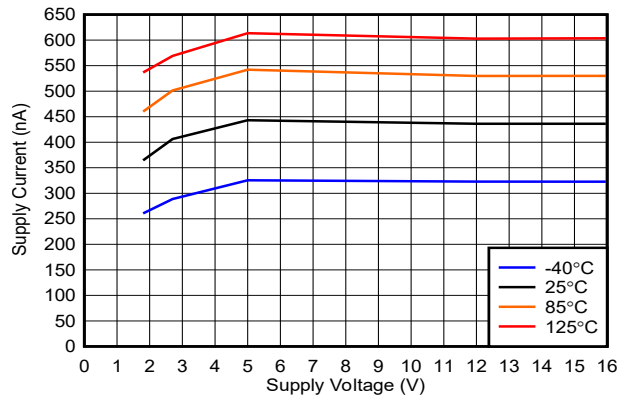


图 6-9. 电源电流与电源电压间的关系（输出高电平），推挽

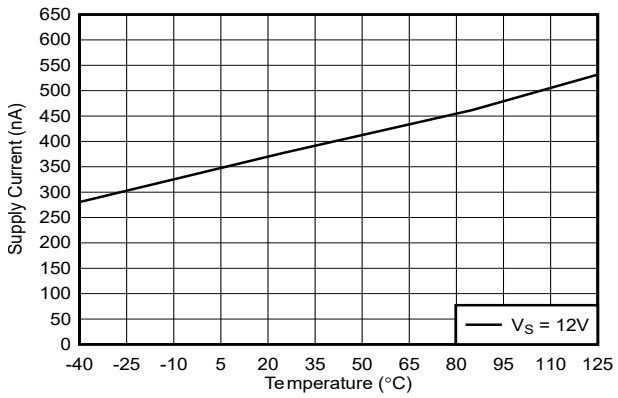


图 6-10. 电源电流与温度间的关系（输出低电平），推挽

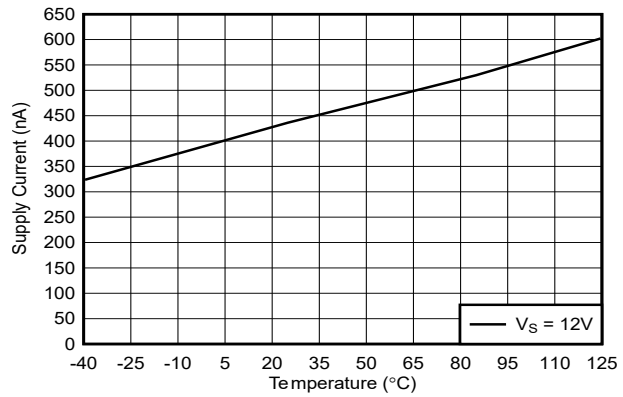


图 6-11. 电源电流与温度间的关系（输出高电平），推挽

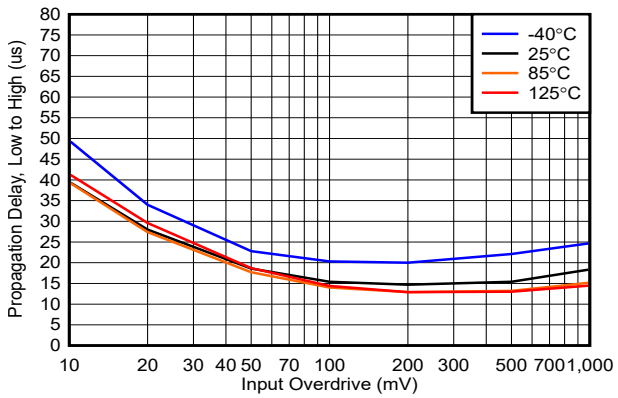


图 6-12. 传播延迟，从低电平到高电平，12V，推挽

Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性（续）

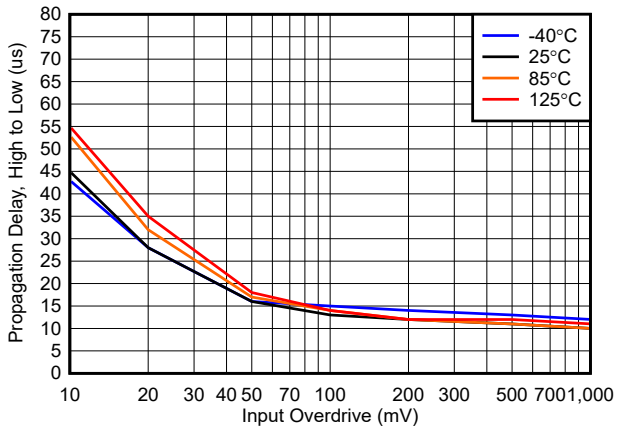


图 6-13. 传播延迟，从高电平到低电平，12V

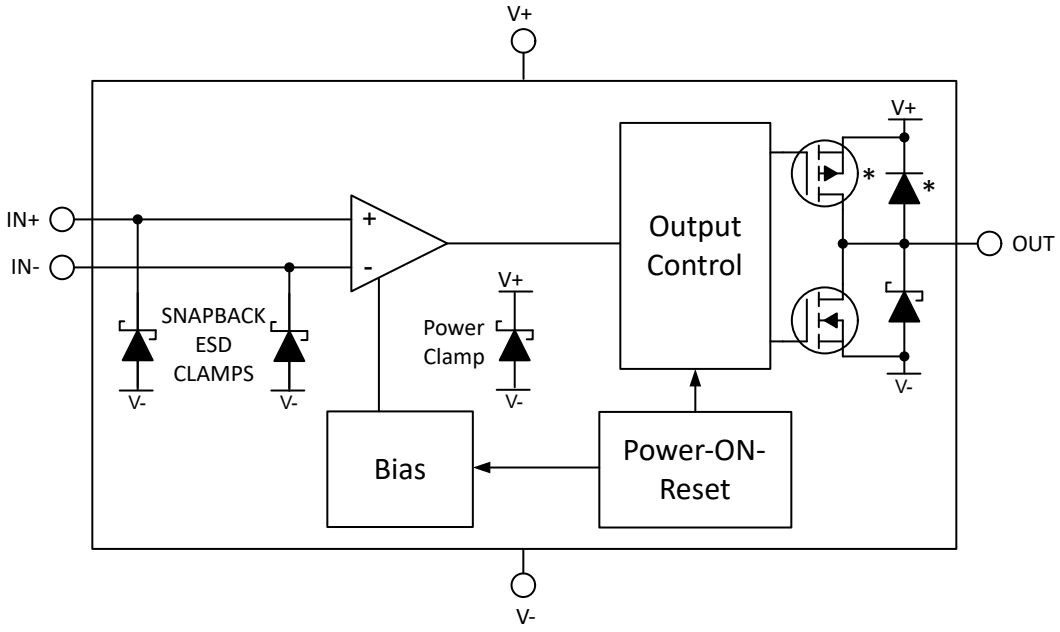
Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

TLV370x 是一个毫微功耗比较器系列，每通道仅消耗 560nA 电源电流。该器件在扩展工业温度范围（T_A = –40°C 至 +125°C）内的最小工作电压为 2.7V，同时其输入共模电压范围达 –0.1V 至 V_{CC} + 5V，这使其成为电池供电和无线手持设备的理想之选。

7.2 功能方框图



7.3 特性说明

7.3.1 工作电压

TLV370x 比较器规定的工作条件为：单电源 2.5V 至 16V（或双电源 ±1.25V 至 ±16V），工作温度范围为 -40°C 至 +125°C。

7.3.1.1 上电复位 (POR)

TLV370x 器件具有内部上电复位 (POR) 电路，用于已知的启动或断电条件。当电源电压 (V+) 逐渐上升或逐渐下降时，在超过 1.5V 的 V_{POR} 后，激活 POR 电路并持续长达 3ms。当电源电压大于等于最小电源电压时，经过延迟周期后，比较器输出将反映差分输入的状态 (V_{ID})。

对于 TLV370x 推挽输出器件，输出在 POR 期间 (t_{on}) 保持低电平。

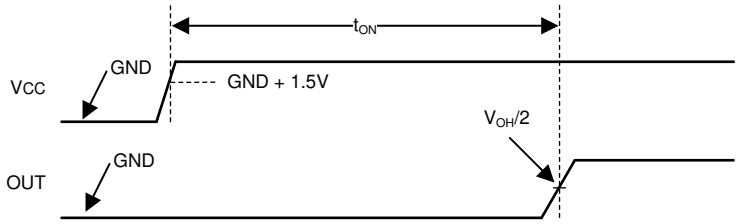
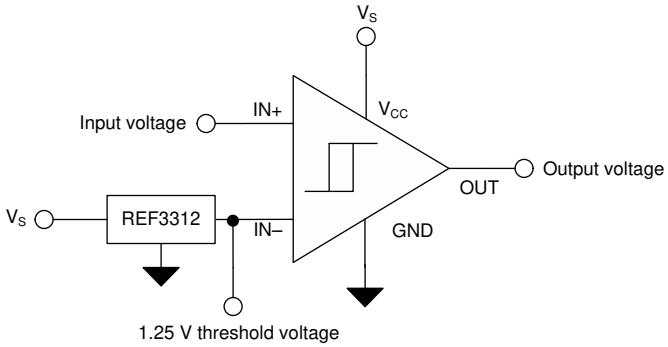


图 7-1. 上电复位时序图

7.3.2 设置阈值

在为器件设置转换点时，使用一个低功耗且稳定的基准非常重要。如图 7-2 所示，REF3312 可提供一个具有低漂移特性的 1.25V 参考电压，且静态电流仅为 3.9µA。



Copyright © 2016, Texas Instruments Incorporated

图 7-2. 设置阈值

7.4 器件功能模式

TLV370x 具有单一功能模式，当施加的电源电压范围为 2.5V (±1.25V) 至 16V (±8V) 时可正常工作。

7.4.1 输入

7.4.1.1 工作共模范围

TLV370x 器件有两个工作共模范围：轨内和过轨。

轨内工作：IN+ 和 IN- 小于 (V+)

当输入引脚的工作电压低于 (V+) 时，定义了可以比较输入电压的两个工作区域：低共模和高共模。在通常从 0V 扩展到 (V+)- 1V 的低共模下，典型输入偏置电流小于 1pA。在通常从 (V+) - 1V 扩展到 (V+) 的高共模下，典型输入偏置电流小于 14nA。

过轨工作：IN+ 和/或 IN- 大于 (V+)

TLV370x 器件具有独特的输入级，允许输入共模范围从 0V 扩展到 16V，不受电源电压的影响。此特性意味着低电源电压下的工作不会限制可比较的输入电压范围。当输入引脚过轨工作（高于 (V+)）时，偏置电流会增加到 55nA 的典型值。

7.4.1.2 失效防护输入

TLV370x 系列的一个特性是输入可在高达 16V 的电压下具有失效防护功能，不受 (V+) 影响。输入保持为高输入阻抗，并且可以是 –0.1V 至 16V 之间的任何值，即使在 (V+) 未上电或低于最小电源电压时也是如此。由于输入未被二极管钳位到 (V+)，此特性可避免电源时序或瞬态问题。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

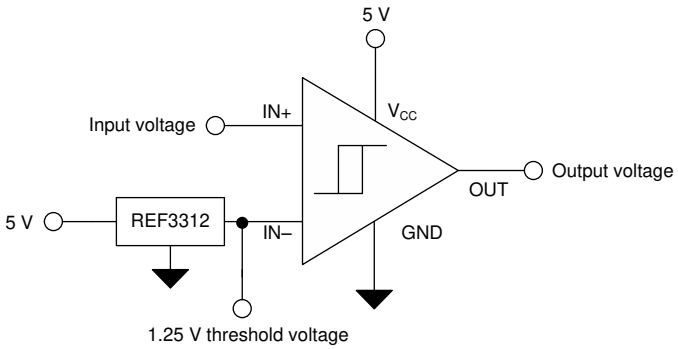
备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

许多应用需要检测超过特定阈值电压或电流的信号（电压或电流）。使用比较器进行该阈值检测是最简单、功耗最低且速度最快的阈值检测方式。

8.2 典型应用



Copyright © 2016, Texas Instruments Incorporated

图 8-1. 1.25V 阈值检测器

8.2.1 设计要求

- 检测信号何时高于或低于 1.25V
- 由单个 5V 电源供电
- 轨到轨输入电压范围：0V 至 5V
- 轨到轨输出电压范围：0V 至 5V

8.2.2 详细设计过程

在图 8-1 所示的电路中，输入电压范围仅受限于施加于 TLV3701 的电源电压。在本示例中，选用 5V 单电源供电，输入电压范围限制在 0V 至 V_S + 5V，即 0V 至 10V。1.25V 的阈值电压可通过多种方式获得。由于 TLV3701 是超低功耗器件，因此也希望使用极低功耗的方式来产生该阈值电压。这里选择 REF3312 系列电压基准，因其能提供稳定的 1.25V 输出电压，且功耗仅为 3.9μA。TLV3701 是一款推挽输出比较器，无需上拉电阻，从而有助于节省功耗。

8.2.3 应用曲线

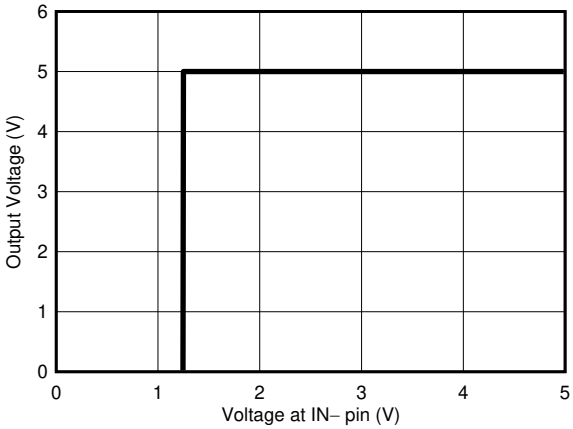


图 8-2. 阈值检测器的传递函数

8.3 电源相关建议

TLV370x 器件的额定工作电压为 2.5V 至 16V（±1.25V 至 ±8V）；多种规格适用于 –40°C 至 +125°C 的温度范围。*节 6.9* 中介绍了随工作电压或温度变化而显著变化的参数。

8.4 布局

8.4.1 布局指南

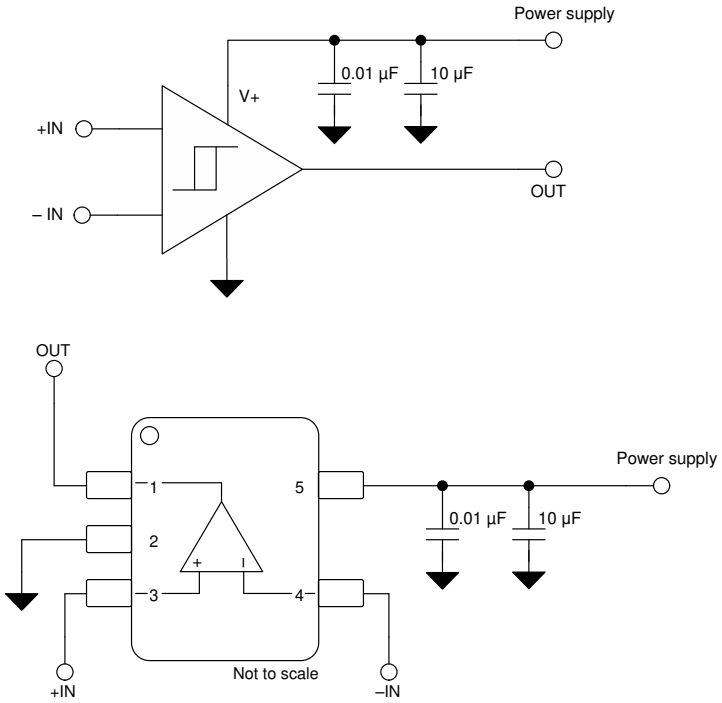
图 8-3 显示了 TLV370x 的典型连接。为了尽可能降低电源噪声，电源必须通过与 10µF 电解电容器并联的 0.01µF 陶瓷电容器进行电容去耦。比较器对输入噪声非常敏感。正确接地（使用接地平面）有助于保持 TLV370x 系列的额定性能。

为获得出色效果，请遵循以下布局布线指南：

1. 使用具有良好不间断低电感接地平面的印刷电路板 (PCB)。
2. 将去耦电容器（0.1µF 陶瓷表面贴装电容器）尽可能靠近 V_{CC} 放置。
3. 在输入端和输出端，尽可能缩短引线长度，以避免比较器周围出现不必要的寄生反馈。使输入端保持远离输出端。
4. 直接将器件焊接到 PCB 上，而不是使用插座。
5. 对于慢速输入信号，请注意防止寄生反馈。在输入端之间放置一个小电容器（1000pF 或更小）有助于消除转换区域中的振荡。当阻抗较低时，该电容器会导致传播延迟性能下降。顶部接地平面位于输出端和输入端之间。
6. 接地引脚的接地走线从器件下方延伸到旁路电容器，从而将输入与输出隔离开来。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 布局示例



Copyright © 2016, Texas Instruments Incorporated

图 8-3. TLV3701 和 SOT-23 布局示例

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 DIP 适配器 EVM

DIP 适配器 EVM 工具为小型表面贴装 IC 的原型开发提供了一种简便、低成本的方法。该评估工具支持以下 TI 封装：D 或 U（8 引脚 SOIC）、PW（8 引脚 TSSOP）、DGK（8 引脚 MSOP）、DBV（6 引脚 SOT-23、5 引脚 SOT23 和 3 引脚 SOT-23）、DCK（6 引脚 SC-70 和 5 引脚 SC-70）以及 DRL（6 引脚 SOT-563）。DIP 适配器 EVM 也可与接线端子排配合使用，或直接接线至现有电路。

9.1.1.2 通用运放 EVM

通用运放 EVM 是一系列通用空白电路板，可简化采用各种 IC 封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、MSOP、TSSOP 和 SOT-23 封装。

备注

这些电路板均为空白电路板，用户必须自行提供 IC。TI 建议您在订购通用运算放大器 EVM 时申请几个运算放大器样片。

9.2 文档支持

9.2.1 相关文档

以下文档与 TLV370x 器件的使用相关，建议参考。所有这些文档都可从 www.ti.com.cn 上下载（除非另有说明）：

- 德州仪器 (TI)，*通用运算放大器 EVM 用户指南*
- 德州仪器 (TI)，*基于斜率检测的硬件心率检测方案*
- 德州仪器 (TI)，*适用于低压比较器的双极性高压差分接口*
- 德州仪器 (TI)，*交流耦合单电源比较器*
- 德州仪器 (TI)，*基于 TMS320VC5505 DSP 医疗开发套件的 ECG 实现方案*
- 德州仪器 (TI)，*REF33xx 3.9-μA、SC70-3、SOT-23-3 和 UQFN-8，30-ppm/°C 漂移电压基准*

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

Copyright © 2025 Texas Instruments Incorporated

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from Revision D (May 2017) to Revision E (December 2025)	Page
• 删除了“功耗额定值”表	6
• 更新了“开关特性”表	9
• 更新了典型性能曲线	10
• 更新了功能方框图	13
• 添加了上电复位信息	13
• 添加了“器件功能模式”信息	14

Changes from Revision C (March 2017) to Revision D (May 2017)	Page
• 更改了“启动时间”表注的措辞	9

Changes from Revision B (August 2001) to Revision C (March 2017)	Page
• 添加了*器件信息*表、*器件比较*表、*ESD 等级*表、*特性说明*部分、*器件功能模式*、*应用和实施*部分、*电源相关建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分	1
• 将 VOH 典型值从 0.08 更改为 80，以反映正确的单位	8

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3701CD	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3701C
TLV3701CD.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3701C
TLV3701CDBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	0 to 70	VBCC
TLV3701ID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3701I
TLV3701ID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3701I
TLV3701IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCI
TLV3701IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCI
TLV3701IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TLV3701IDBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	VBCI
TLV3701IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3701I
TLV3701IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3701I
TLV3701IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3701I
TLV3701IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3701I
TLV3702CD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	3702C
TLV3702CDGK	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	0 to 70	AKC
TLV3702CDGKR	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	0 to 70	AKC
TLV3702ID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	3702I
TLV3702IDGK	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	AKD
TLV3702IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AKD
TLV3702IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AKD
TLV3702IDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TLV3702IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702I
TLV3702IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702I
TLV3702IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3702I
TLV3702IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3702I
TLV3704CD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3704C
TLV3704CD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3704C
TLV3704CPW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	0 to 70	3704C
TLV3704ID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3704ID.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I
TLV3704IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I
TLV3704IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I
TLV3704IN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3704I
TLV3704IN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3704I
TLV3704IPW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 125	3704I
TLV3704IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I
TLV3704IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3701, TLV3702 :

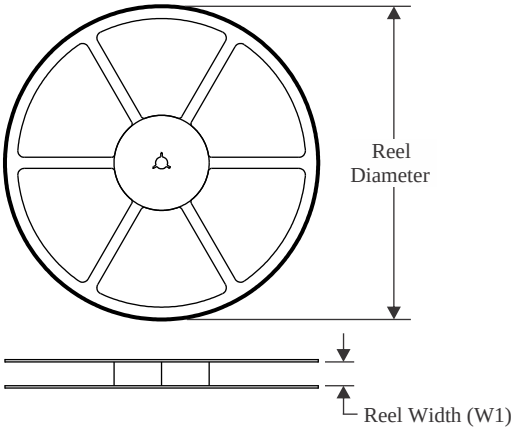
- Automotive : TLV3701-Q1, TLV3702-Q1
- Enhanced Product : TLV3701-EP

NOTE: Qualified Version Definitions:

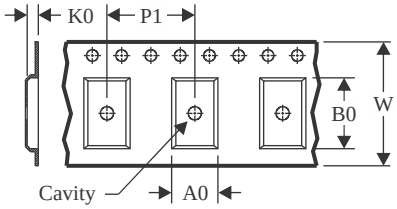
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

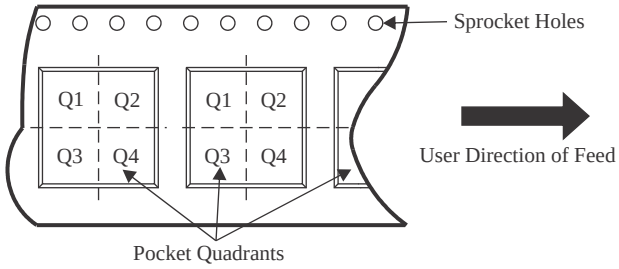


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

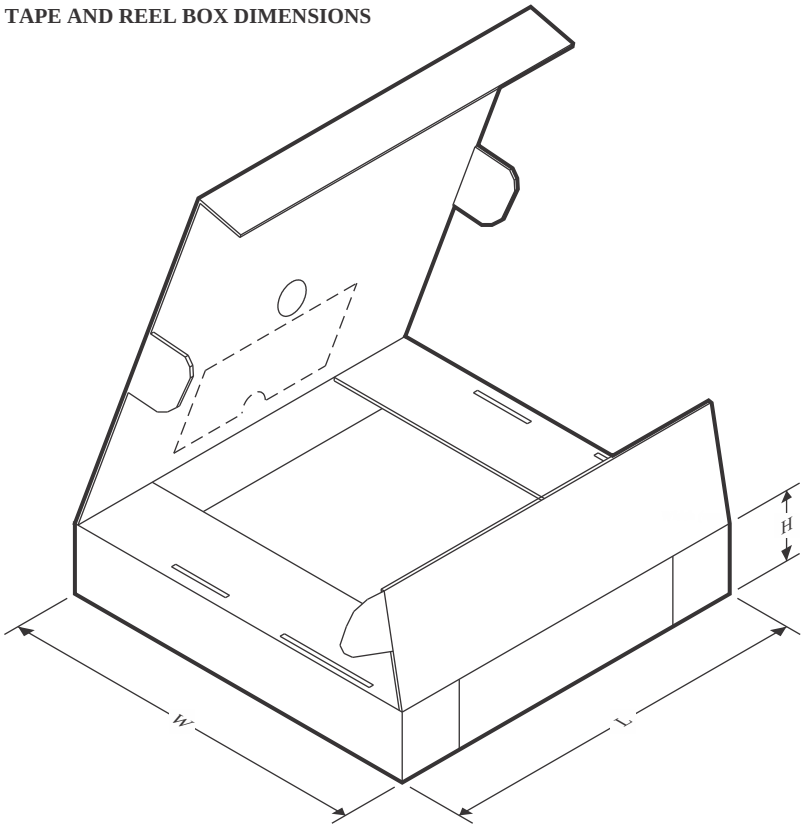
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3701IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3701IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3701IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3702IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3702IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3704IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV3704IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

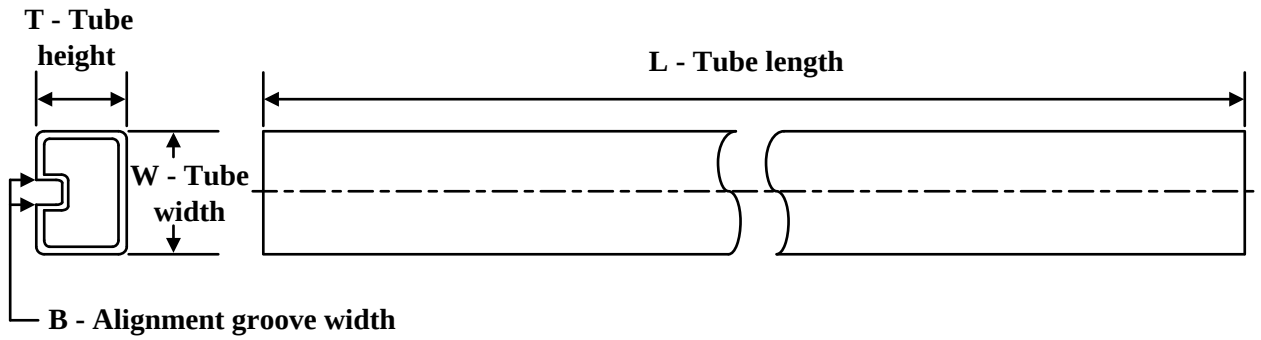
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3701IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3701IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3701IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV3702IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV3702IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV3704IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV3704IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

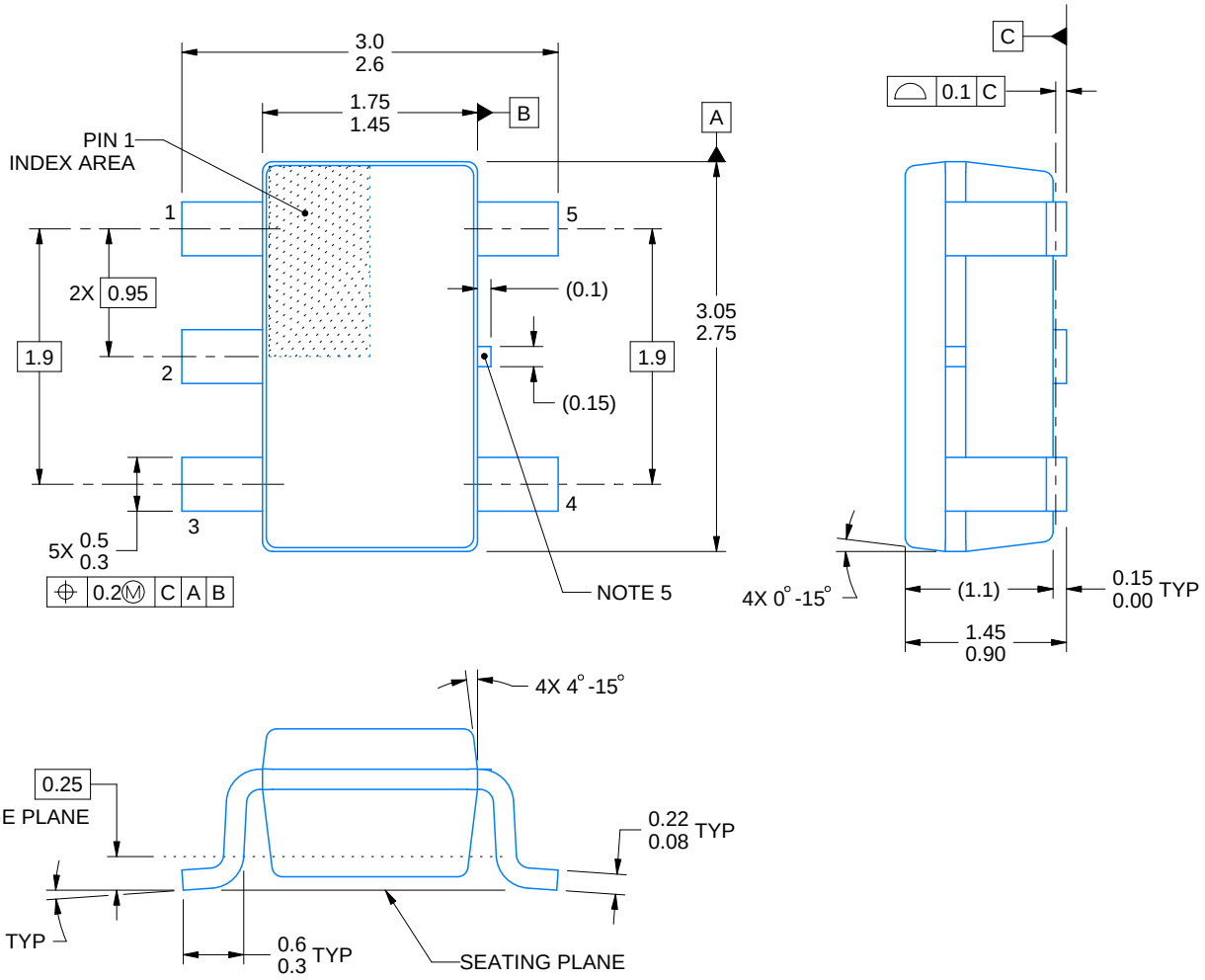
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLV3701CD	D	SOIC	8	75	507	8	3940	4.32
TLV3701CD.A	D	SOIC	8	75	507	8	3940	4.32
TLV3701ID	D	SOIC	8	75	507	8	3940	4.32
TLV3701ID.A	D	SOIC	8	75	507	8	3940	4.32
TLV3701IP	P	PDIP	8	50	506	13.97	11230	4.32
TLV3701IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLV3702IP	P	PDIP	8	50	506	13.97	11230	4.32
TLV3702IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLV3704CD	D	SOIC	14	50	507	8	3940	4.32
TLV3704CD.A	D	SOIC	14	50	507	8	3940	4.32
TLV3704ID	D	SOIC	14	50	507	8	3940	4.32
TLV3704ID.A	D	SOIC	14	50	507	8	3940	4.32
TLV3704IN	N	PDIP	14	25	506	13.97	11230	4.32
TLV3704IN.A	N	PDIP	14	25	506	13.97	11230	4.32

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

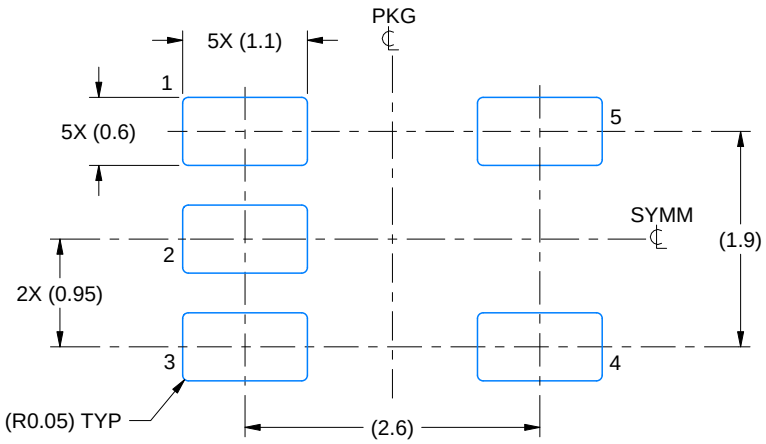
SMALL OUTLINE TRANSISTOR



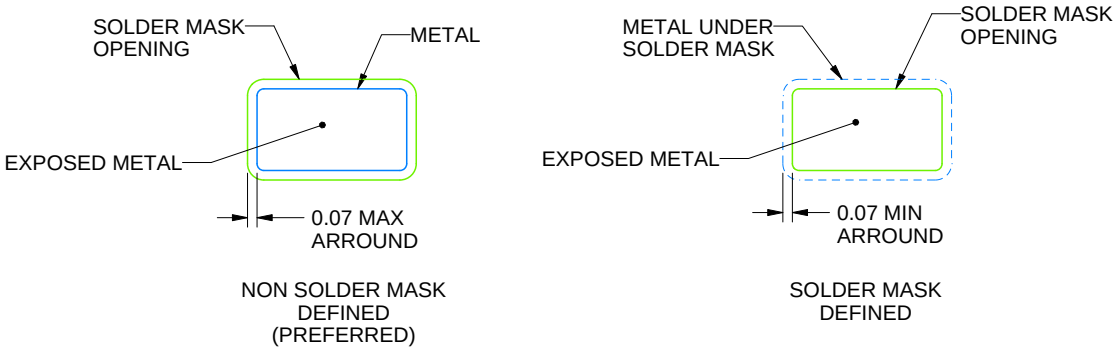
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

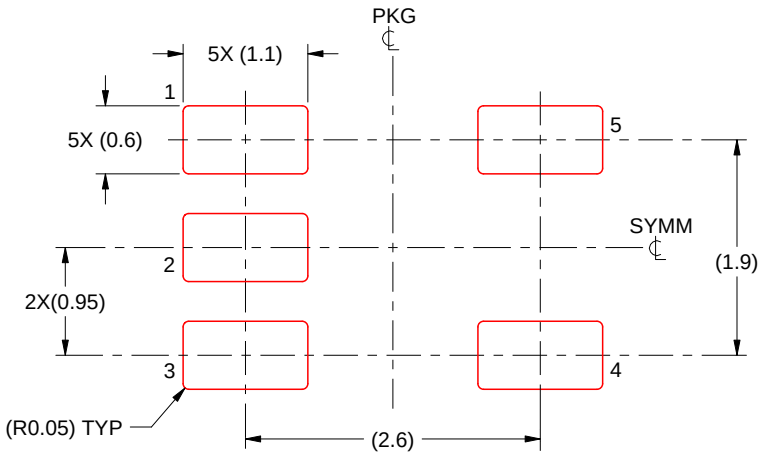


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

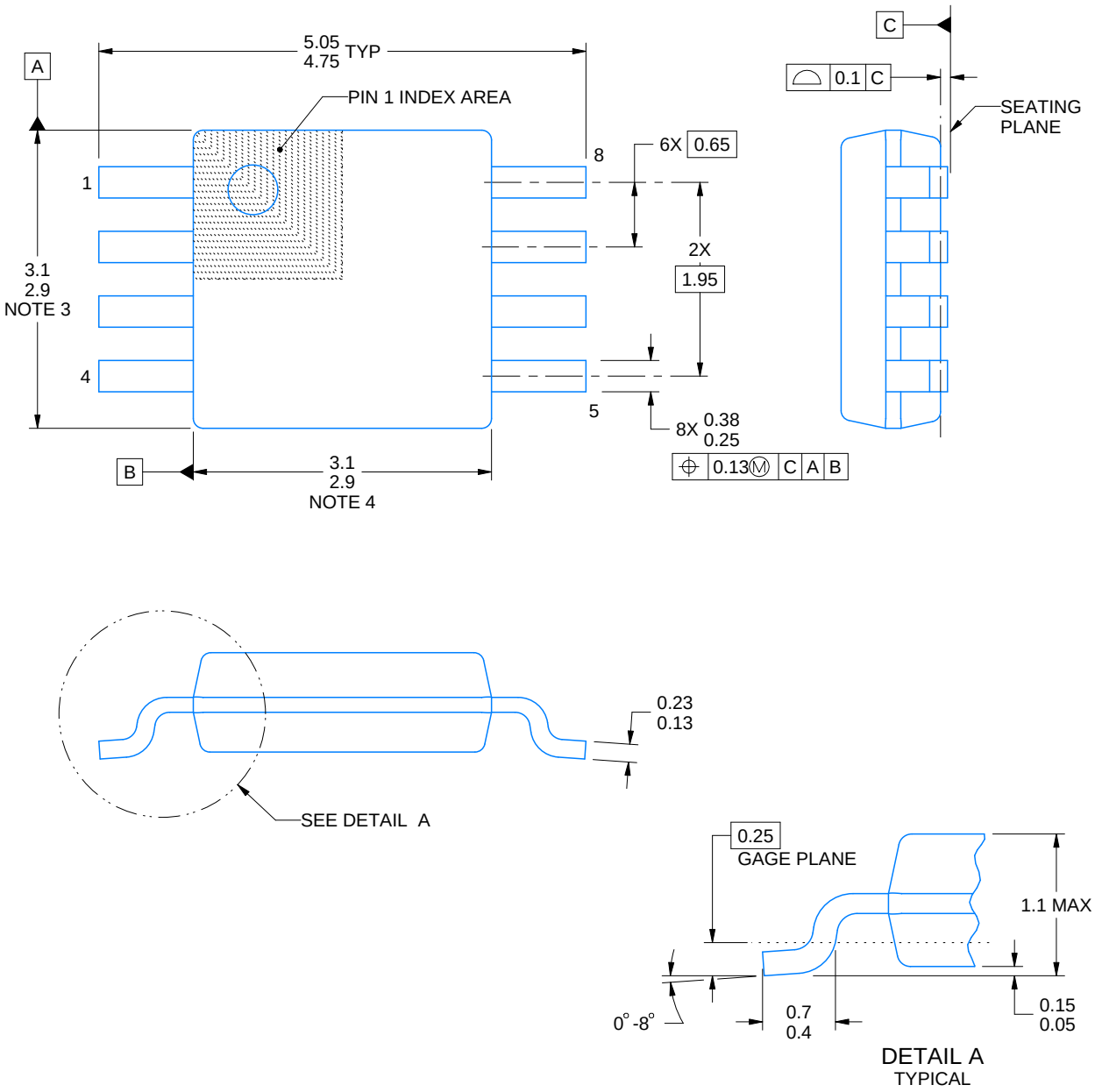
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

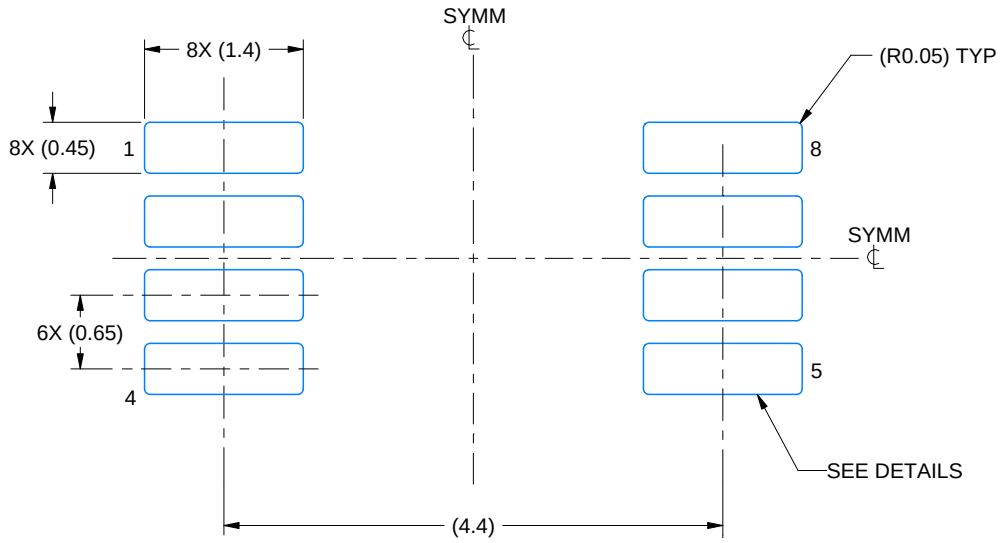
SMALL OUTLINE PACKAGE



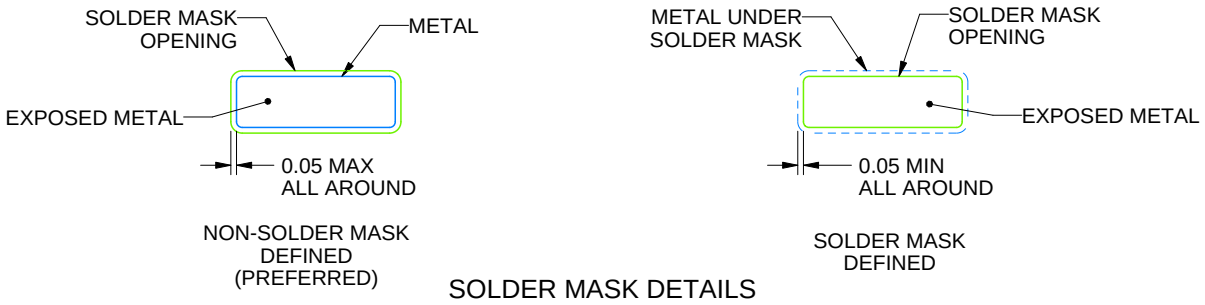
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

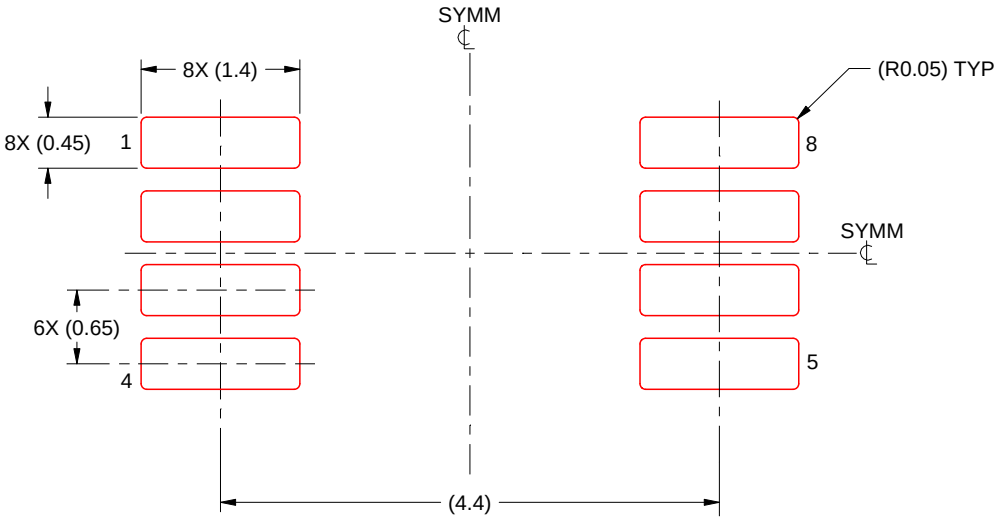


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

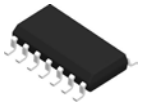


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

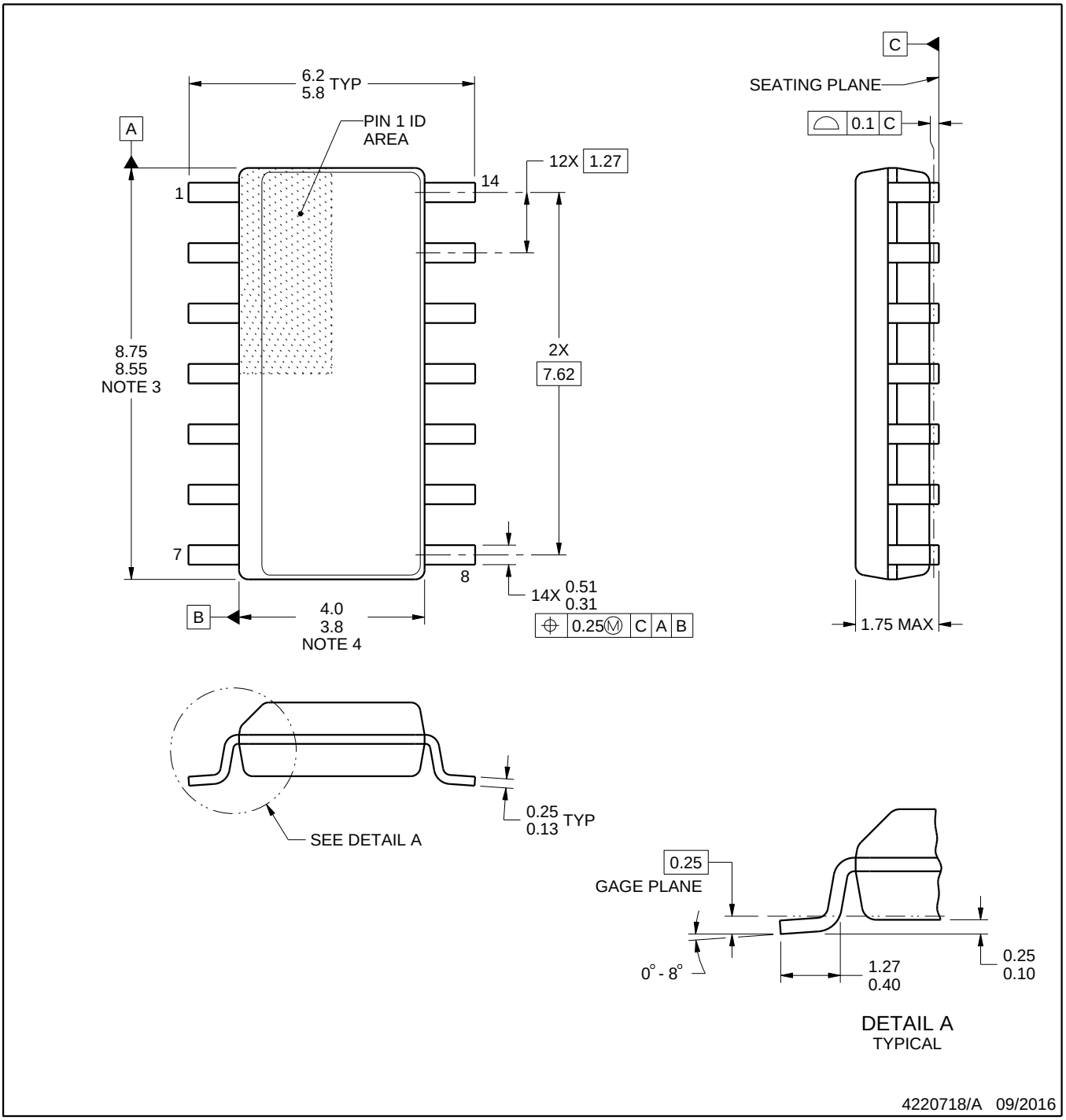


PACKAGE OUTLINE

D0014A

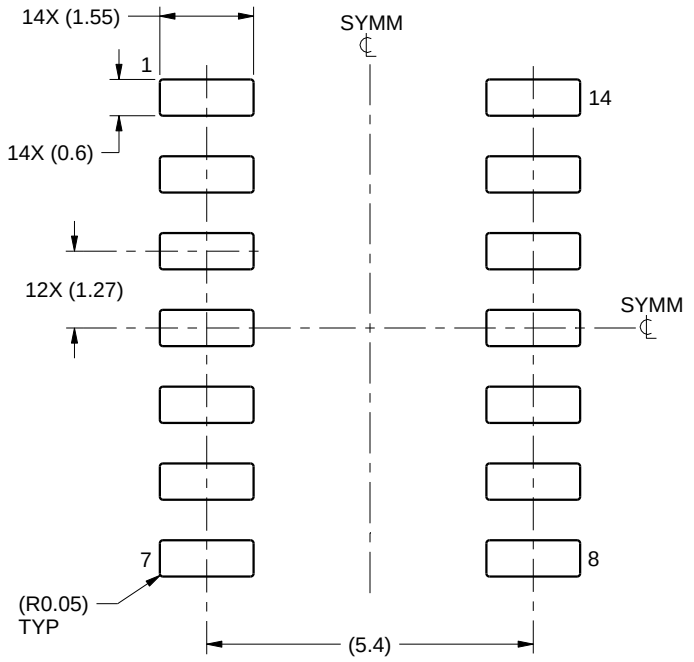
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

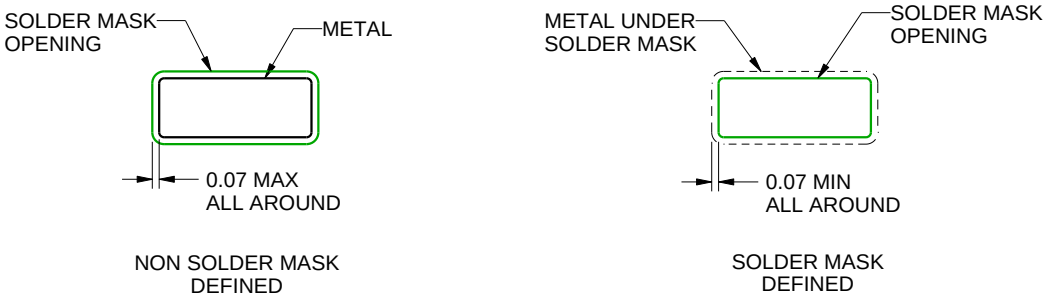


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

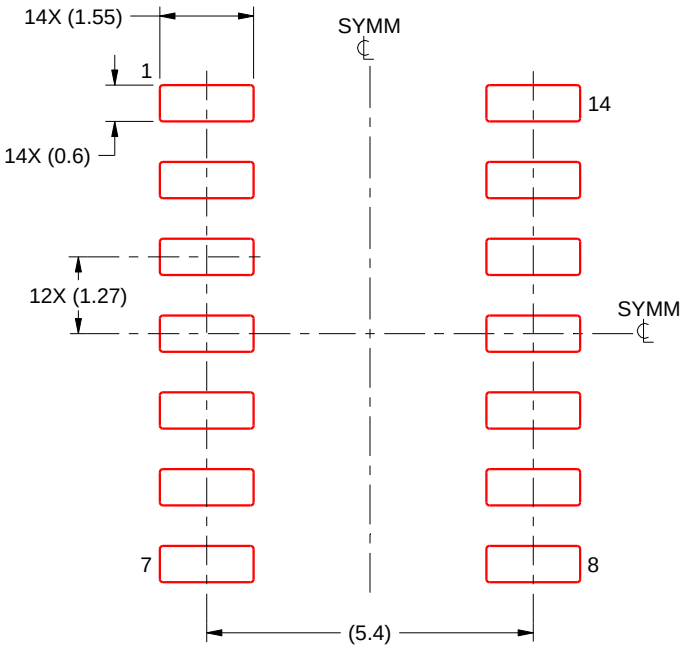
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

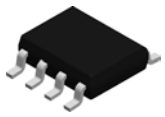


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

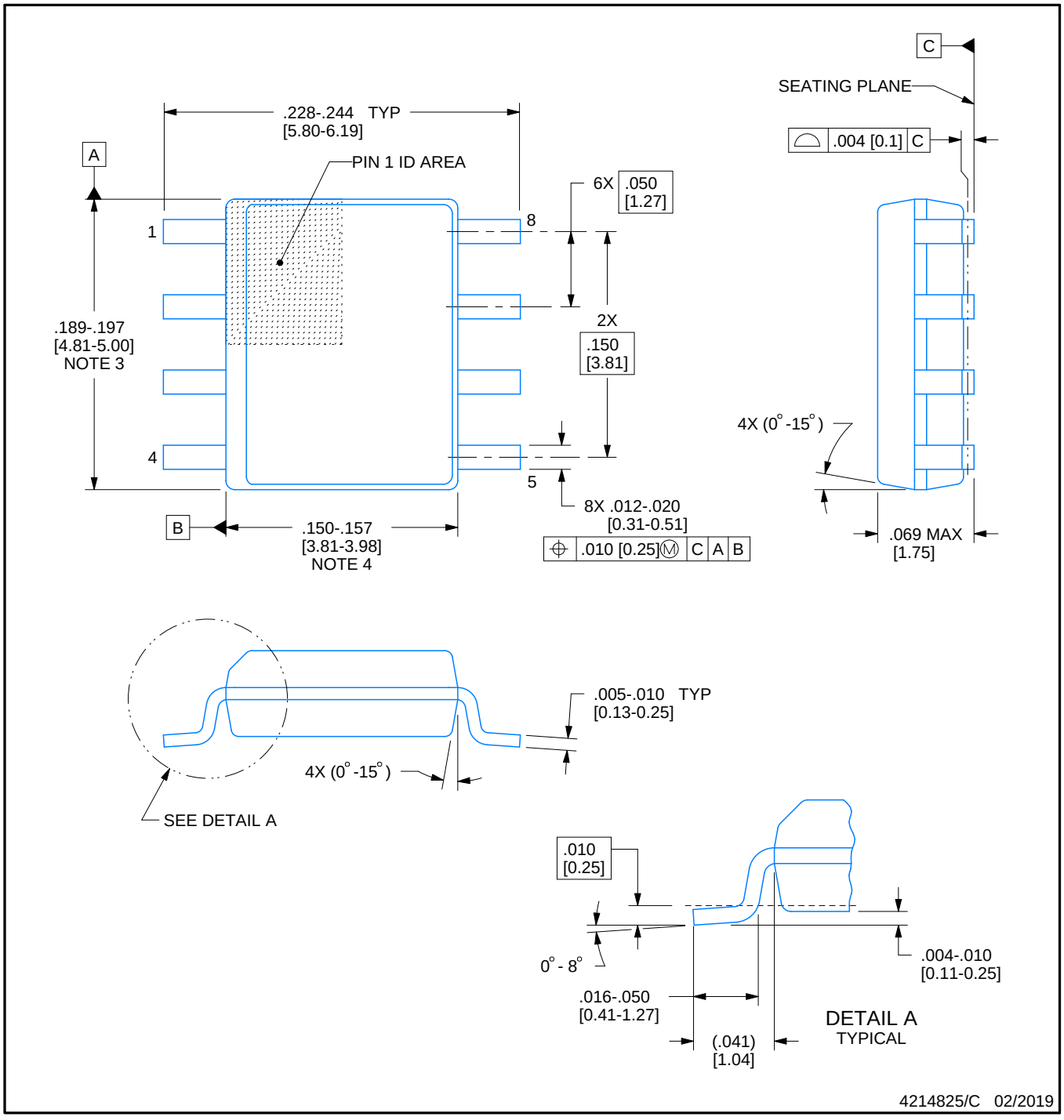


PACKAGE OUTLINE

D0008A

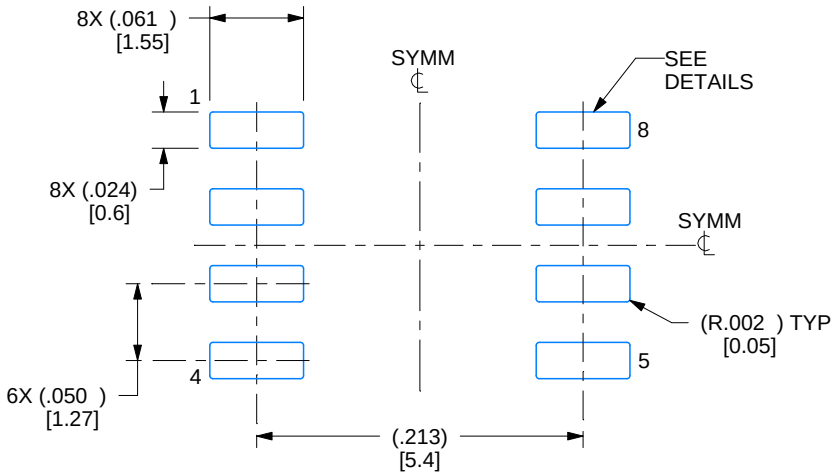
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

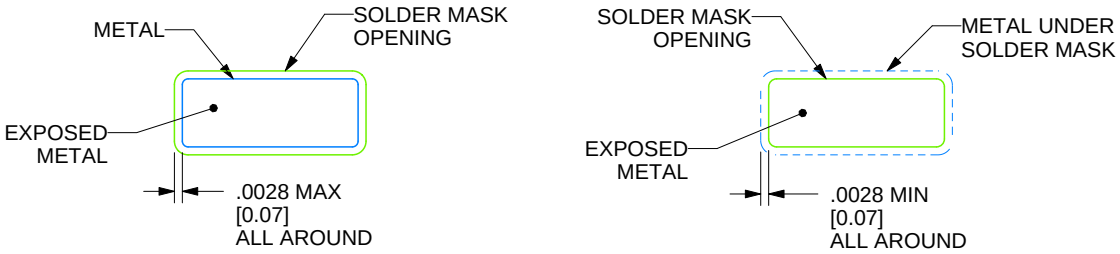


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

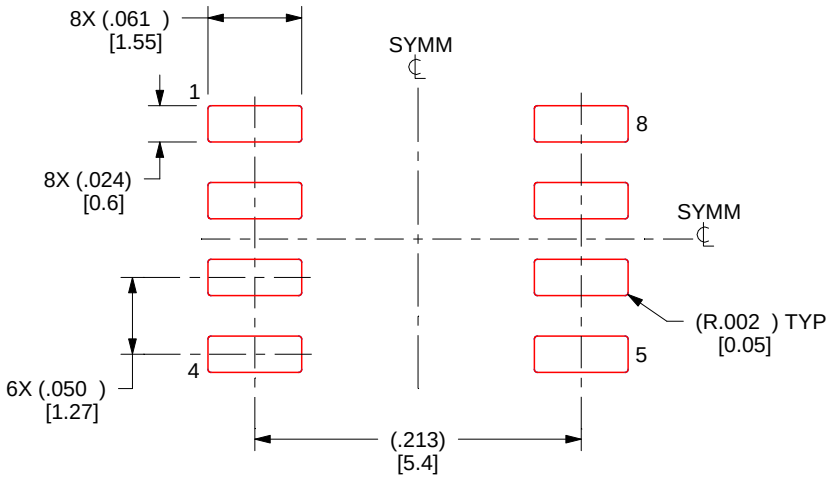
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



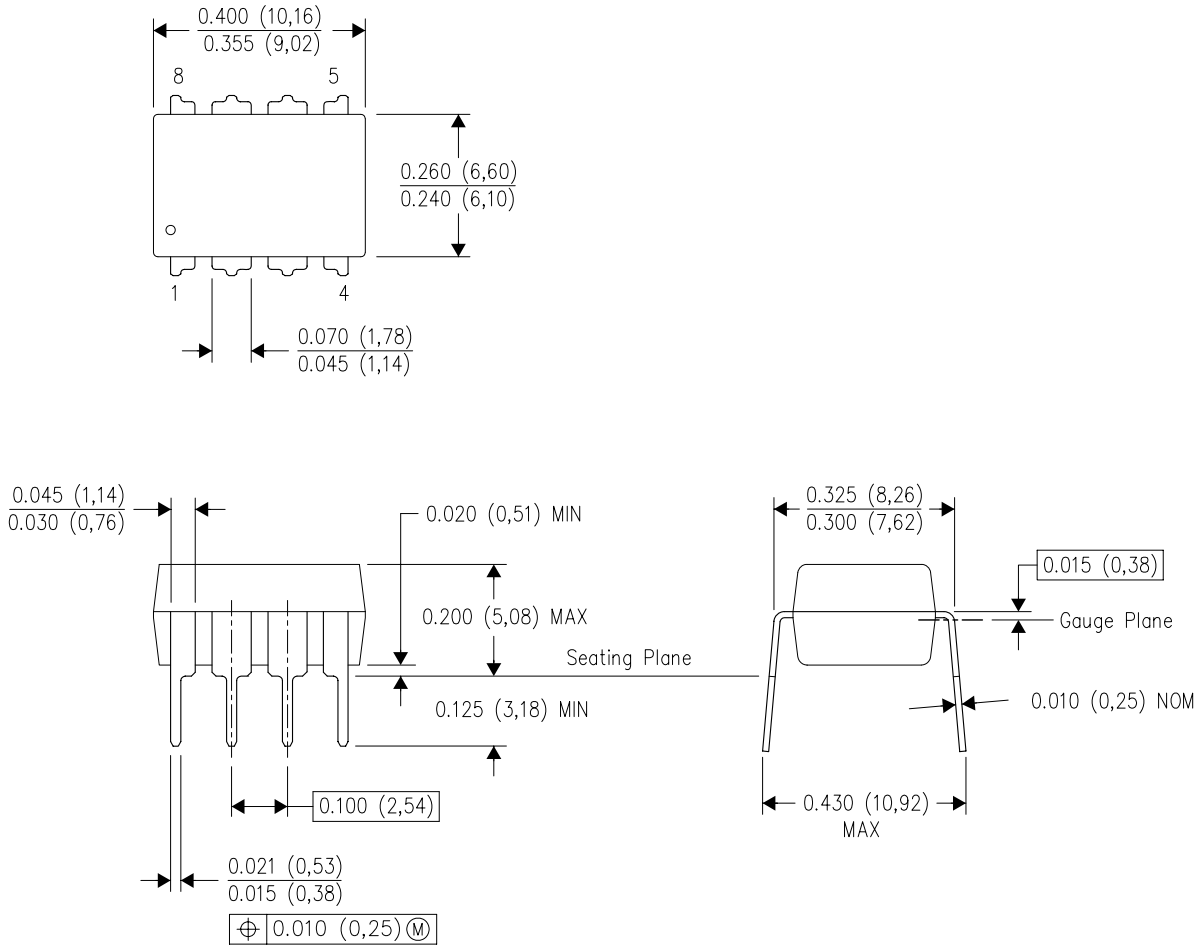
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

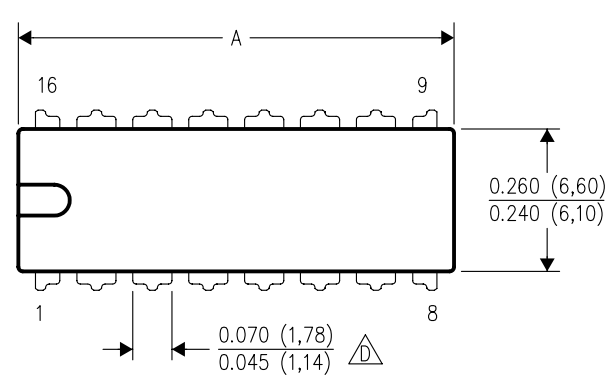


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

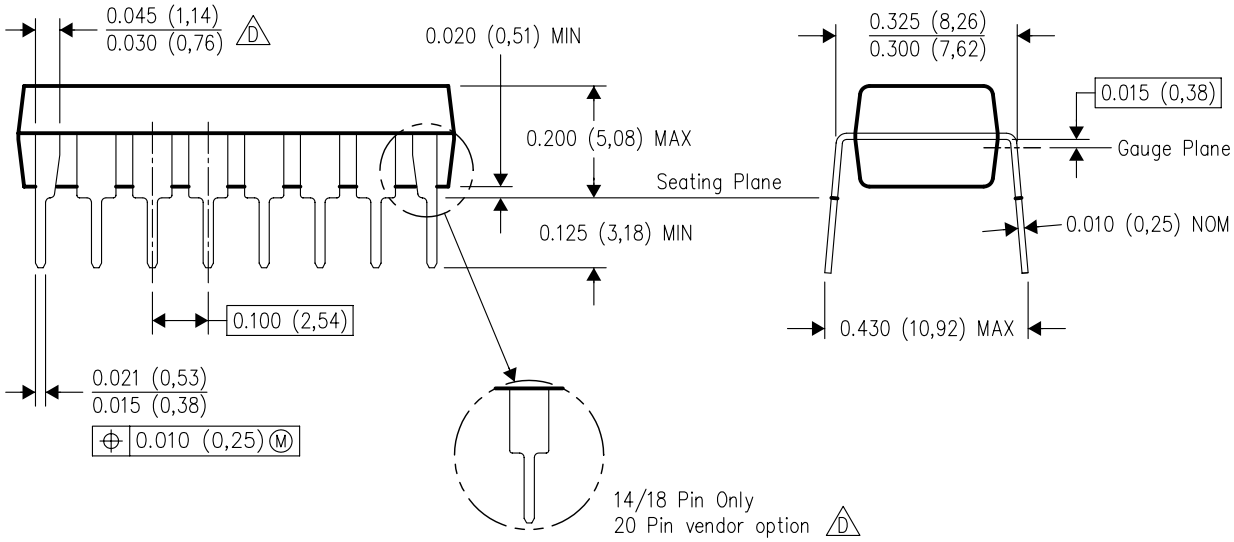
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

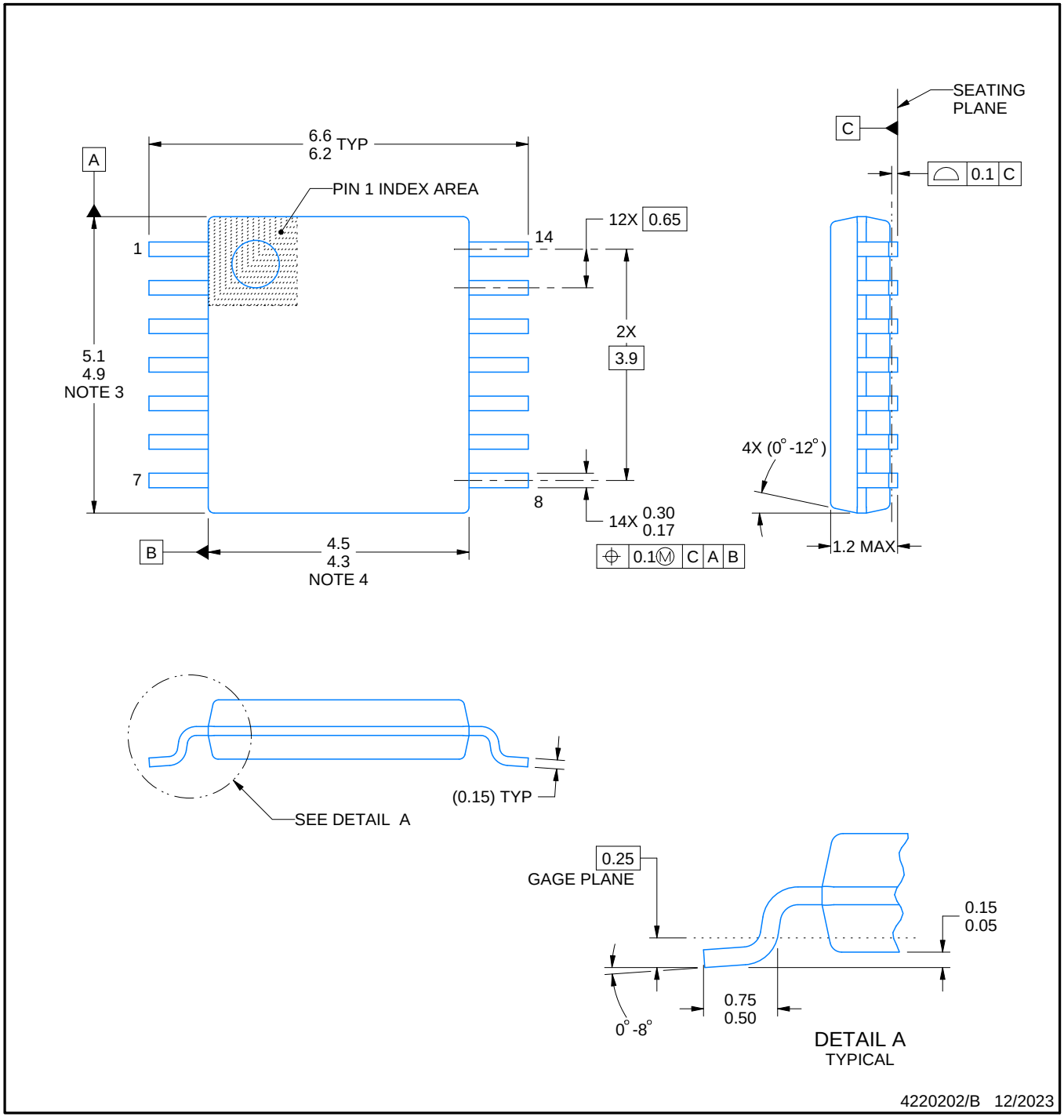
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

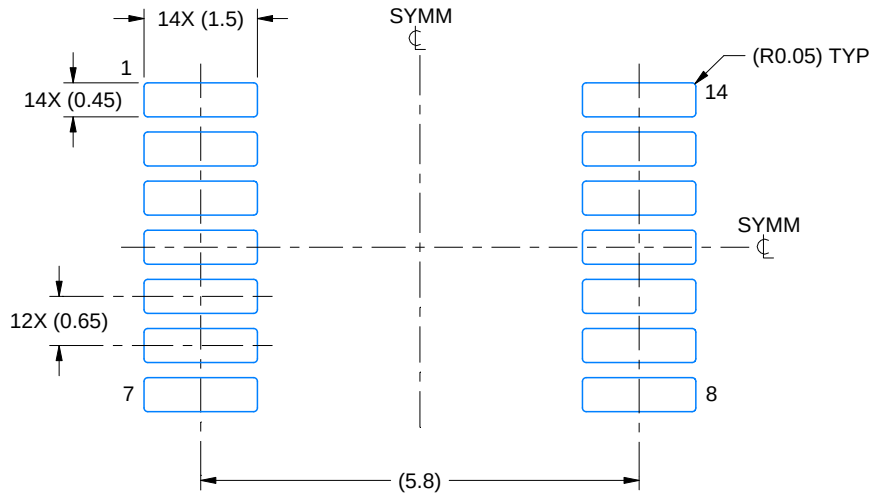
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

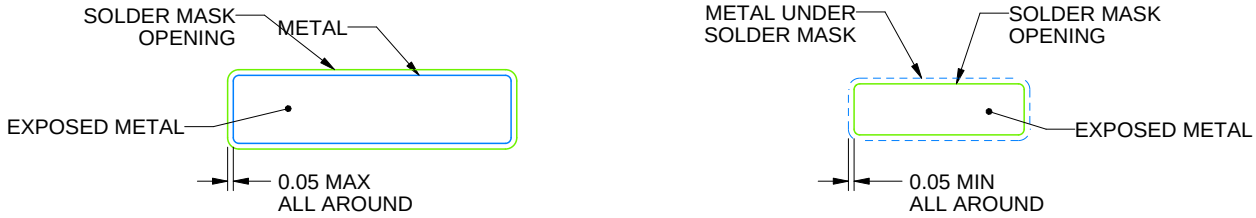


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

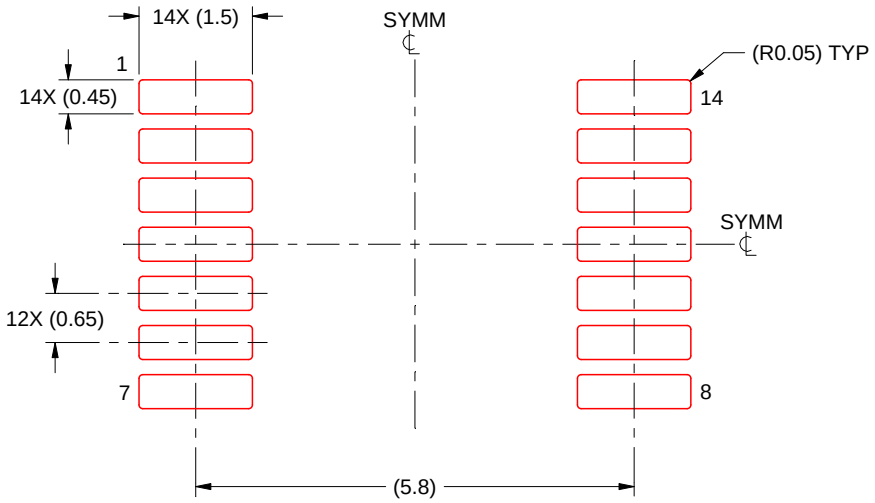


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月