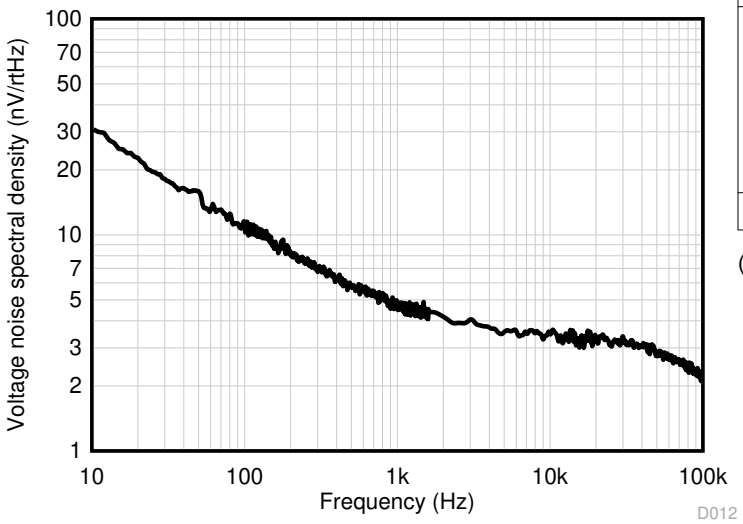
TLV6741、TLV6742、TLV6744 10MHz 低宽带噪声 RRO 运算放大器

1 特性

- 低宽带噪声：3.5nV/ √Hz
- 增益带宽：10MHz
- 低输入偏置电流：±3pA
- 低失调电压：0.15mV
- 低失调电压漂移：±0.2μV/°C
- 轨到轨输出
- 单位增益稳定
- 低 I_Q：
  - TLV6741：890μA/通道
  - TLV6742/4：990μA/通道
- 宽电源电压范围：
  - TLV6741：2.25V 至 5.5V
  - TLV6742/4：1.7V 至 5.5V
- 强大的 EMIRR 性能：2.4GHz 时为 71dB

2 应用

- 固态硬盘
- 可穿戴设备（非医用）
- 专业音频放大器（机架式）
- 跨阻放大器电路
- 测试和测量
- 电机驱动器
- 压力变送器
- 实验室和现场仪表
- 桥式放大器电路
- 游戏应用



噪声频谱密度与频率间的关系

3 说明

TLV674x 系列包括单通道 (TLV6741)、双通道 (TLV6742) 和四通道 (TLV6744) 通用 CMOS 运算放大器，这些运算放大器提供 3.5nV/ √Hz 的低噪声系数和 10MHz 的高带宽。TLV674x 系列器件凭借低噪声和高带宽特性，适用于要求在成本和性能之间达到良好平衡的各种高精度应用。此外，TLV674x 系列的输入偏置电流支持具有高源阻抗的应用。

TLV674x 系列器件采用稳健耐用的设计，方便电路设计人员使用；这得益于该器件具有单位增益稳定性、集成的 RFI/EMI 抑制滤波器、在过驱条件下不会出现反相并且具有高静电放电 (ESD) 保护功能 (2kV HBM)。另外，电阻式开环输出阻抗使其易于在超高的容性负载下保持稳定。

该运算放大器系列经过优化，可在低电压下运行，TLV6741 的工作电压低至 2.25V (±1.125V)，TLV6742 和 TLV6744 的工作电压可低至 1.7V (±0.85V)。所有器件的最高工作电压均为 5.5V (±2.75V)，额定温度范围为 –40°C 至 125°C。

单通道 TLV6741 采用小尺寸的 SC70-5 封装。双通道 TLV6742 可采用多种封装选项，其中包括 1.5mm × 2.0mm X2QFN 微型封装。

器件信息

器件型号(1)	封装	封装尺寸（标称值）
TLV6741	SC70 (5)	1.25mm × 2.00mm
TLV6742	SOIC (8)	3.91mm × 4.90mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
	SOT-23 (8)	1.60mm × 2.90mm
	WSON (8)	2.00mm × 2.00mm
TLV6742S	X2QFN (10)	1.50mm x 2.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 器件比较表.....4
6 引脚配置和功能.....5
7 规格.....7
7.1 绝对最大额定值.....7
7.2 ESD 等级.....7
7.3 建议运行条件.....7
7.4 单通道器件的热性能信息.....7
7.5 双通道器件的热性能信息.....8
7.6 电气特性.....9
7.7 TLV6741：典型特性.....12
7.8 TLV6742：典型特性.....19
8 详细说明.....26
8.1 概述.....26
8.2 功能方框图.....26
8.3 特性说明.....26
8.4 器件功能模式.....30
9 应用和实现.....31
9.1 应用信息.....31
9.2 具有语音滤波器的单电源驻极体麦克风前置放大器.....31
10 电源相关建议.....34
11 布局.....35
11.1 布局指南.....35
11.2 布局示例.....36
12 器件和文档支持.....38
12.1 文档支持.....38
12.2 接收文档更新通知.....38
12.3 支持资源.....38
12.4 商标.....38
12.5 Electrostatic Discharge Caution.....38
12.6 术语表.....38
13 机械、封装和可订购信息.....39

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision H (February 2021) to Revision I (August 2021) — **Page**

- 删除了*器件信息*部分中 TLV6742 VSSOP 的预发布标签.....1
- 在*器件比较表*部分中删除了 VSSOP (DGK) 的预发布标签.....4

Changes from Revision G (April 2020) to Revision H (February 2021) — **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式.....1
- 删除了*器件信息*部分中 TLV6742S X2QFN 的预发布标签.....1
- 在*引脚配置和功能*部分中删除了 TLV6742S 的 X2QFN 预发布说明.....5
- 从*规格*部分中删除了“TLV6741 图形表”和“TLV6742 图形表”两个表.....12
- 从*器件和文档支持*部分中删除了*相关链接*部分.....38

Changes from Revision F (January 2020) to Revision G (April 2020) — **Page**

- 向*应用*部分添加了终端设备链接.....1
- 删除了*器件信息*部分中 TSSOP、SOT-23、WSON 和 X2QFN 封装的预发布标签.....1
- 删除了*器件信息*部分中的 VSSOP (8) 封装.....1
- 在*器件信息*部分中添加了 TLV6742S X2QFN 的预发布标签.....1
- 删除了*器件比较表*部分中的 VSSOP (DGK).....4
- 向*器件比较表*部分中添加了 X2QFN (RUG) 的预发布标签.....4
- 在*引脚配置和功能*部分中删除了 TLV6742 封装引脚图中的 DGK 封装.....5
- 删除了*双通道热性能信息*部分中的 DGK VSSOP.....7
- 添加了关断电气特性信息.....9
- 删除了*布局示例*部分中 VSSOP-8 (DGK) 封装的示例布局.....36

Changes from Revision E (December 2019) to Revision F (January 2020) — **Page**

- 删除了数据表页眉中的 TLV6744 产品文件夹链接.....1

Copyright © 2022 Texas Instruments Incorporated

Changes from Revision D (January 2019) to Revision E (December 2019) **Page**

- 在*特性* 部分中添加了 TLV6742 和 TLV744 的 I_Q 定义 1
- 在*特性* 部分中添加了 EMIRR、电源电压范围、I_Q 和失调电压漂移 1
- 将首页上的噪声频谱密度与频率间的关系图更改为 TLV6742 和 TLV6744 噪声图 1
- 更改了*说明* 部分的措辞以包含 TLV6742 和 TLV6744 器件的发布 1
- 更改了*器件信息* 中的 TLV6742 封装 1
- 添加了*器件比较表*部分 4
- 向“引脚功能：TLV6741”表中添加了有关单电源供电的说明 5
- 向*引脚配置和功能*部分中添加了 TLV6742 封装的引脚图 5
- 添加了 TLV6742 封装的引脚功能 5
- 向*引脚配置和功能*部分中添加 TLV6742S 的 X2QFN 封装图和引脚功能 5
- 向*规格*部分中添加了 TLV6742 典型特性图 12
- 更改了*详细说明*部分的措辞以包含 TLV6742 和 TLV6744 器件 26
- 向*详细说明*部分中添加了包含说明信息的 *EMI 抑制*部分 26
- 向*详细说明*部分中添加了*电气过载*部分和图 28
- 向*详细说明*部分中添加了*典型规格和分布*部分 29
- 向*详细说明*部分中添加了包含 TLV6742S 说明的*关断功能*部分 30
- 向*详细说明*部分中添加了*带外露散热焊盘的封装*部分 30
- 更改了*应用和实现* 部分中的措辞，添加了 TLV6742 和 TLV6744 31
- 向*电源相关建议*部分中添加了 TLV6742 和 TLV6744 信息 34
- 向*布局*部分中添加了双通道布局示例 36

Changes from Revision C (October 2017) to Revision D (January 2019) **Page**

- 将*绝对最大额定值*中的工作温度从 125 更改为 150 7
- 向*绝对最大额定值*中添加了结温规格 7

Changes from Revision B (October 2017) to Revision C (October 2017) **Page**

- 已将测试条件添加到*电气特性* 表中的输入失调电压参数 9
- 将典型输入电流噪声密度值从 2fA/ √Hz 更改为 23fA/ √Hz 9
- 将*电气特性*条件说明中的总电源电压从 5V 更改为 5.5V 9
- 删除了*电气特性*中共模抑制比参数的“Vs = 2.25V 至 5.5V”测试条件 9
- 从图 7-25 和图 7-26、图 7-27 和图 7-28 中删除了“C_L = 0”测试条件 12
- 将图 7-32 中的电压阶跃从 5V 更改为 2V 12

Changes from Revision A (September 2017) to Revision B (October 2017) **Page**

- 将人体放电模型 (HBM) 值从±1000 更改为 ±3000，将充电器件模型 (CDM) 值从 ±250 更改为 ±1000 7

Changes from Revision * (June 2017) to Revision A (September 2017) **Page**

- 将器件文档状态从“预告信息”更改为“量产数据” 1

Copyright © 2022 Texas Instruments Incorporated

5 器件比较表

器件	通道数	封装引线						
		SOIC D	SC-70 DCK	VSSOP DGK	WSON DSG	TSSOP PW	SOT-23 DDF	X2QFN RUG
TLV6741	1	—	5	—	—	—	—	—
TLV6742	2	8	—	8	8	8	8	—
TLV6742S		—	—	—	—	—	—	10

Copyright © 2022 Texas Instruments Incorporated

6 引脚配置和功能

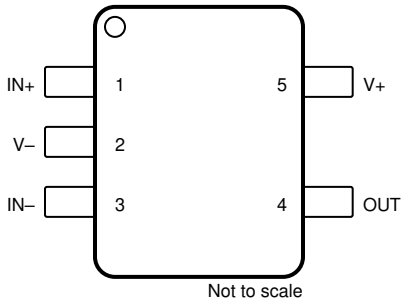


图 6-1. TLV6741 DCK 封装
5 引脚 SC70
顶视图

表 6-1. 引脚功能：TLV6741

引脚		I/O	说明
名称	编号		
IN+	1	I	同相输入
IN –	3	I	反相输入
OUT	4	O	输出
V+	5	—	正（最高）电源
V –	2	—	负（最低）电源或接地（对于单电源供电）

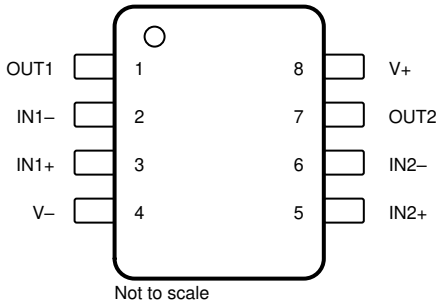
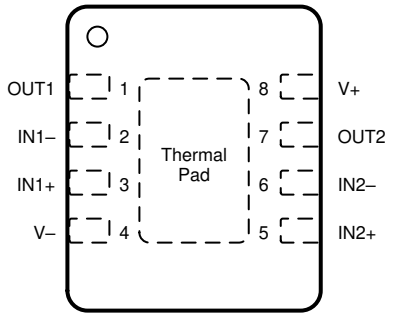


图 6-2. TLV6742 D、DGK、PW 和 DDF 封装
8 引脚 SOIC、VSSOP、TSSOP 和 SOT-23
顶视图



将散热焊盘连接至 V – 。更多信息，请参阅节 8.3.8。

图 6-3. TLV6742 DSG 封装
8 引脚 WSON（带有外露散热焊盘）
顶视图

表 6-2. 引脚功能：TLV6742

引脚		I/O	说明
名称	编号		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2

Copyright © 2022 Texas Instruments Incorporated

表 6-2. 引脚功能：TLV6742 (continued)

引脚		I/O	说明
名称	编号		
V –	4	—	负（最低）电源或接地（对于单电源供电）
V+	8	—	正（最高）电源

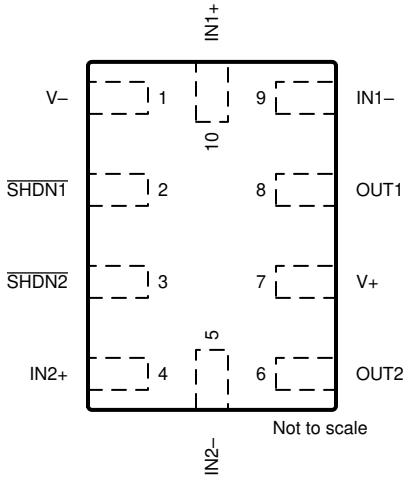


图 6-4. TLV6742S RUG 封装
10 引脚 X2QFN
顶视图

表 6-3. 引脚功能：TLV6742S

引脚		I/O	说明
名称	编号		
IN1 –	9	I	反相输入，通道 1
IN1+	10	I	同相输入，通道 1
IN2 –	5	I	反相输入，通道 2
IN2+	4	I	同相输入，通道 2
OUT1	8	O	输出，通道 1
OUT2	6	O	输出，通道 2
$\overline{\text{SHDN1}}$	2	I	关断：低电平 = 禁用放大器，高电平 = 启用放大器。通道 1。更多信息，请参阅节 8.3.7。
$\overline{\text{SHDN2}}$	3	I	关断：低电平 = 禁用放大器，高电平 = 启用放大器。通道 2。更多信息，请参阅节 8.3.7。
V –	1	I 或 —	负（最低）电源或接地（对于单电源供电）
V+	7	I	正（最高）电源

Copyright © 2022 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在工作环境温度范围内（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	6	V
信号输入引脚	共模电压(3)	(V–) – 0.5	(V+) + 0.5	V
	差分电压 (3) (4)		V_S + 0.2	V
	电流 (3)	-10	10	mA
输出短路 (2)		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 如果在超出*绝对最大额定值*下列出的额定值的情况下运行器件，则会对器件造成永久性损坏。这些只是基于工艺和设计限制条件的应力额定值，该器件并未设计为在*建议运行条件*中指定的条件之外运行。如果长时间暴露于*建议运行条件*之外的任何条件（包括绝对最大额定条件）下，则可能影响器件的可靠性和性能。
(2) 接地短路，每个封装对应一个放大器。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。
(4) 连续施加大于 0.25 V 的差分输入电压会导致输入失调电压偏移超过该参数的最大规格。这种影响的幅度随着环境工作温度升高而增大。

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	**TLV6741：**人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±3000	V
		TLV6742：人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	
		所有器件：充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

在工作环境温度范围内测得（除非另外注明）

		最小值	最大值	单位
V_S	TLV6742 和 TLV6744 的电源电压 (V+) – (V–)	1.7(1)	5.5	V
V_S	仅 TLV6741 的电源电压 (V+) – (V–)	2.25	5.5	V
V_I	输入电压范围	(V–)	(V+) – 1.2	V
T_A	额定温度	-40	125	°C

(1) 仅在 T_A = 0 - 85 ℃ 时建议在 1.7V 和 1.8V 之间工作

7.4 单通道器件的热性能信息

热指标 (1)		TLV6741 DCK (SC70) 5 引脚	单位
$R_{\theta JA}$	结至环境热阻	240.9	℃/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	151.7	℃/W
$R_{\theta JB}$	结至电路板热阻	64	℃/W
Ψ_{JT}	结至顶部特征参数	34.8	℃/W
Ψ_{JB}	结至电路板特征参数	63.3	℃/W

Copyright © 2022 Texas Instruments Incorporated

7.4 单通道器件的热性能信息 (continued)

热指标 (1)		TLV6741	单位
		DCK (SC70)	
		5 引脚	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	℃/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告 SPRA953C。

7.5 双通道器件的热性能信息

热指标 (1)		TLV6742、TLV6742S						单位
		D (SOIC)	DDF (SOT-23-8)	DSG (WSON)	PW (TSSOP)	DGK (VSSOP)	RUG (X2QFN)	
		8 引脚	8 引脚	8 引脚	8 引脚	8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	131.1	153.8	78.2	185.6	177.0	140.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	73.2	80.2	97.5	74.5	68.6	52.6	°C/W
$R_{\theta JB}$	结至电路板热阻	74.5	73.1	44.6	116.3	98.7	69.7	°C/W
ψ_{JT}	结至顶部特征参数	24.4	6.6	4.7	12.6	12.4	1.0	°C/W
ψ_{JB}	结至电路板特征参数	73.3	72.7	44.6	114.6	97.1	67.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	19.8	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953C。

Copyright © 2022 Texas Instruments Incorporated

7.6 电气特性

TLV6742/4 规格：V_S = (V+) – (V–) = 1.8V 至 5.5V（±0.9V 至 ±2.75V），T_A = 25°C，R_L = 10kΩ 且连接至 V_S/2，V_{CM} = V_S/2 且 $V_{O\ UT}$ = V_S/2（除非另有说明）。
TLV6741 规格：V_S = (V+) – (V–) = 5.5V，T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 $V_{O\ UT}$ = V_S/2（除非另有说明）。

参数		测试条件			最小值	典型值	最大值	单位
失调电压								
V_{OS}	输入失调电压	V_S = 5.0V				±0.15	±1.0	mV
			T_A = –40°C 至 125°C	TLV6742/4(3)			±1.2	
dV_{OS}/dT	输入失调电压漂移		T_A = –40°C 至 125°C	TLV6741(2)		±0.35		μV/℃
				TLV6742/4(3)		±0.2		
PSRR	输入失调电压与电源间的关系	V_{CM} = V–		TLV6741(2)		±0.32	±6.3	μV/V
		V_{CM} = V–		TLV6742/4(3)		±0.7	±5.8	
	通道隔离	f = 20kHz				130		dB
输入偏置电流								
I_B	输入偏置电流			TLV6741(2)		±10		pA
				TLV6742/4(3)		±3		
I_{OS}	输入失调电流			TLV6741(2)		±10		pA
				TLV6742/4(3)		±0.5		
噪声								
E_N	输入电压噪声	f = 0.1Hz 至 10Hz				1.2		μV_{PP}
						0.227		μV_{RMS}
e_N	输入电压噪声密度	f = 10Hz		TLV6742/4(3)		30		nV/√Hz
		f = 1kHz		TLV6741(2)		5.0		
				TLV6742/4(3)		4.6		
		f = 10kHz		TLV6741(2)		3.7		
				TLV6742/4(3)		3.5		
i_N	输入电流噪声	f = 1kHz				23		fA/√Hz
输入电压范围								
V_{CM}	共模电压范围				(V–)		(V+) - 1.2	V
CMRR	共模抑制比	(V–) < V_{CM} < (V+) – 1.2V		TLV6741(2)	95	120		dB
		V_S = 1.8V，(V–) < V_{CM} < (V+) – 1.2V		TLV6742/4(3)	87	100		
		V_S = 5.5，(V–) < V_{CM} < (V+) – 1.2V			94	110		
输入电容								
Z_{ID}	差分					10 || 6		MΩ || pF
Z_{ICM}	共模					10 || 6		GΩ || pF
开环增益								
A_{OL}	开环电压增益	(V–) + 40mV < V_O < (V+) – 40mV，R_L = 10kΩ（连接至 V_S/2）		TLV6741(2)		125		dB
		(V–) + 150mV < V_O < (V+) – 150mV，R_L = 2kΩ（连接至 V_S/2）			110	130		
		V_S= 1.8V，(V–) + 150mV < V_O < (V+) – 150mV，R_L = 2kΩ（连接至 V_S/2）		TLV6742/4(3)	107	120		
		V_S= 5.5V，(V–) + 150mV < V_O < (V+) – 150mV，R_L = 2kΩ（连接至 V_S/2）				140		
		V_S = 1.8V，(V–) + 40mV < V_O < (V+) – 40mV，R_L = 10kΩ（连接至 V_S/2）			110	120		
		V_S = 5.5V，(V–) + 40mV < V_O < (V+) – 40mV，R_L = 10kΩ（连接至 V_S/2）				140		

Copyright © 2022 Texas Instruments Incorporated

7.6 电气特性 (continued)

TLV6742/4 规格：V_S = (V+) – (V –) = 1.8V 至 5.5V（±0.9V 至 ±2.75V），T_A = 25°C，R_L = 10kΩ 且连接至 V_S/2，V_{CM} = V_S/2 且 $V_{O\ UT}$ = V_S/2（除非另有说明）。
TLV6741 规格：V_S = (V+) – (V –) = 5.5V，T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 $V_{O\ UT}$ = V_S/2（除非另有说明）。

参数		测试条件			最小值	典型值	最大值	单位
频率响应								
GBW	增益带宽积					10		MHz
SR	压摆率	V_S = 5.5V，G = +1，C_L = 20pF				4.5		V/μs
t_S	趋稳时间	精度达到 0.1%，V_S = 5.5V，V_{STEP} = 2V，G = +1，CL = 20pF				0.65		μs
		精度达到 0.01%，V_S = 5.5V，V_{STEP} = 2V，G = +1，CL = 20pF				1.2		
	相位裕度	G = +1，R_L = 10kΩ，C_L = 20pF				55		°
	过载恢复时间	V_{IN} × 增益 > V_S				0.2		μs
THD+N	总谐波失真 + 噪声	V_S = 5.5V，V_{CM} = 2.5V，V_O = 1V_{RMS}，G = +1，f = 1kHz，R_L = 10kΩ		TLV6741(2)		0.00035%		
				TLV6742/4(3)		0.00015%		
EMIRR	电磁干扰抑制比	f = 1GHz		TLV6742/4(3)		51		dB
输出								
	相对于电源轨的电压输出摆幅	正/负电源轨余量	V_S = 5.5V，R_L = 10k	TLV6741(2)		8	10	mV
		正电源轨余量	V_S = 5.5V，R_L = 空载	TLV6742/4(3)			7	
			V_S = 5.5V，R_L = 2kΩ				35	
			V_S = 5.5V，R_L = 10kΩ			5	14	
		负电源轨余量	V_S = 5.5V，R_L = 空载				7	
			V_S = 5.5V，R_L = 2kΩ				35	
			V_S = 5.5V，R_L = 10kΩ			5	14	
I_{SC}	短路电流			TLV6742/4(3)		±68		mA
C_{LOAD}	容性负载驱动					参阅图 7-58		
Z_O	开环输出阻抗	f = 10MHz，I_O = 0A		TLV6741(2)		160		Ω
		f = 2MHz，I_O = 0A		TLV6742/4(3)		165		
电源								
I_Q	每个放大器的静态电流	V_S = 5.5V，I_O = 0 A		TLV6741(2)		890		μA
			T_A = –40°C 至 125°C				1100	
				TLV6742/4(3)		990	1200	
			T_A = –40°C 至 125°C				1250	
	开通时间	T_A = 25°C，V_S = 5.5V，V_S 升降速率 > 0.3V/μs		TLV6742/4(3)		10		μs

Copyright © 2022 Texas Instruments Incorporated

7.6 电气特性 (continued)

TLV6742/4 规格： V_S = (V+) – (V–) = 1.8V 至 5.5V（±0.9V 至 ±2.75V），T_A = 25°C，R_L = 10kΩ 且连接至 V_S/2，V_{CM} = V_S/2 且 $V_{O\ UT}$ = V_S/2（除非另有说明）。
TLV6741 规格： V_S = (V+) – (V–) = 5.5V，T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 $V_{O\ UT}$ = V_S/2（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
关断							
I_{QSD}	每个放大器的静态电流	所有放大器均为禁用状态，$\overline{SHDN}$ = V–			1	3.5	μA
Z_{SHDN}	关断时的输出阻抗	已禁用放大器			10 || 6		GΩ || pF
V_{IH}	逻辑高电平阈值电压（放大器为启用状态）			(V–) + 1.1 V			V
V_{IL}	逻辑低电平阈值电压（放大器为禁用状态）					(V–) + 0.2 V	V
t_{ON}	放大器启用时间（完全关断）(1)	G = +1，V_{CM} = V-，V_O = 0.1 × V_S/2			15		μs
	放大器启用时间（部分关断）(1)	G = +1，V_{CM} = V-，V_O = 0.1 × V_S/2			8		
t_{OFF}	放大器禁用时间(1)	V_{CM} = V-，V_O = V_S/2			3		
	$\overline{SHDN}$ 引脚输入偏置电流（每个引脚）	(V+) ≥ $\overline{SHDN}$ ≥ (V–) + 0.9 V			0.4		μA
		(V–) ≤ $\overline{SHDN}$ ≤ (V–) + 0.7 V			0.25		

(1) 禁用时间 (t_{OFF}) 和启用时间 (t_{ON}) 是指施加给 $\overline{SHDN}$ 引脚的信号为 50% 时到输出电压达到 10%（禁用）或 90%（启用）电平时之间的时间间隔。
(2) 该电气特性仅适用于单通道 TLV6741
(3) 该电气特性仅适用于双通道 TLV6742 和四通道 TLV6744

Copyright © 2022 Texas Instruments Incorporated

7.7 TLV6741：典型特性

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

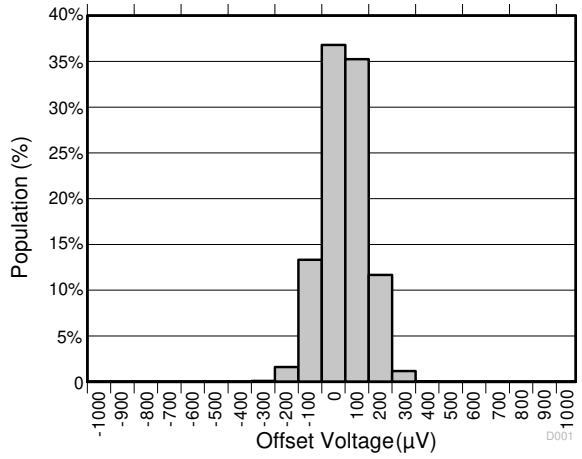


图 7-1. 失调电压生产分配

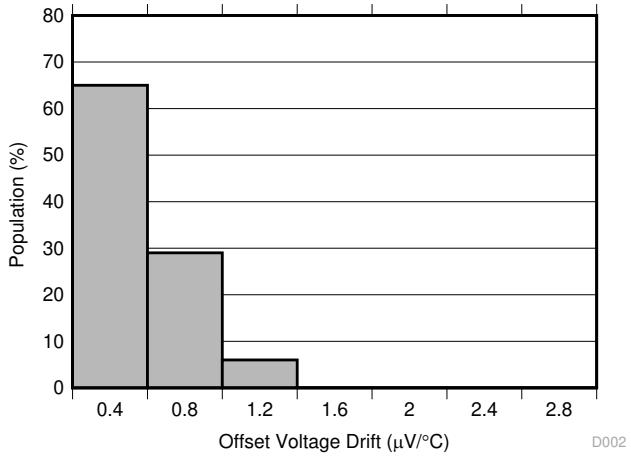


图 7-2. 失调电压漂移分配

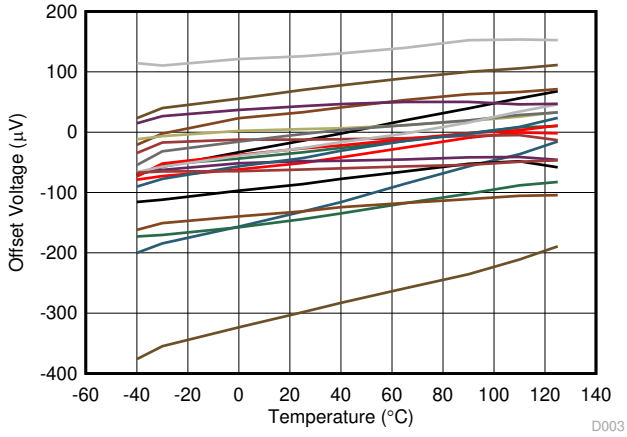


图 7-3. 失调电压与温度间的关系

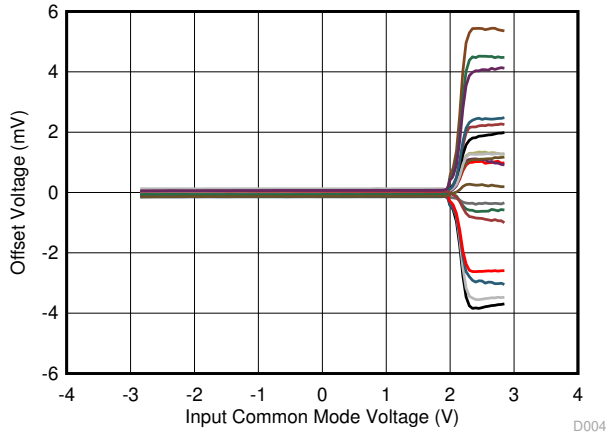


图 7-4. 失调电压与共模电压间的关系

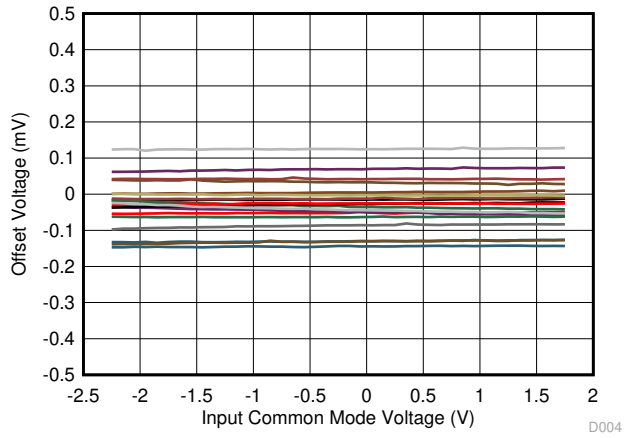


图 7-5. 失调电压与共模电压间的关系

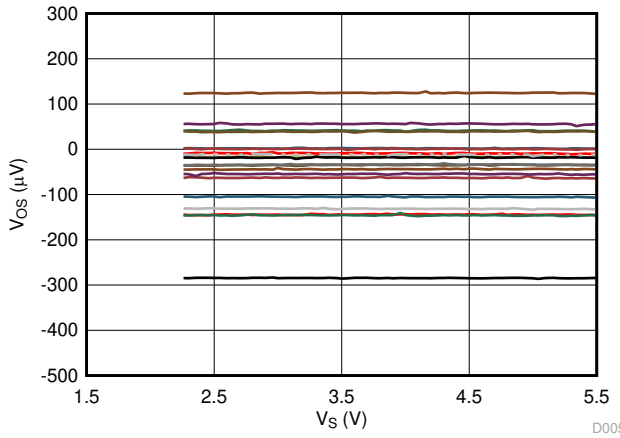


图 7-6. 失调电压与电源间的关系

Copyright © 2022 Texas Instruments Incorporated

7.7 TLV6741：典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

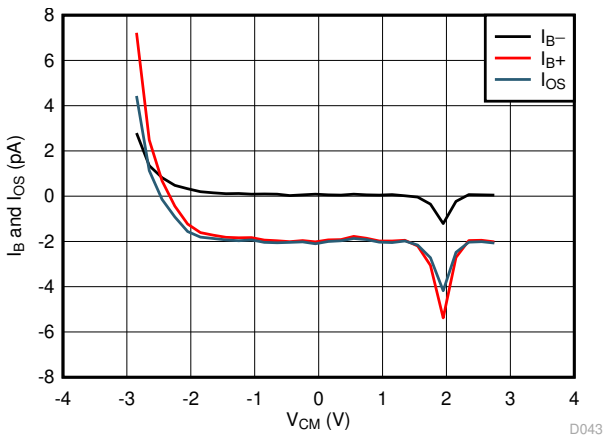


图 7-7. I_B 和 I_{OS} 与共模电压间的关系

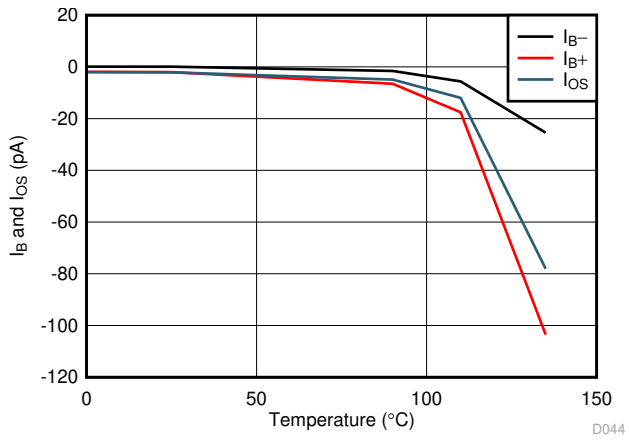
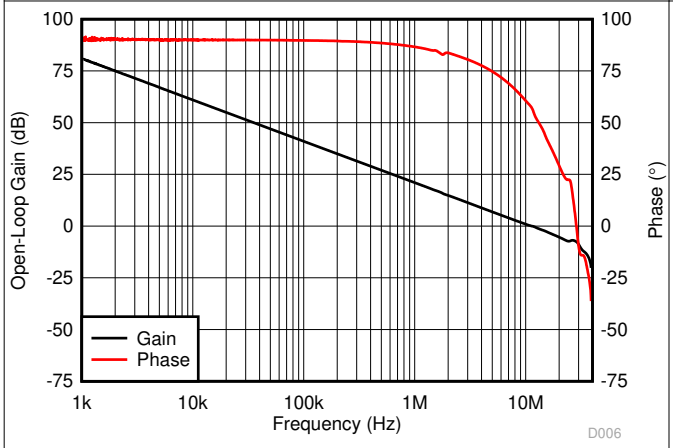


图 7-8. I_B 和 I_{OS} 与温度间的关系



C_L = 10pF

图 7-9. 开环增益和相位与频率间的关系

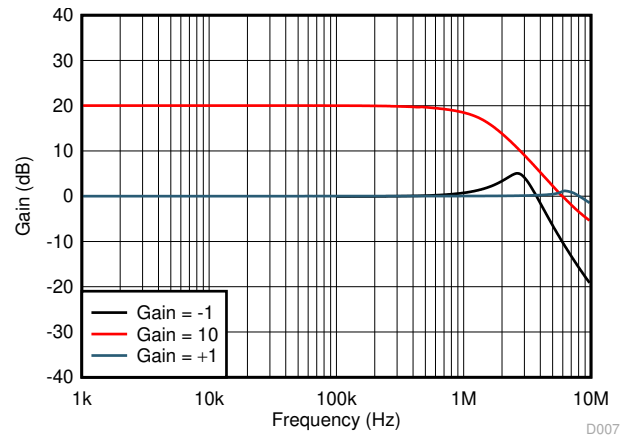


图 7-10. 闭环增益与频率间的关系

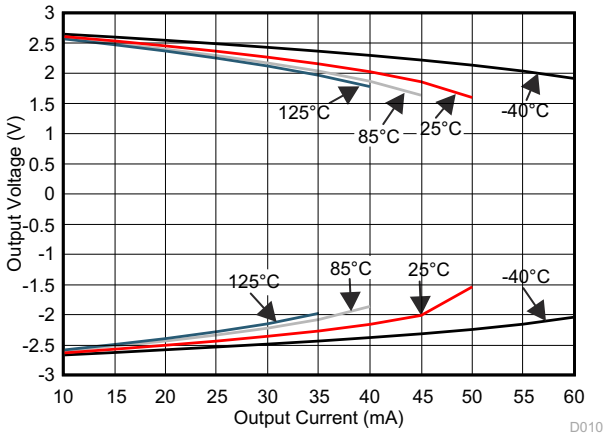


图 7-11. V_O 与 I 拉电流和灌电流间的关系

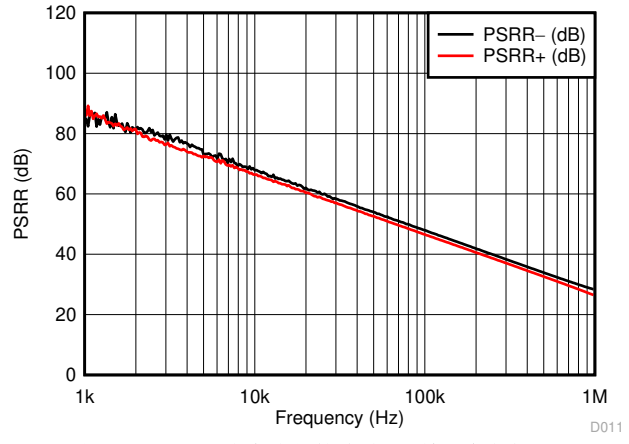


图 7-12. PSRR 与频率间的关系（以输入为参考）

Copyright © 2022 Texas Instruments Incorporated

7.7 TLV6741：典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

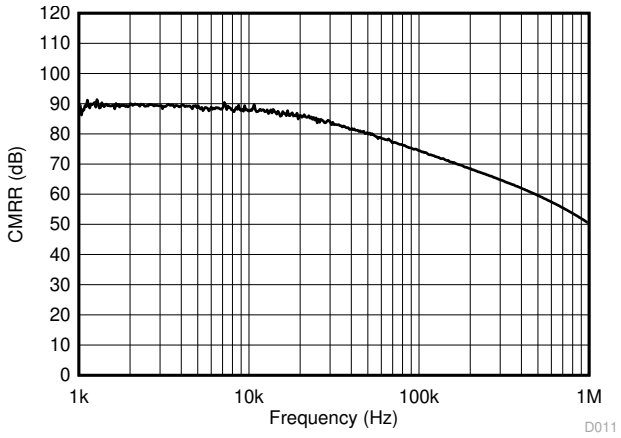
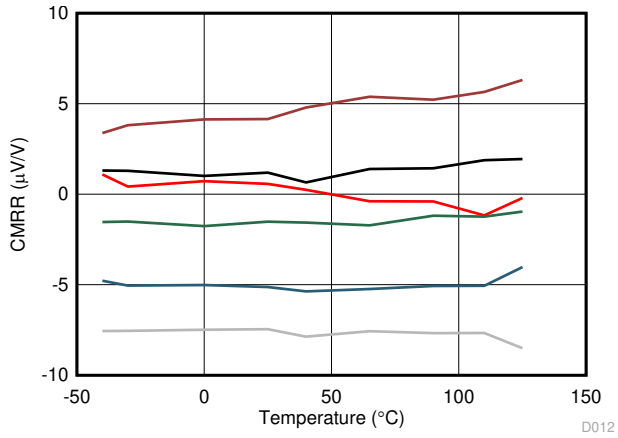


图 7-13. CMRR 与频率间的关系（以输入为参考）



V_S = 5.5V，T_A = –40°C 至 125°C，V_{CM} = 0V 至 4.3V

图 7-14. CMRR 与温度间的关系

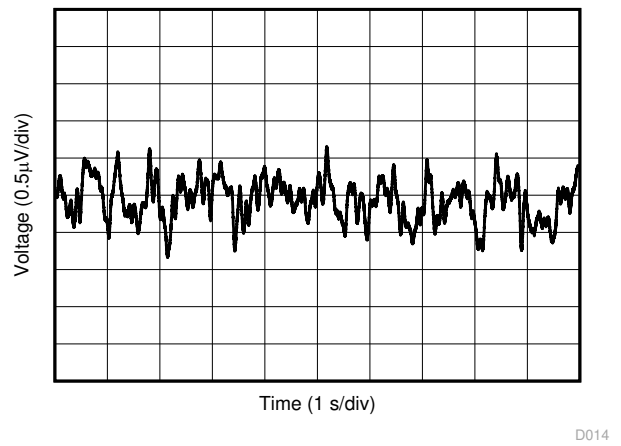


图 7-15. 0.1Hz 至 10Hz 闪烁噪声

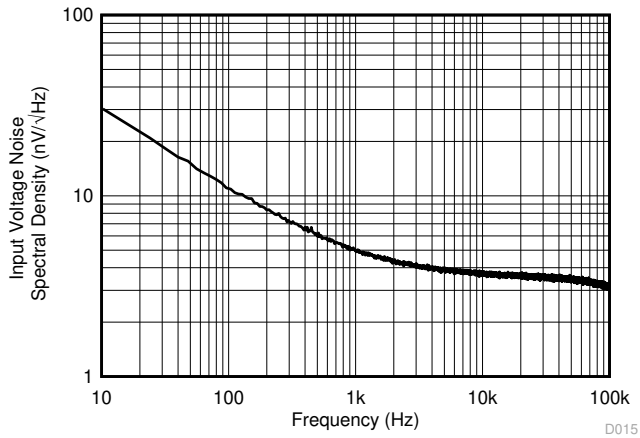
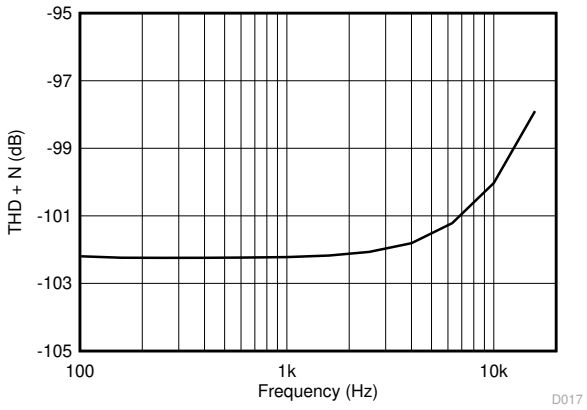
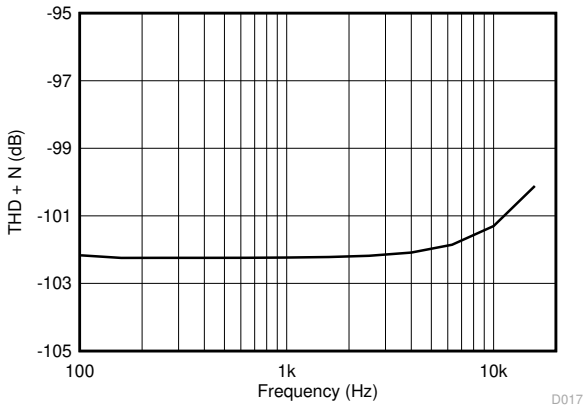


图 7-16. 输入电压噪声频谱密度与频率间的关系



V_S = 5.5V，V_{ICM} = 2.5V，R_L = 2kΩ，
增益 = 1，带宽 = 80kHz，V_{OUT} = 0.5Vrms

图 7-17. THD+N 与频率间的关系



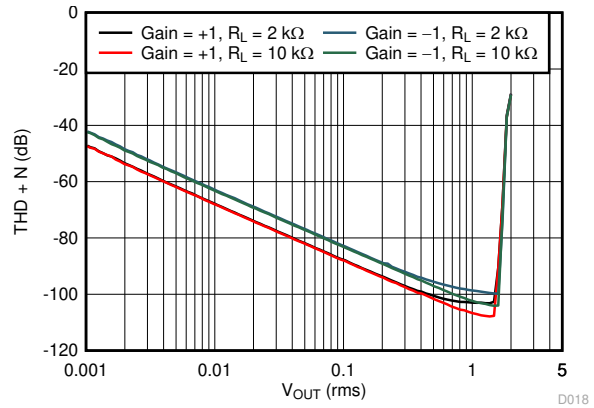
V_S = 5.5V，V_{ICM} = 2.5V，R_L = 10kΩ，
增益 = 1，带宽 = 80kHz，V_{OUT} = 0.5Vrms

图 7-18. THD+N 与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

7.7 TLV6741：典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。



V_S = 5.5V，V_{ICM} = 2.5V，
带宽 = 80kHz，V_{OUT} = 0.5Vrms

图 7-19. THD + N 与幅度间的关系

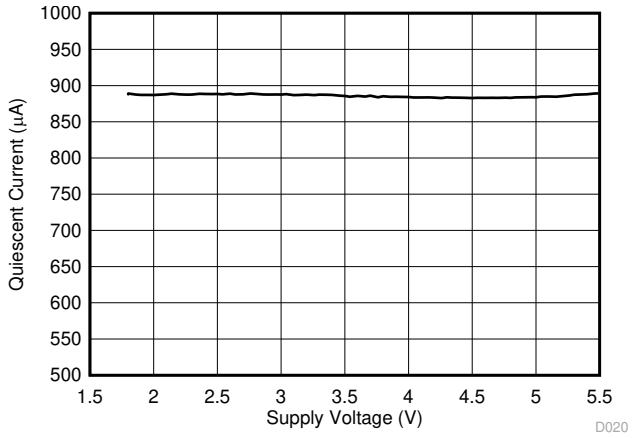


图 7-20. 静态电流与电源电压间的关系

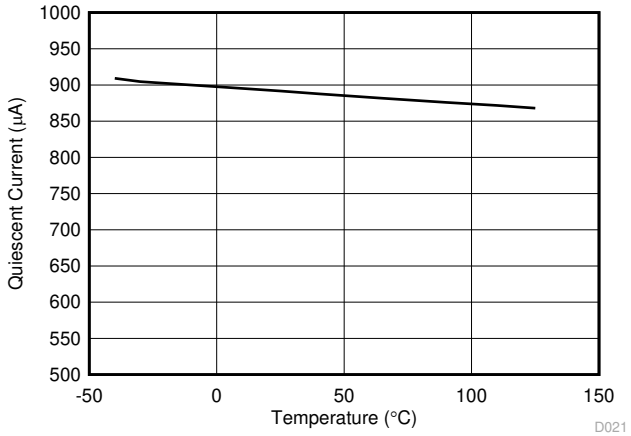
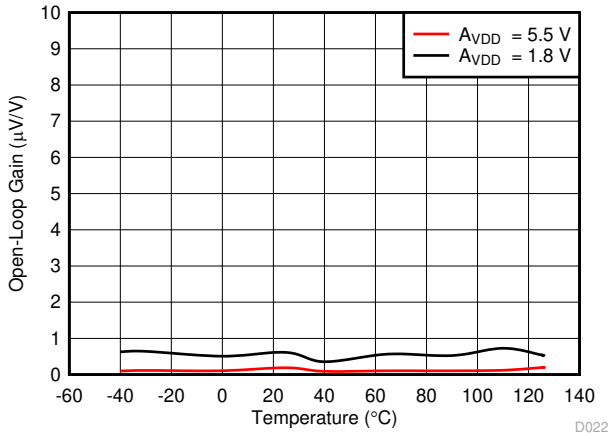


图 7-21. 静态电流与温度间的关系



R_L = 2kΩ

图 7-22. 开环增益与温度间的关系

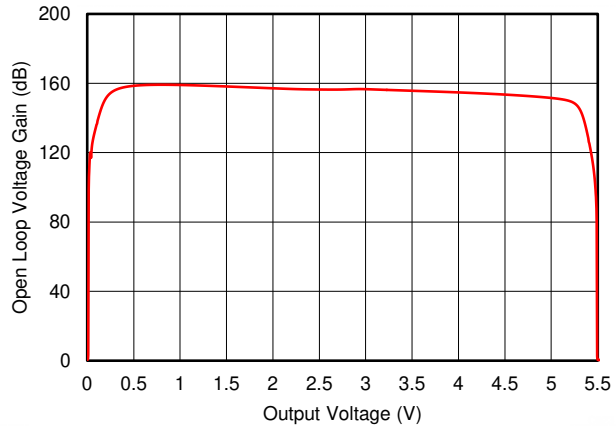
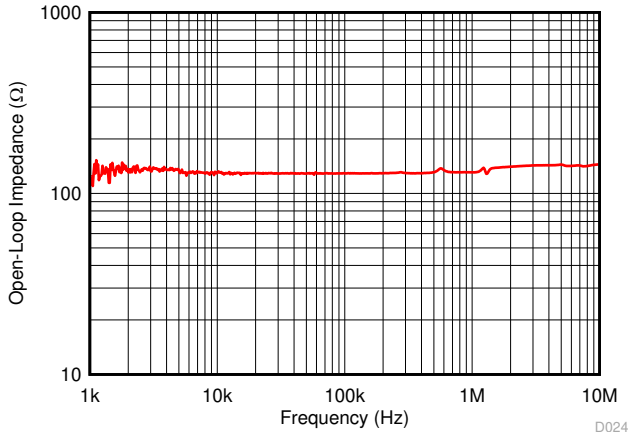


图 7-23. 开环增益与输出电压间的关系



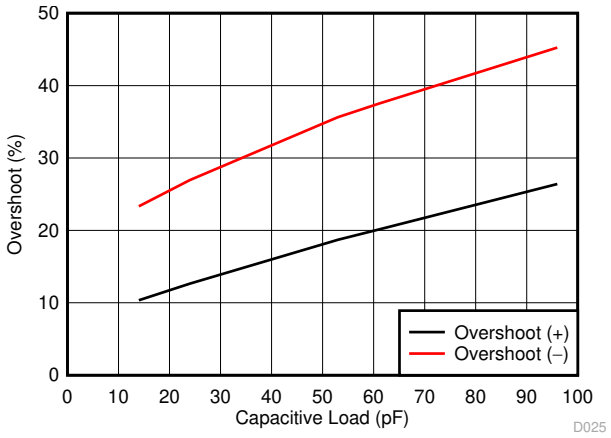
A_{VDD} = 5.5V，V_{ICM} = V_{OCM} = 2.75V

图 7-24. 开环输出阻抗与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

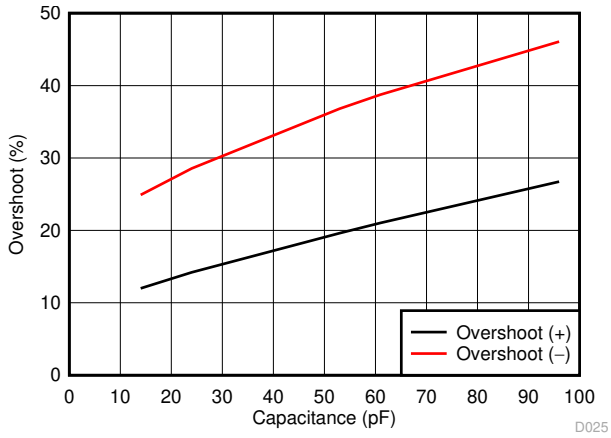
7.7 TLV6741：典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。



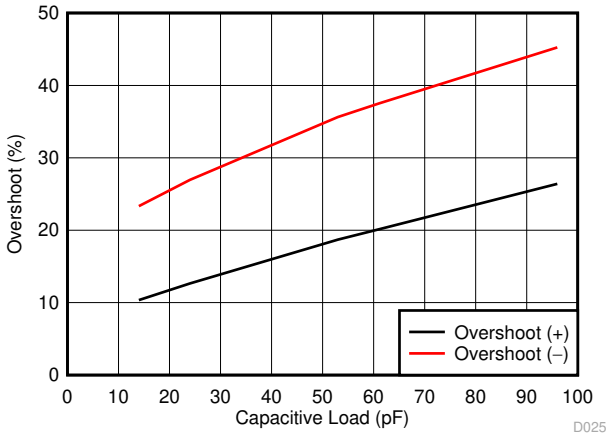
V_S = 5.5V，V_{ICM} = 2.75V，
V_{OCM} = 2.75V，G = 1，100mV 输出阶跃

图 7-25. 小信号过冲与负载电容间的关系



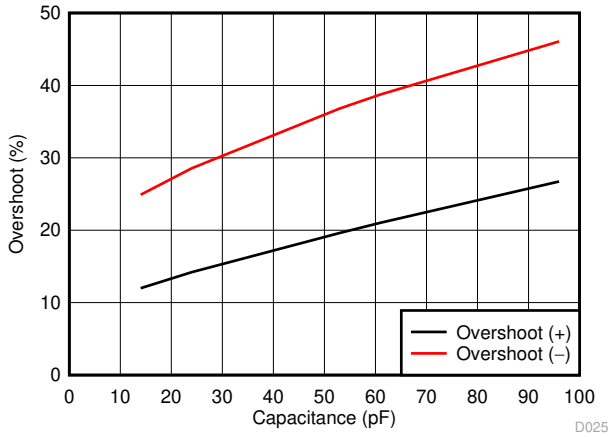
V_S = 1.8V，V_{ICM} = 0.9V
V_{OCM} = 0.9V，G = 1，100mV 输出阶跃

图 7-26. 小信号过冲与负载电容间的关系



V_S = 5.5V，V_{ICM} = 2.75V，
V_{OCM} = 2.75V，增益 = –1，100mV 输出阶跃

图 7-27. 小信号过冲与负载电容间的关系



V_S = 1.8V，V_{ICM} = 0.9V
V_{OCM} = 0.9V，增益 = –1，100mV 输出阶跃

图 7-28. 小信号过冲与负载电容间的关系

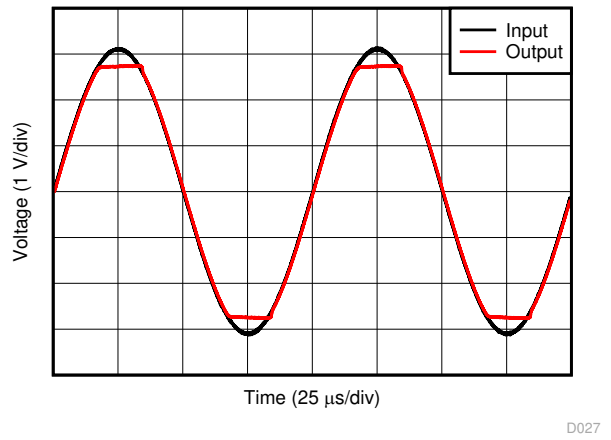


图 7-29. 无相位反转

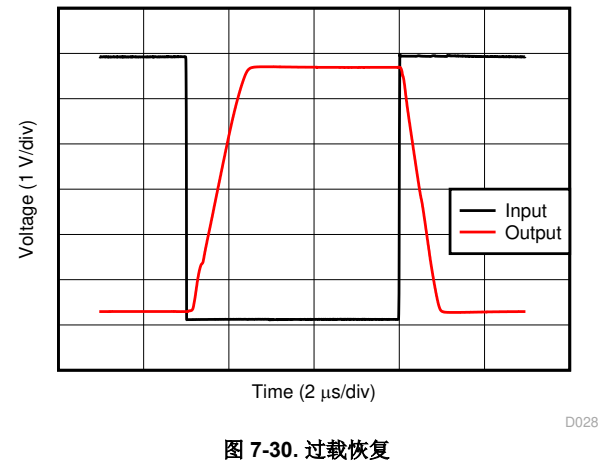
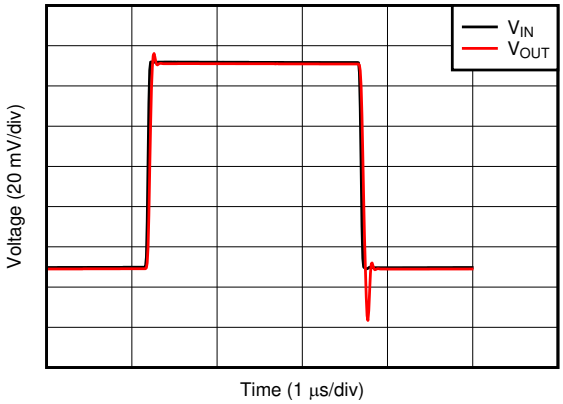


图 7-30. 过载恢复

Copyright © 2022 Texas Instruments Incorporated

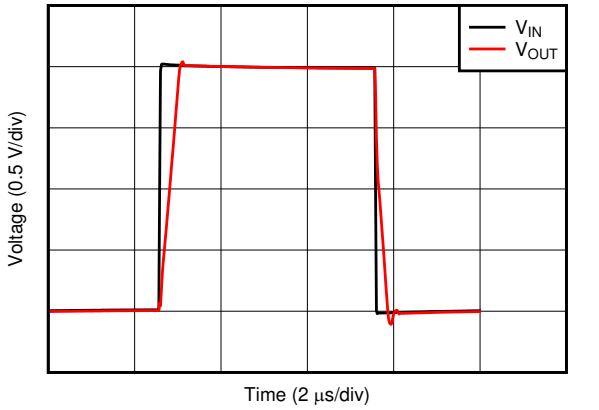
7.7 TLV6741：典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。



V_S = 1.8V，V_{ICM} = 0.9V，V_{OCM} = 0.9V
C_L = 30pF，增益 = 1，V_{IN} = 100mVpp

图 7-31. 小信号阶跃响应



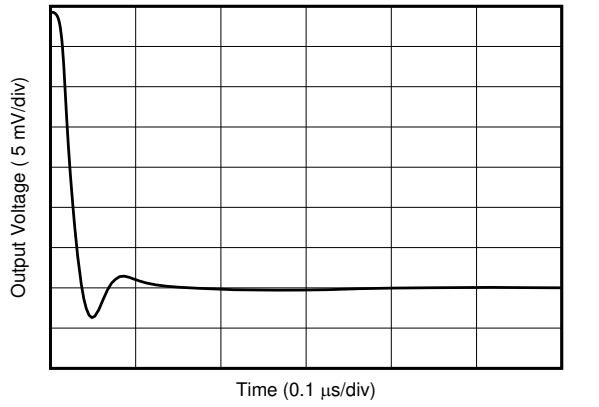
V_S = 5.5V，V_{OCM} = 2.75V，C_L = 10pF
V_{ICM} = 2.75V，增益 = 1，2V 步长

图 7-32. 大信号阶跃响应



V_S = 5.5V，V_{ICM} = 2.75V，V_{OCM} = 2.75V
C_L = 0，增益 = 1，5V 步长

图 7-33. 大信号趋稳时间（正）



V_S = 5.5V，V_{ICM} = 2.75V，V_{OCM} = 2.75V
C_L = 0，增益 = 1，5V 步长

图 7-34. 大信号趋稳时间（负）

Copyright © 2022 Texas Instruments Incorporated

7.7 TLV6741：典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

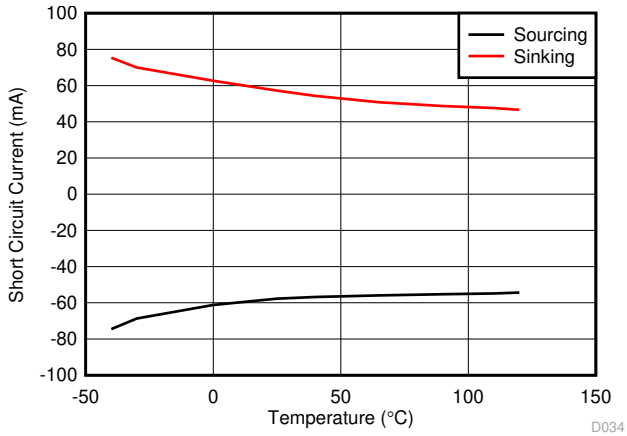
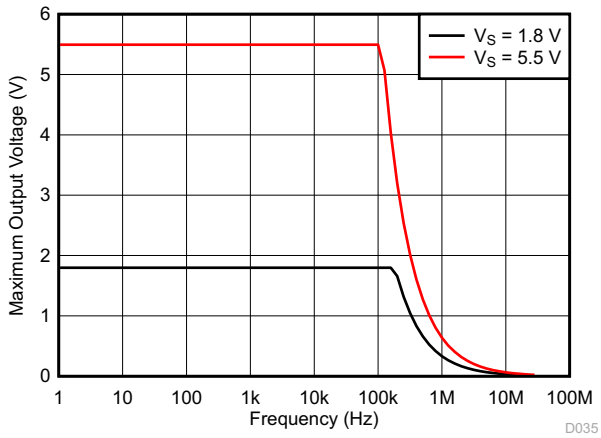


图 7-35. 短路电流与温度间的关系



V_{ICM} = V_S/2，V_{OCM} = V_S/2，
C_L = 10pF，增益 = 1

图 7-36. 最大输出电压与频率间的关系

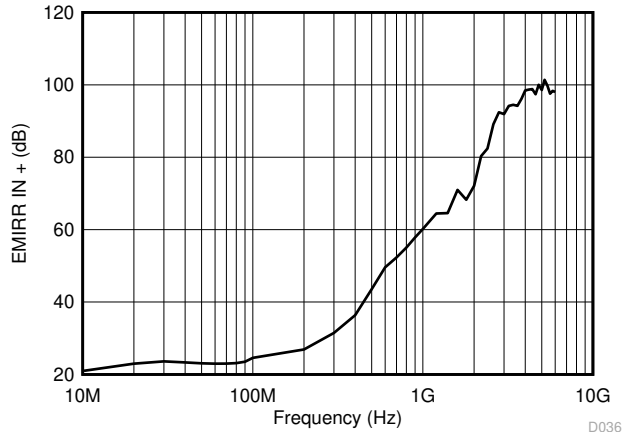
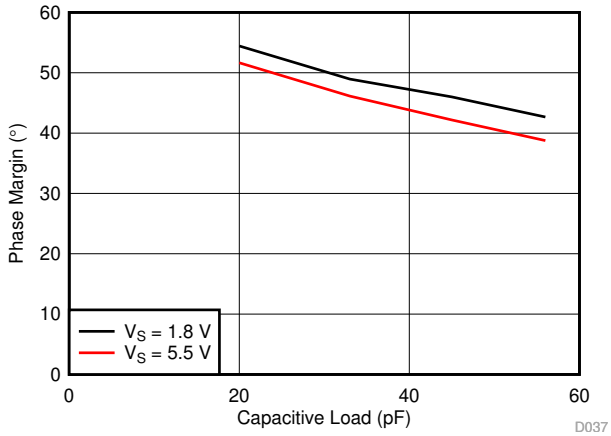


图 7-37. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系



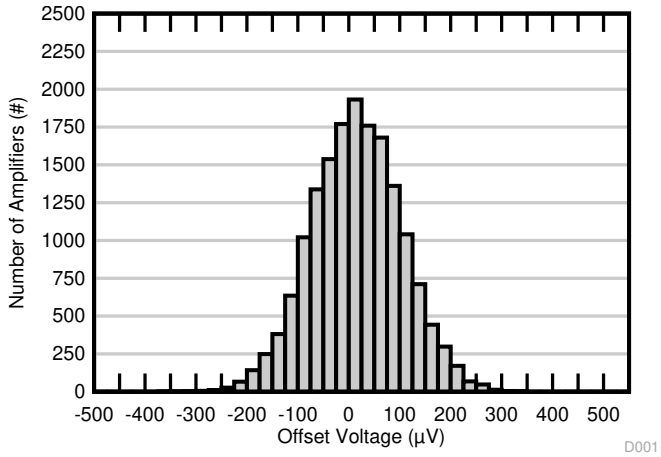
V_{ICM} = V_{OCM} = V_S/2

图 7-38. 相位裕度与容性负载间的关系

Copyright © 2022 Texas Instruments Incorporated

7.8 TLV6742：典型特性

T_A = 25°C，V_S = ±2.75V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。



V_{CM} = V –

图 7-39. 失调电压生产分配

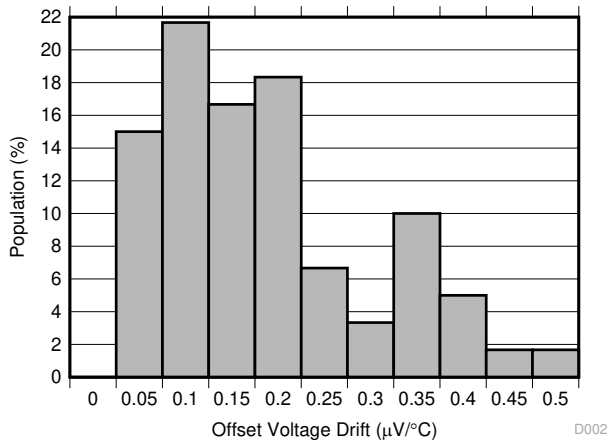
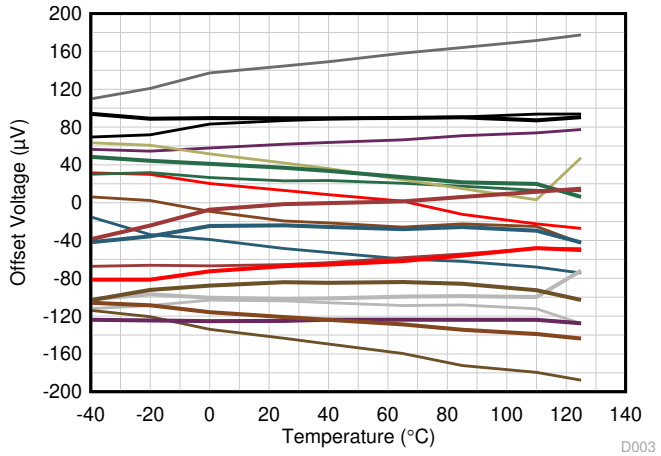
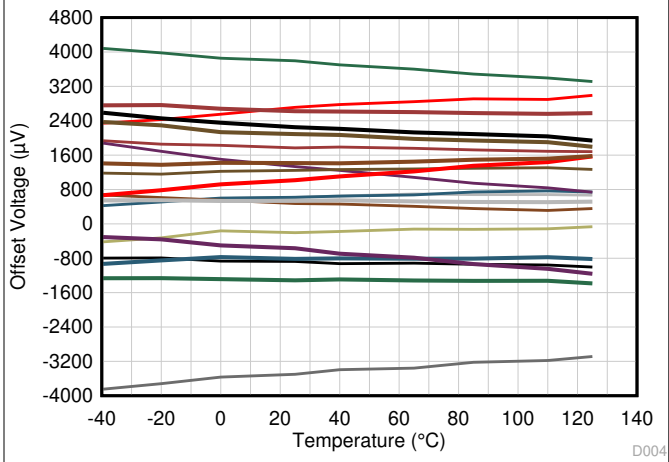


图 7-40. 失调电压漂移分配



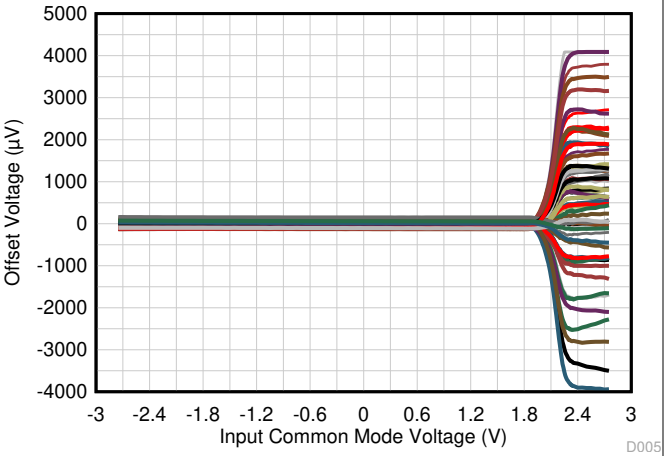
V_{CM} = V –

图 7-41. 失调电压与温度间的关系（PMOS 输入对）



V_{CM} = V+

图 7-42. 失调电压与温度间的关系（NMOS 输入对）



在整个共模电压范围内

图 7-43. 失调电压与共模电压间的关系（全范围）

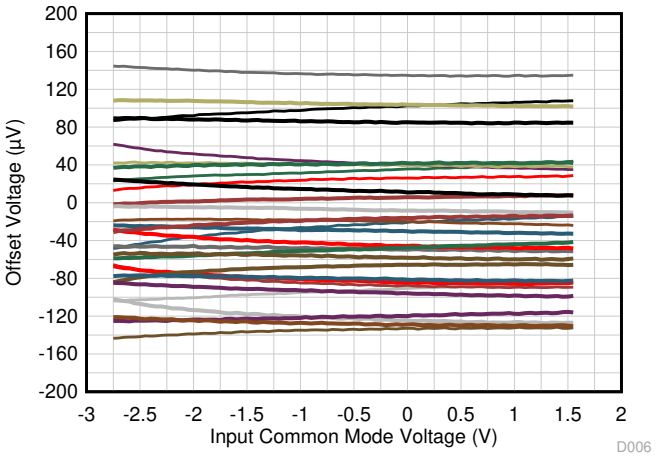


图 7-44. 失调电压与共模电压间的关系（PMOS 输入对）

Copyright © 2022 Texas Instruments Incorporated

7.8 TLV6742：典型特性 (continued)

T_A = 25°C，V_S = ±2.75V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

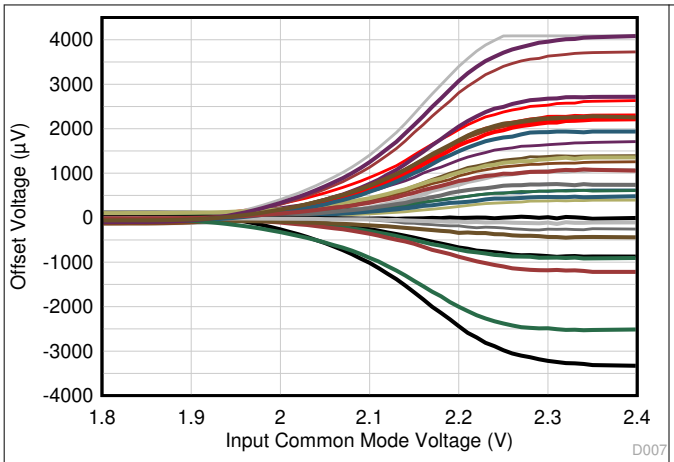


图 7-45. 失调电压与共模电压间的关系（切换区域）

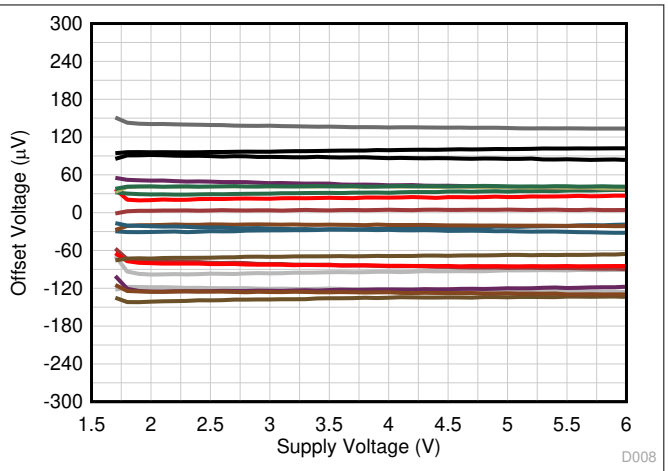


图 7-46. 失调电压与电源间的关系

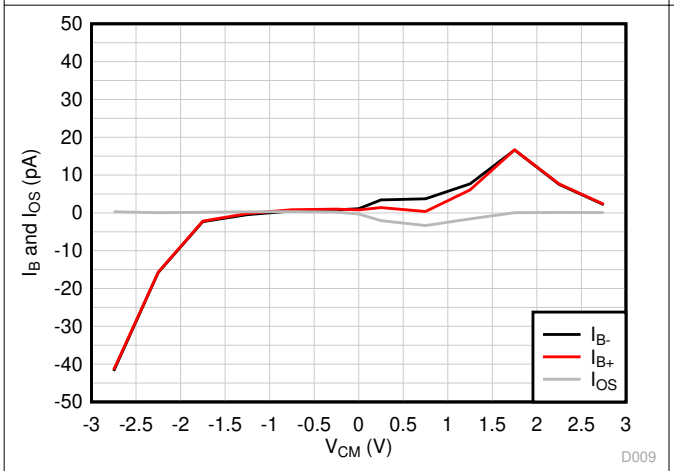


图 7-47. I_B 和 I_{OS} 与共模电压间的关系

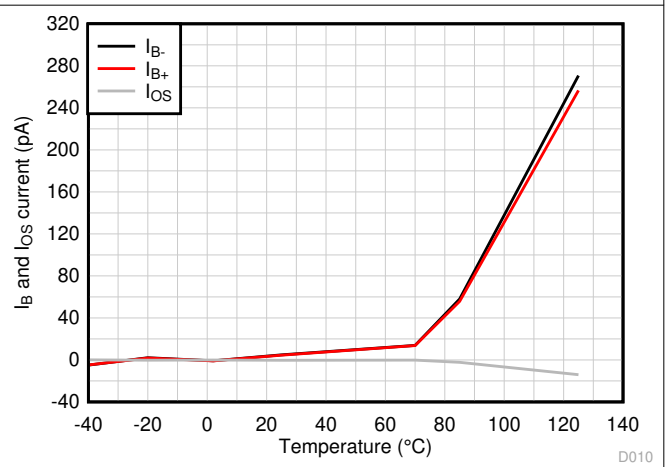


图 7-48. I_B 和 I_{OS} 与温度间的关系

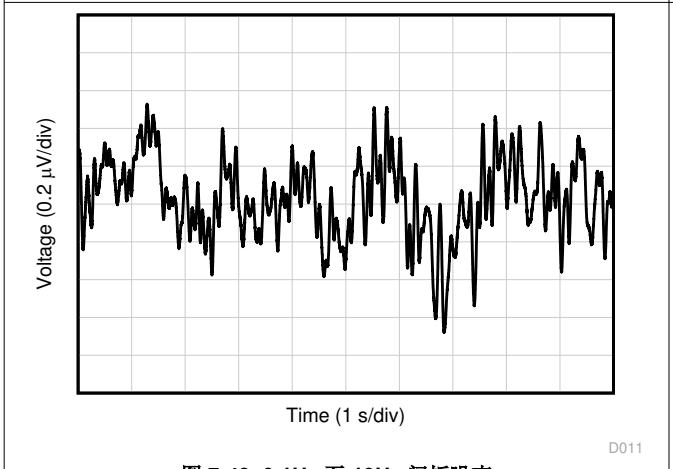


图 7-49. 0.1Hz 至 10Hz 闪烁噪声

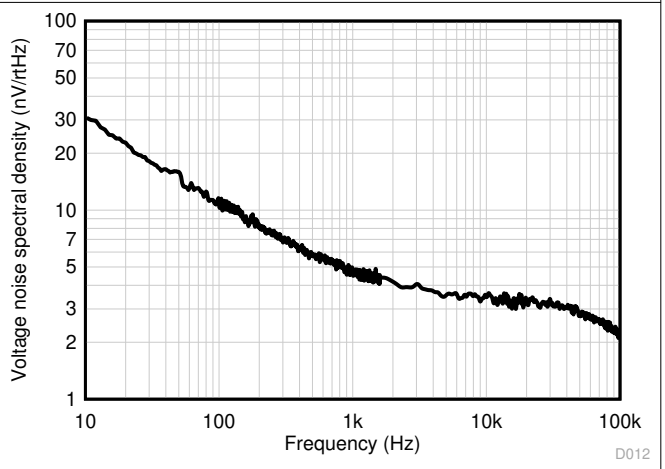


图 7-50. 输入电压噪声频谱密度与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

7.8 TLV6742：典型特性 (continued)

T_A = 25°C，V_S = ±2.75V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

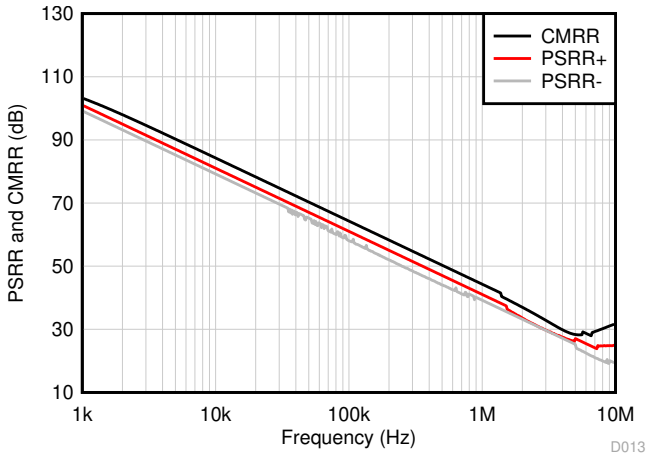
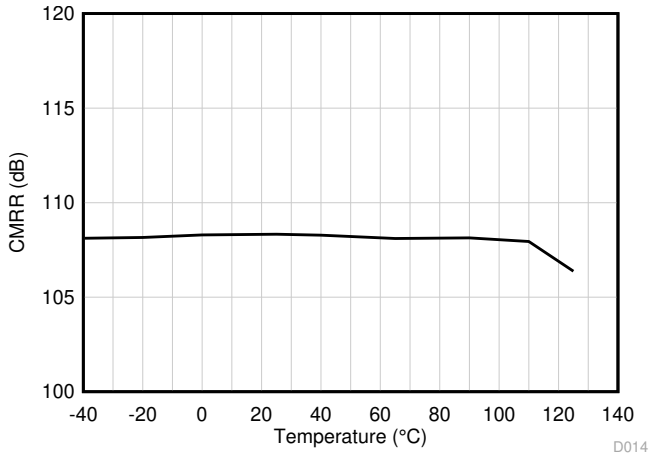
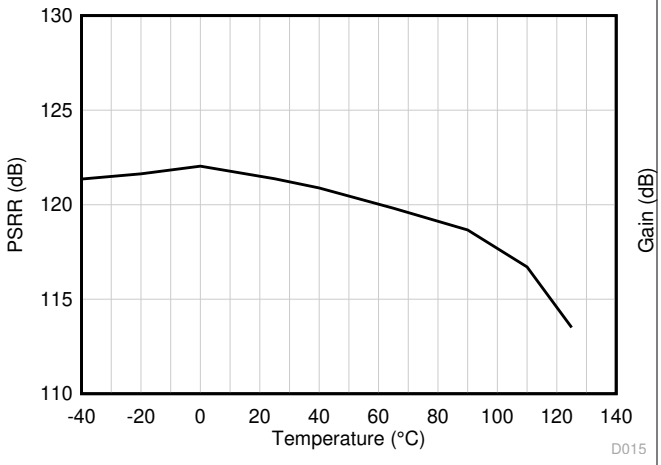


图 7-51. CMRR 和 PSRR 与频率间的关系（以输入为参考）



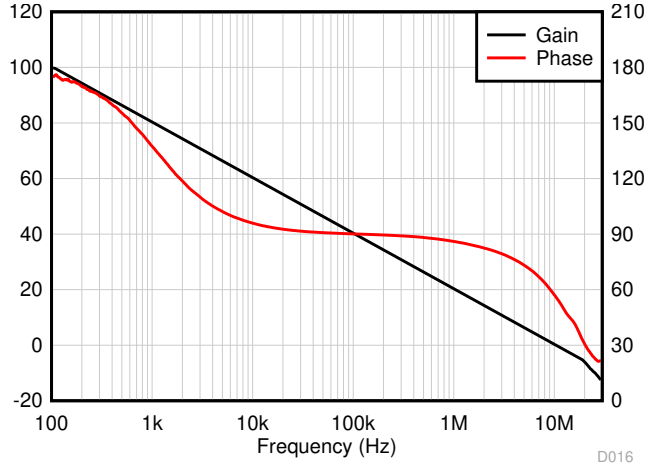
V_S = 5.5V，V_{CM} = V– 至 (V+) – 1.2V

图 7-52. CMRR 与温度间的关系



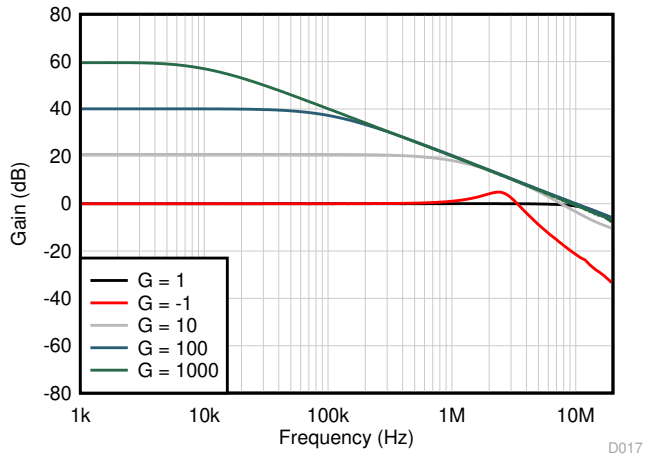
V_{CM} = V –

图 7-53. PSRR 与温度间的关系



C_L = 10pF

图 7-54. 开环增益和相位与频率间的关系



C_L = 10pF

图 7-55. 闭环增益与频率间的关系

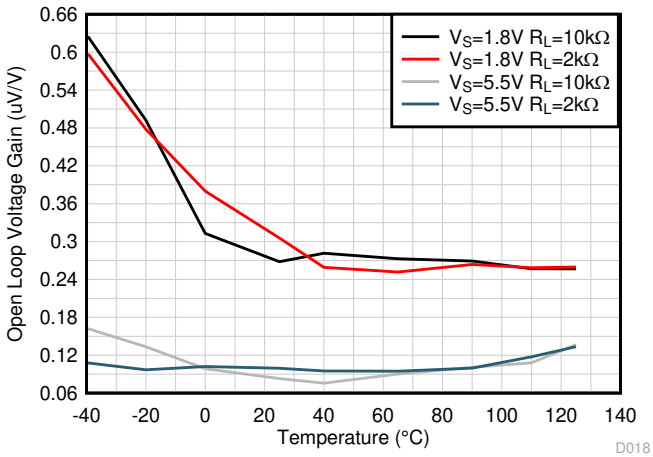


图 7-56. 开环增益与温度间的关系

7.8 TLV6742：典型特性 (continued)

T_A = 25°C，V_S = ±2.75V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

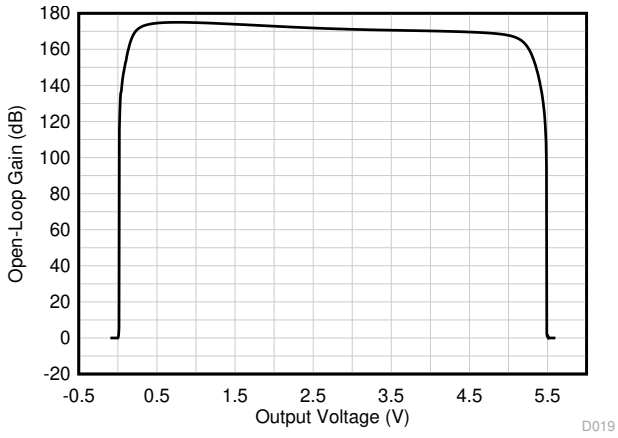


图 7-57. 开环增益与输出电压间的关系

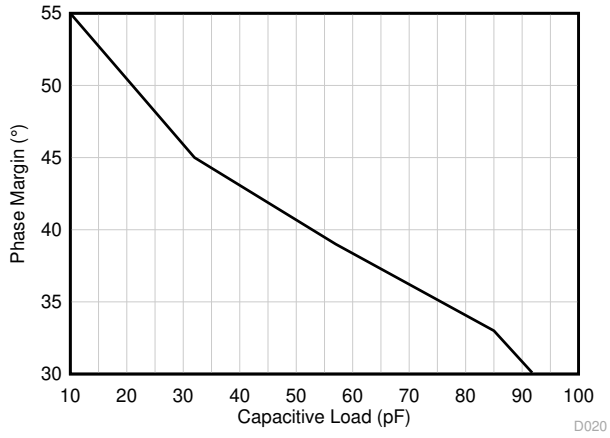


图 7-58. 相位裕度与容性负载间的关系

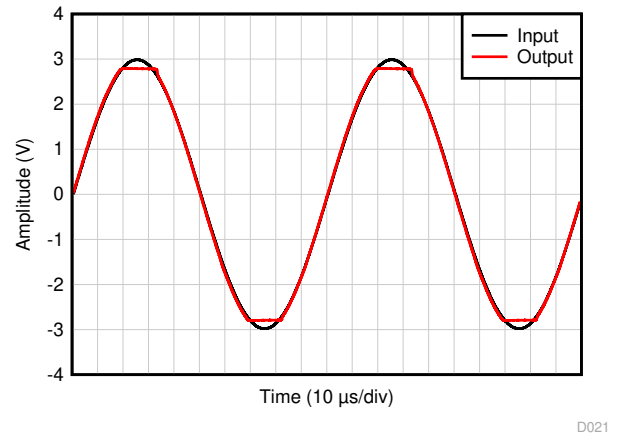
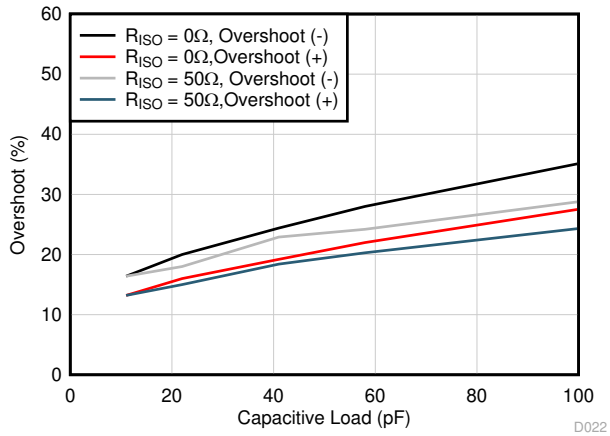
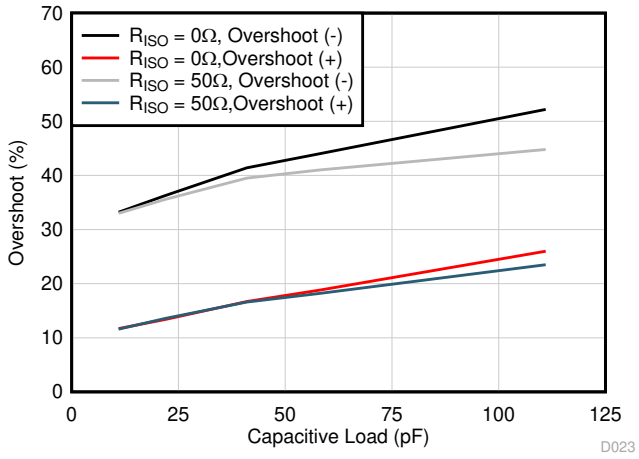


图 7-59. 无相位反转



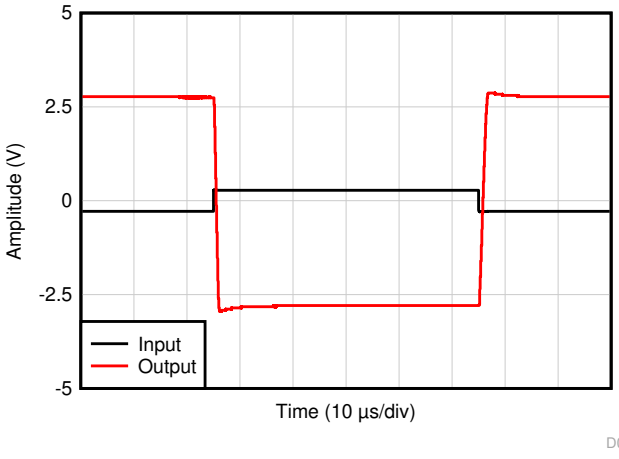
V_{CM} = V_S/2，R_L = 1kΩ
增益 = –1，100mV 输出阶跃

图 7-60. 小信号过冲与负载电容间的关系



V_{CM} = V_S/2，R_L = 1kΩ
增益 = +1，100mV 输出阶跃

图 7-61. 小信号过冲与负载电容间的关系



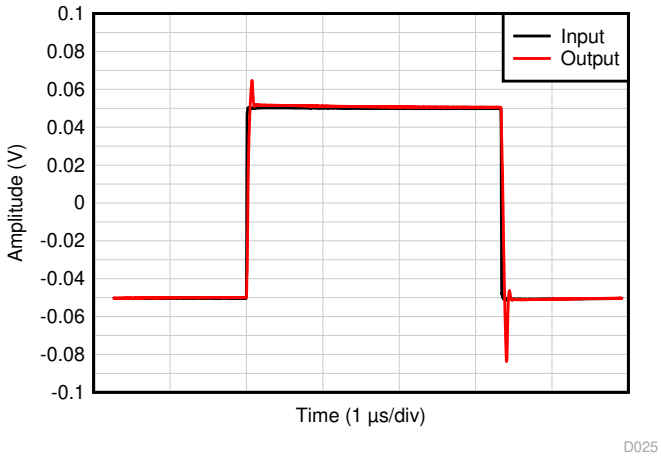
V_{IN} = 0.6Vpp，G = –10，V_{IN} × 增益 > V_S

图 7-62. 过载恢复

Copyright © 2022 Texas Instruments Incorporated

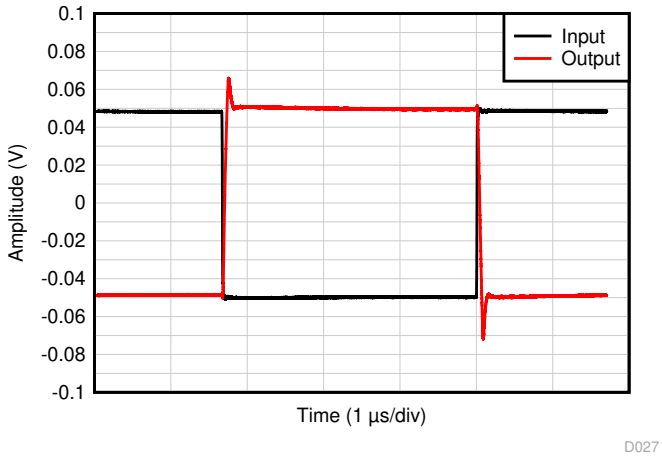
7.8 TLV6742：典型特性 (continued)

T_A = 25°C，V_S = ±2.75V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。



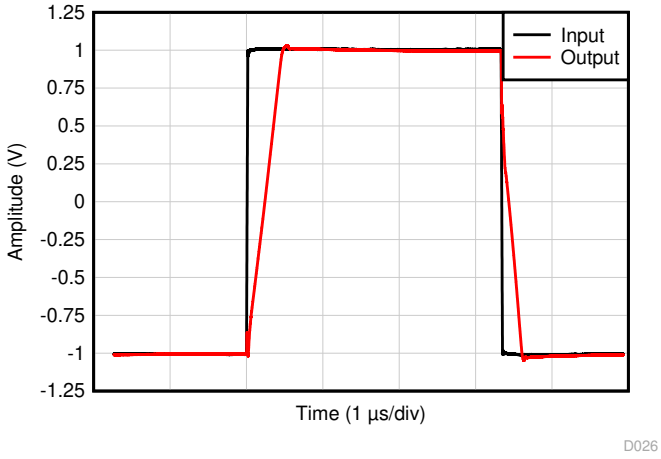
C_L = 20pF，增益 = 1，V_{IN} = 100mVpp，R_L = 1kΩ

图 7-63. 小信号阶跃响应



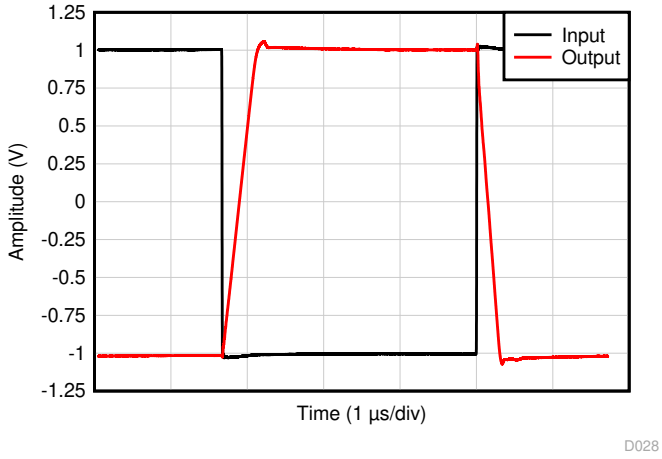
C_L = 20pF，增益 = –1，V_{IN} = 100mVpp，R_L = 1kΩ

图 7-64. 小信号阶跃响应



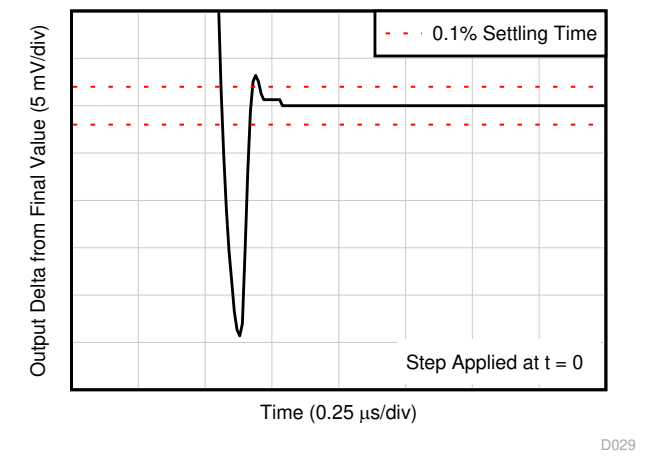
C_L = 20pF，增益 = +1，V_{IN} = 2V 阶跃，R_L = 1kΩ

图 7-65. 大信号阶跃响应



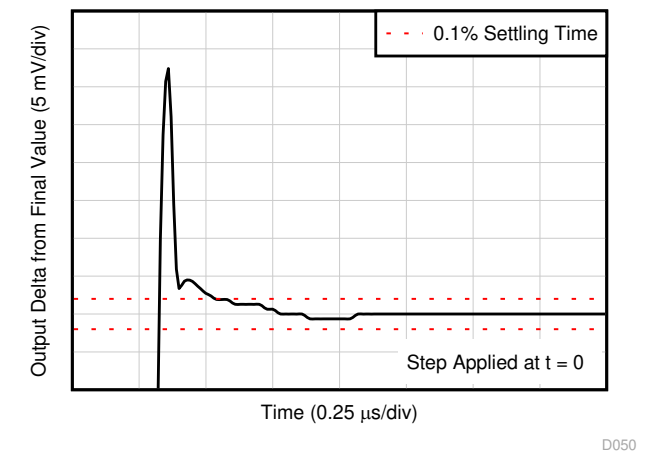
C_L = 20pF，增益 = –1，V_{IN} = 2V 阶跃，R_L = 1kΩ

图 7-66. 大信号阶跃响应



C_L = 20pF，增益 = 1，V_{IN} = 2V 阶跃

图 7-67. 大信号趋稳时间（正）



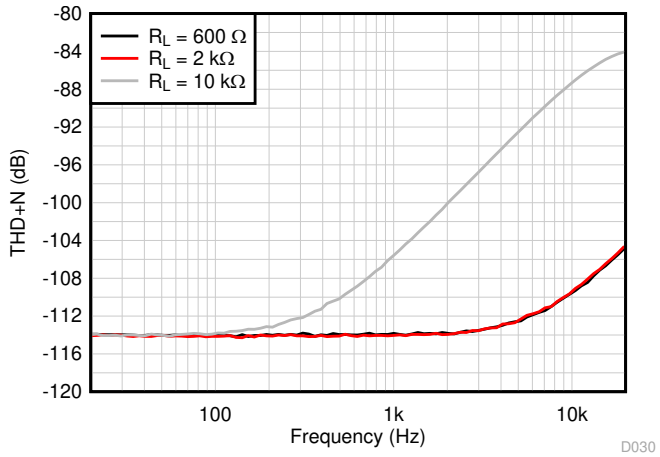
C_L = 20pF，增益 = –1，V_{IN} = 2V 阶跃

图 7-68. 大信号趋稳时间（负）

Copyright © 2022 Texas Instruments Incorporated

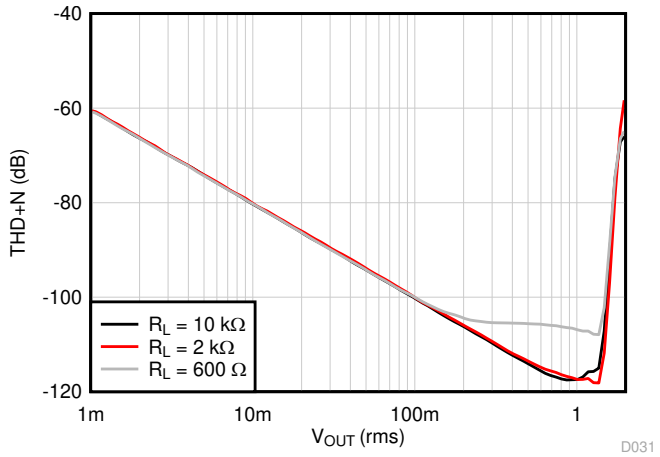
7.8 TLV6742：典型特性 (continued)

T_A = 25°C，V_S = ±2.75V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。



V_{CM} = 2.5V
增益 = +1，带宽 = 80kHz，V_{OUT} = 0.5Vrms

图 7-69. THD+N 与频率间的关系



V_{CM} = 2.5V
BW = 80kHz

图 7-70. THD + N 与幅度间的关系

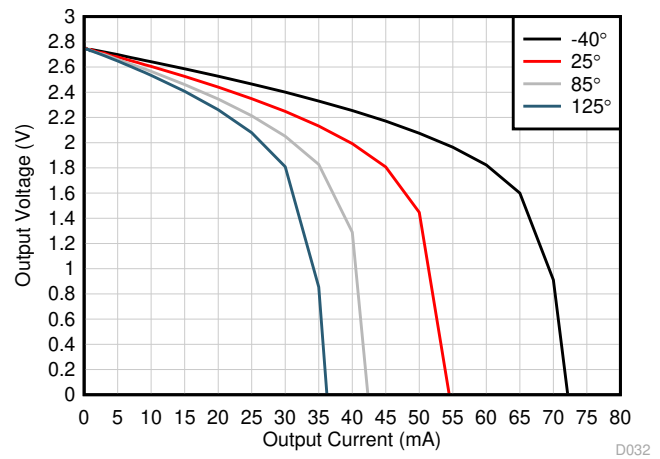


图 7-71. V_{OUT} 与拉电流间的关系

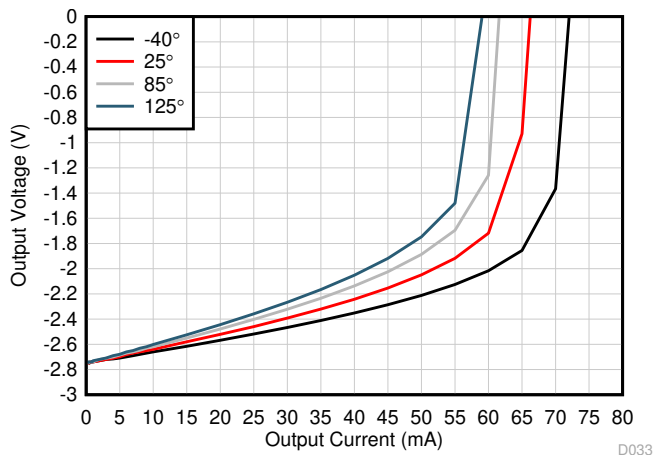
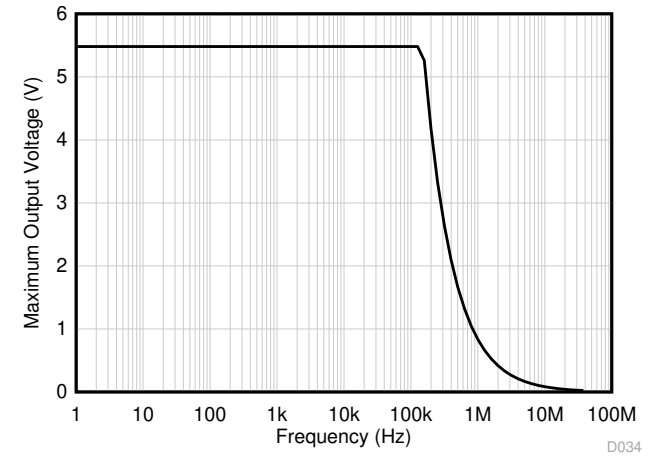


图 7-72. V_{OUT} 与灌电流间的关系



C_L = 10pF，增益 = +1，V_S = 5.5V

图 7-73. 最大输出电压与频率间的关系

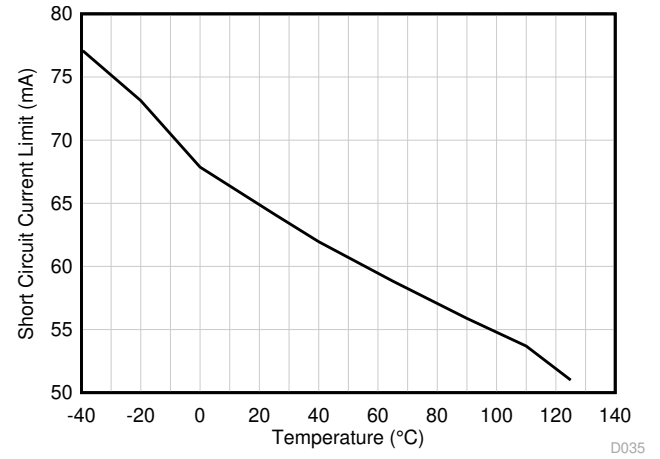


图 7-74. 短路电流与温度间的关系

Copyright © 2022 Texas Instruments Incorporated

7.8 TLV6742：典型特性 (continued)

T_A = 25°C，V_S = ±2.75V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

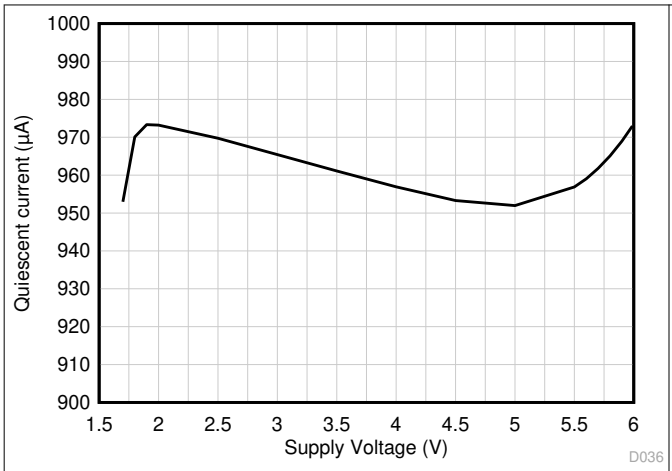


图 7-75. 静态电流与电源电压间的关系

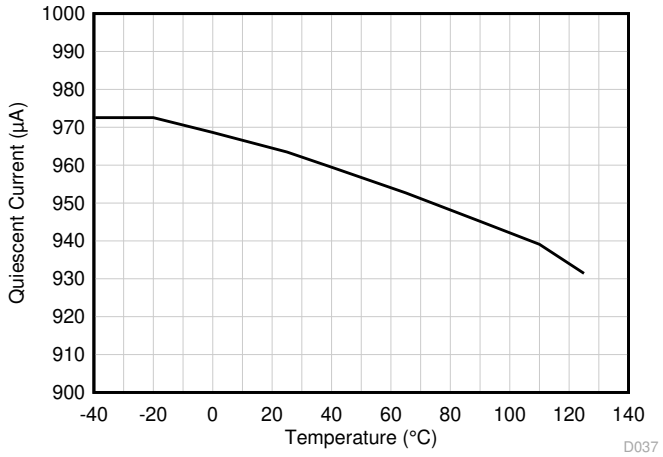


图 7-76. 静态电流与温度间的关系

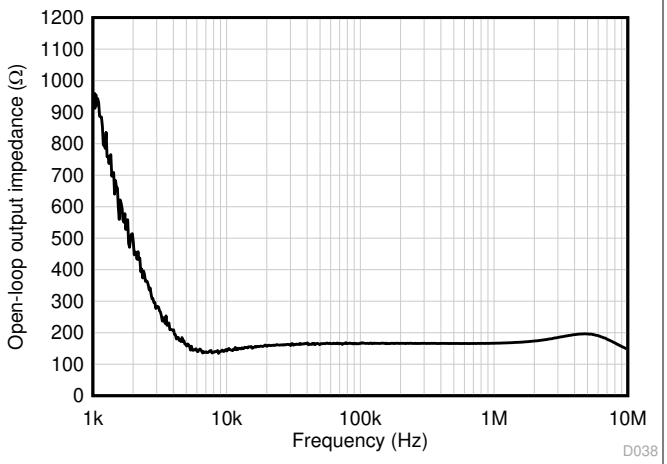
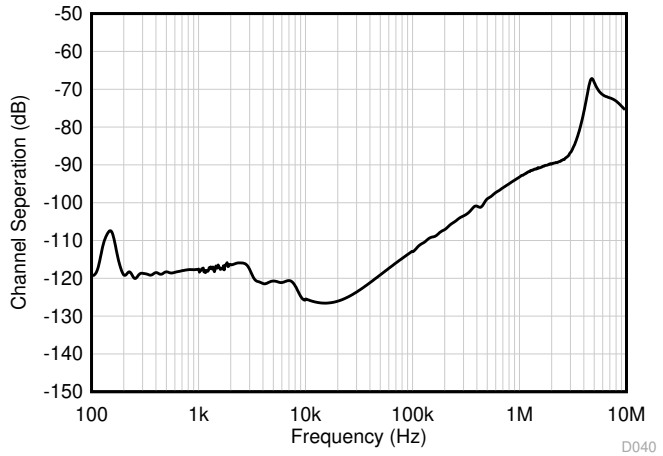


图 7-77. 开环输出阻抗与频率间的关系



A_{VDD} = 5.5V，V_{ICM} = V_{OCM} = 2.75V

图 7-78. 通道隔离与频率间的关系

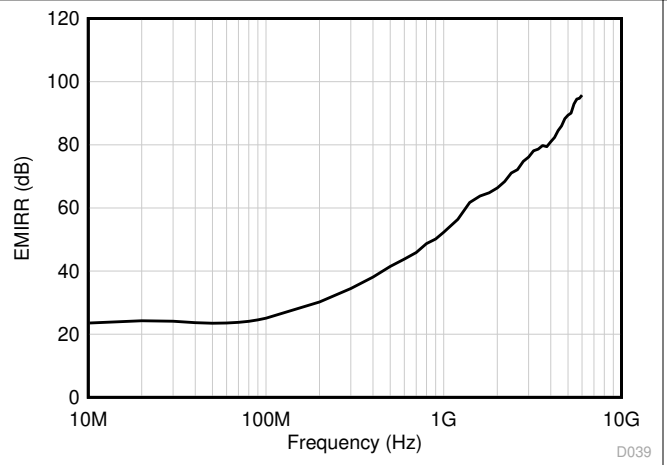
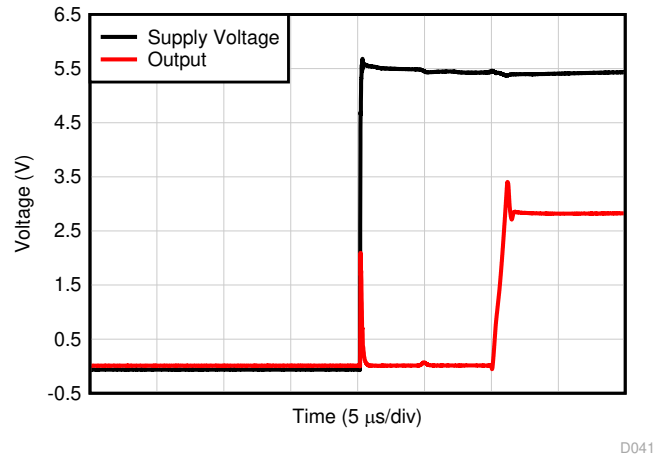


图 7-79. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系



V_S = 0 至 5.5V，V_{OUT} = 0 至 2.75V

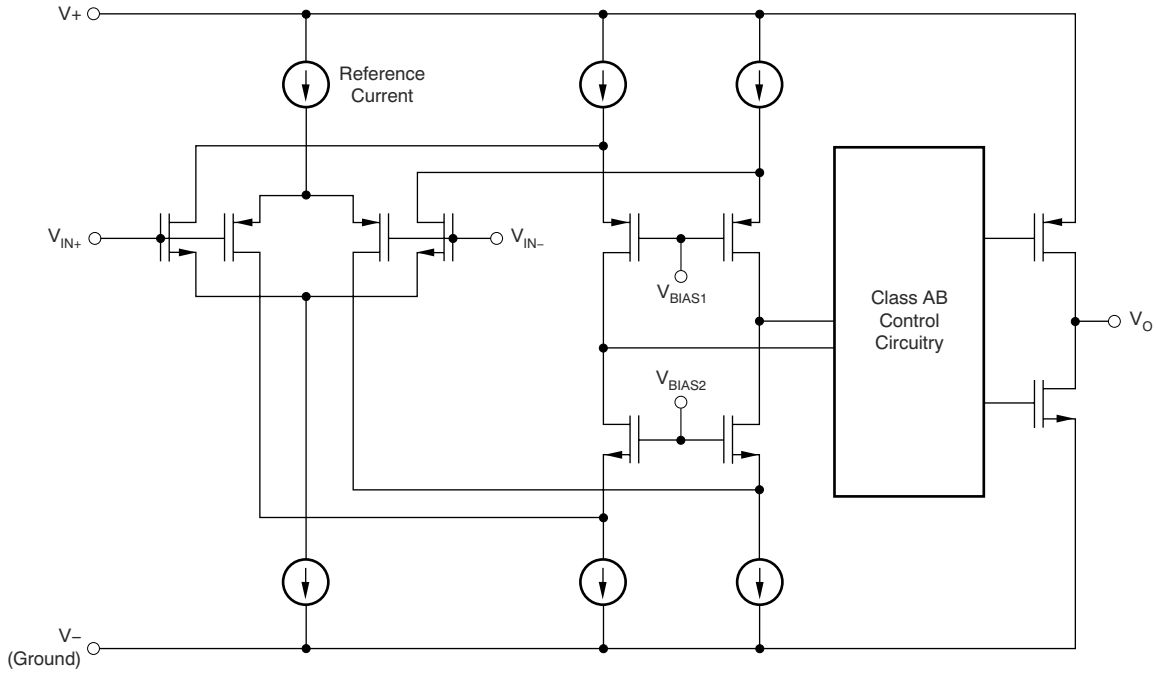
图 7-80. 开通时间

8 详细说明

8.1 概述

TLV674x 系列是超低噪声轨至轨输出运算放大器系列。这些器件的电源电压为 2.25V 至 5.5V (TLV6741) 和 1.7V 至 5.5V（TLV6742 和 TLV6744），单位增益稳定，并且适合广泛的通用应用。输入共模电压范围包括负电源轨，并使 TLV674x 运算放大器系列能够用于大多数单电源应用。轨至轨输出摆幅显著增加了动态范围（特别是在低电源电压应用中），使其适合许多音频应用以及驱动采样模数转换器 (ADC)。

8.2 功能方框图



8.3 特性说明

8.3.1 THD + 噪声性能

TLV674x 运算放大器系列具有出色的失真特性。在负载为 10kΩ 时，TLV6742 和 TLV6744 THD + 噪声在 20Hz 至 20kHz 的整个音频范围内低于 0.00015%（G = +1，V_O = 1V_{RMS}，V_{CM} = 1.8V，V_S = 5.5V）。在负载为 10kΩ 时，TLV6742 THD + 噪声在 20Hz 至 20kHz 的整个音频范围内低于 0.00035%（G = +1，V_O = 1V_{RMS}，V_{CM} = 2.5V，V_S = 5.5V）。对于 10MHz 通用放大器而言，3.5nV/√Hz (TLV6742/4) 和 3.7nV/√Hz (TLV6741) 的宽带噪声是超低的。

8.3.2 工作电压

TLV674x 运算放大器系列的额定工作电压范围为 1.7V 至 5.5V (TLV6742/4) 和 2.25V 至 5.5V (TLV6741)。此外，许多规格适用于 –40°C 至 125°C。应使用 0.1μF 陶瓷电容器绕过电源引脚。

8.3.3 轨到轨输出

TLV674x 器件设计为一种低功耗、低电压运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管的 AB 类输出级可实现完全的轨到轨输出摆幅功能。对于 10kΩ 的阻性负载，无论施加的电源电压是多少，输出摆幅都在两个电源轨的若干 mV 范围内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力，请参阅图 7-11。

8.3.4 EMI 抑制

TLV674x 采用集成电磁干扰 (EMI) 滤波来减少无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。采用电路设计技术可改进 EMI 抗扰度；TLV674x 受益于这些设计改进措施。德州仪器

Copyright © 2022 Texas Instruments Incorporated

(TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 8-1 展示了对 TLV674x 执行该测试的结果。表 8-1 展示了在实际应用中 TLV674x 在常见特定频率下的 EMIRR IN+ 值。*运算放大器的 EMI 抑制比*应用报告包含了与运算放大器相关的 EMIRR 性能主题，该报告可在 www.ti.com 上下载。

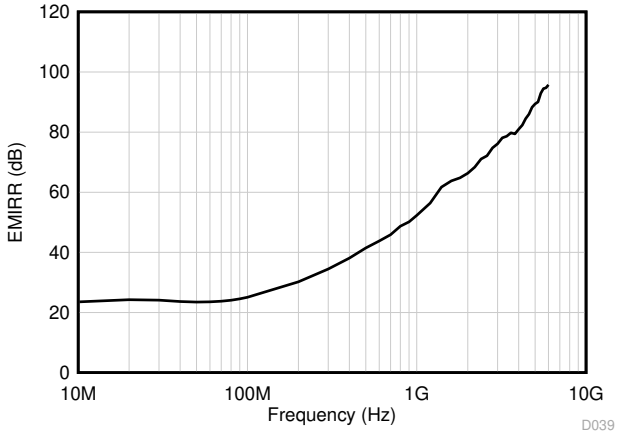


图 8-1. EMIRR 测试

表 8-1. TLV674x 在目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	59.5 dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	68.9 dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	77.8 dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	78.0 dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	88.8 dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星操作、C 波段（4GHz 至 8GHz）	87.6 dB

Copyright © 2022 Texas Instruments Incorporated

8.3.5 电气过载

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题的重点在于器件输入，但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过应力事件的关联性会有所帮助。图 8-2 展示了 TLV674x 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未激活状态。

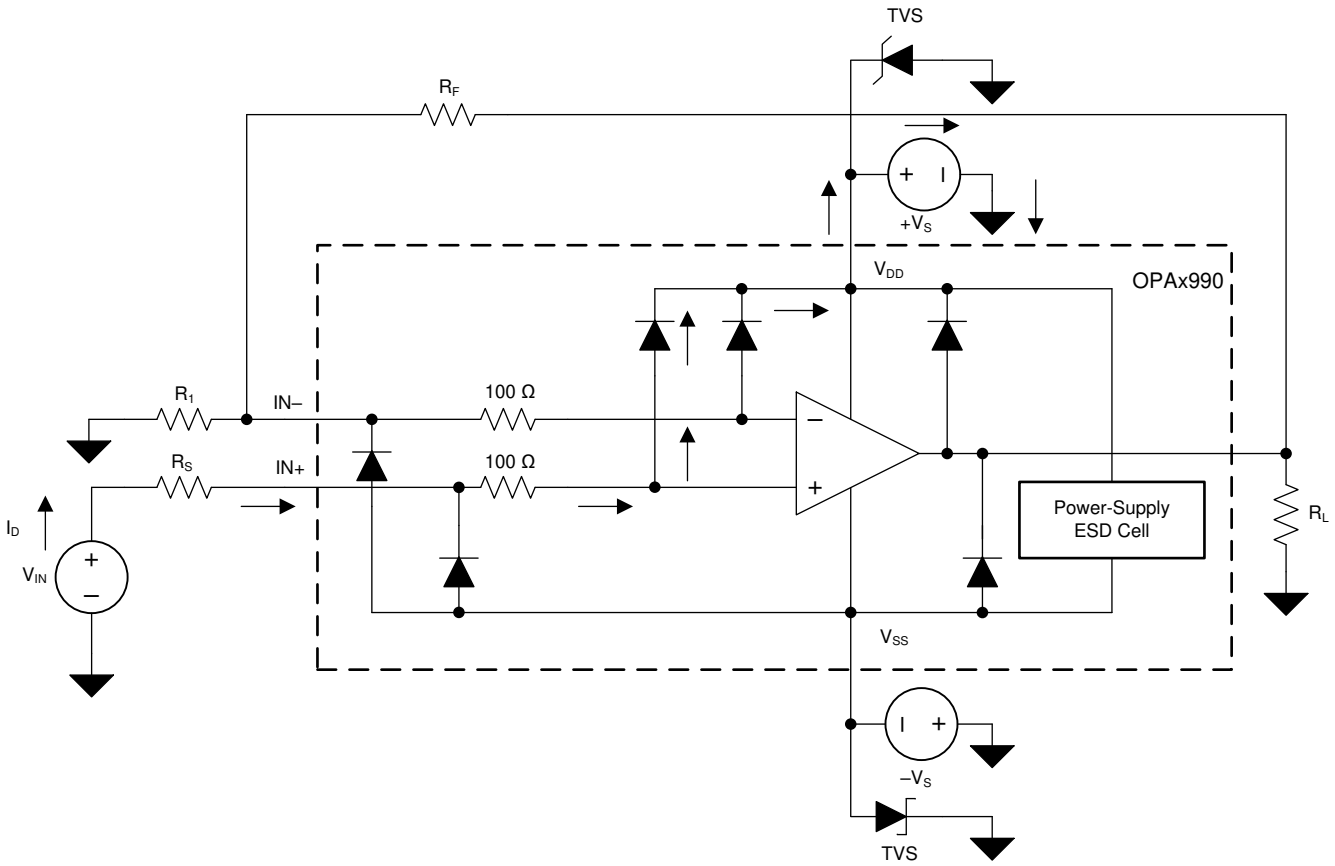


图 8-2. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件持续时间非常短，电压非常高（例如，1kV，100ns），而 EOS 事件持续时间长，电压较低（例如，50V，100ms）。ESD 二极管设计用于电路外 ESD 保护（即在器件被焊接到 PCB 上之前的组装、测试和贮存阶段）。在 ESD 事件中，ESD 信号通过 ESD 导流二极管传递给吸收电路（列为 ESD 电源电路）。ESD 吸收电路将电源钳制在一个安全的水平。

尽管这种行为对于电路外保护来说是必要的，但如果在电路内激活，则会导致过流和损坏。瞬态电压抑制器 (TVS) 可用于防止电路内 ESD 事件过程中因打开 ESD 吸收电路而导致的损坏。使用适当的限流电阻和 TVS 二极管则允许使用器件 ESD 二极管来防止 EOS 事件。

TLV674x 系列在所有引脚上均整合了内部静电放电 (ESD) 保护电路，如上所示。只要电流如节 7.1 中所述限制为 10mA，这些 ESD 保护二极管还能提供电路内的输入过驱保护。图 8-3 展示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。这个被添加的电阻器会增加放大器输入上的热噪声，而在噪声敏感应用中需要将它的值保持在最小水平上。

Copyright © 2022 Texas Instruments Incorporated

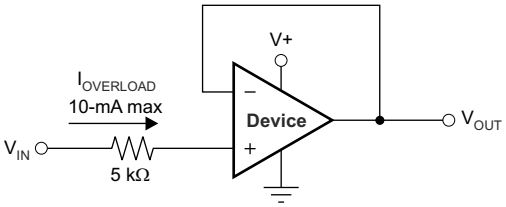


图 8-3. 输入电流保护

8.3.6 典型规格与分布

设计人员经常会对放大器的典型规格提出质疑，以便设计出更稳健的电路。工艺技术和制造过程上存在自然差异，因此放大器的每种规格都与理想值存在一定的偏差，例如放大器的输入失调电压。这些偏差通常遵循*高斯*（“钟形曲线”）或*正态*分布，即使节 7.6 中没有最小值或最大值规格，电路设计人员也可以利用该信息来确定其系统的限值空间。

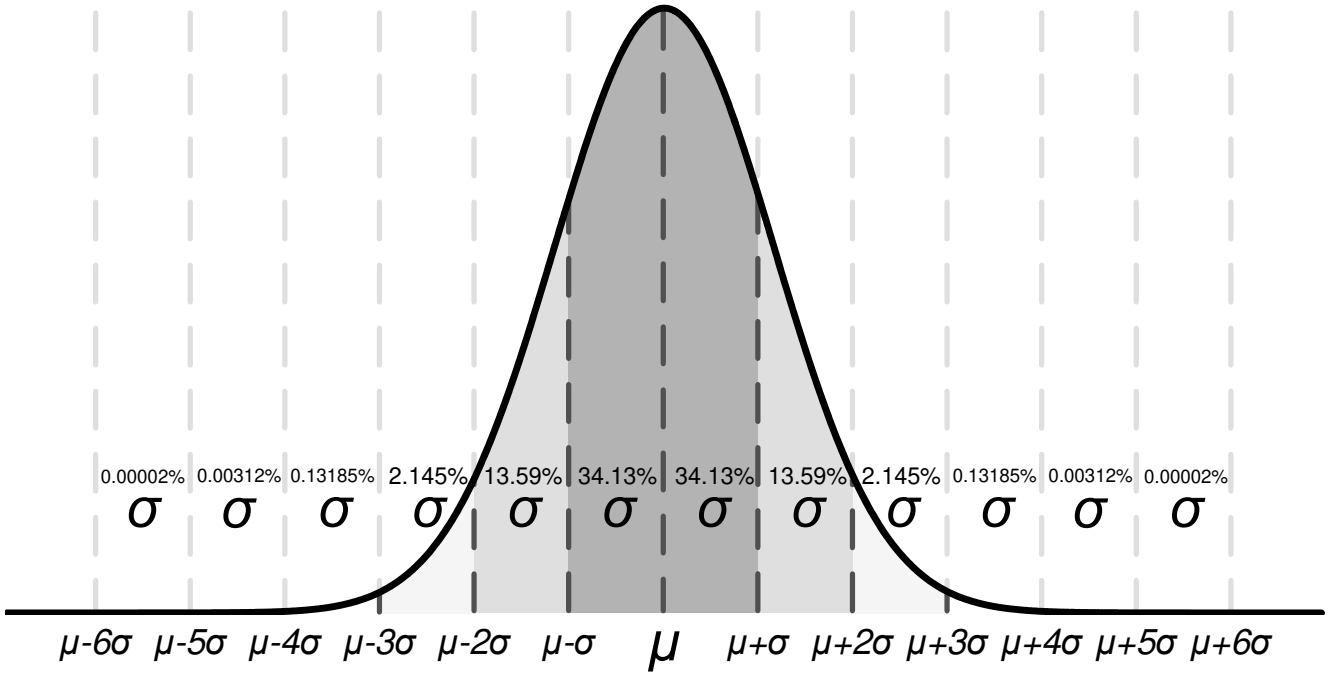


图 8-4. 理想的高斯分布

图 8-4 展示了一个分布示例，其中 *μ* 或 *mu* 是分布的平均值，而 *σ* 或 *sigma* 是系统的标准偏差。对于表现出这种分布的规格，可以预期所有器件中大约三分之二 (68.26%) 器件的值落在平均值的标准差或 1σ 内（*μ* – *σ* 至 *μ*+ *σ*）。

节 7.6 的*典型值*列中列出的值以不同的方式表示，具体取决于规格。根据一般的经验法则，如果规格本身具有非零平均值（例如增益带宽），那么典型值等于平均值 (μ)。然而，如果规格的平均值本身接近于零（例如输入失调电压），那么典型值等于均值加上一个标准偏差 (μ + σ)，这样才能最为准确地表示典型值。

您可以使用此图来计算器件中某个规格的近似概率；例如，对于 TLV6742，典型的输入电压失调值为 150μV，因此所有 TLV6742 器件中有 68.2% 的器件预计具有 –150μV 至 150μV 的失调电压。

在最小值或最大值列中具有值的规格由 TI 确保，超过这些限值的器件将从生产材料中剔除。例如，TLV6742 器件在 25°C 条件下的最大失调电压为 1.0mV，尽管这相当于约 5σ（约为 170 万个器件中有 1 个器件，可能性微乎其微），但 TI 确保任何失调电压大于 1.0mV 的器件都将从生产材料中剔除。

Copyright © 2022 Texas Instruments Incorporated

对于最小值或最大值列中没有值的规格，可考虑为应用选择 1 σ 值的足够限值空间，并使用该值来设计最差情况下的电路。例如，6σ 值相当于约 5 亿个器件中有 1 个器件，这种情况极不可能发生，可以作为一个宽限值空间选项来设计系统。在这种情况下，TLV6742 在温漂上没有最大值和最小值，但根据 图 7-40 和节 7.6 中 0.2μV/°C 的典型值，可以计算出温漂的 6σ 值约为 1.0μV/°C。在针对最坏情况的系统条件进行设计时，可以使用该值来估计整个温度范围内的最坏失调电压，而不用知道实际的最小值或最大值。

然而，随着时间的推移，工艺差异和调整会改变典型的平均值和标准偏差，除非最小值或最大值规格列中给出了值，否则 TI 无法保证器件的性能。此信息应该只能用于估算器件的性能。

8.3.7 关断功能

TLV674xS 器件具有 $\overline{\text{SHDN}}$ 引脚，可禁用运算放大器，将其置于低功耗待机模式。在该模式下，运算放大器消耗的电流通常低于 1μA。$\overline{\text{SHDN}}$ 引脚为低电平有效，这意味着当 $\overline{\text{SHDN}}$ 引脚的输入为有效逻辑低电平时启用关断模式。

$\overline{\text{SHDN}}$ 引脚以运算放大器的负电源电压为基准。关断功能的阈值为负电源轨以上 800mV 左右（典型值）。开关阈值中包含了迟滞，以确保顺畅的开关特性。为了确保最佳的关断行为，应通过有效逻辑信号驱动 $\overline{\text{SHDN}}$ 引脚。有效逻辑低电平被定义为 V– 和 V– + 0.2V 之间的电压。有效逻辑高电平被定义为 V– + 1.2 V 和 V+ 之间的电压。关断引脚必须连接到有效的高电压或低电压或者被驱动，而不是处于开路状态。***没有***用于启用放大器的内部上拉电阻。

$\overline{\text{SHDN}}$ 引脚为高阻抗 CMOS 输入。双通道运算放大器版本是独立控制的，而四通道运算放大器版本是采用逻辑输入成对控制的。对于电池供电的应用，这种特性可用于大幅降低平均电流并延长电池使用寿命。所有通道全部关断时，启用时间为 15μs；禁用时间为 3μs。禁用时，输出呈现高阻抗状态。该架构支持将 TLV674xS 作为门控放大器使用（或将器件输出复用到公共模拟输出总线上）。关断时间 (t_{OFF}) 取决于负载条件，并随负载电阻的增加而增加。为了确保在特定的关断时间内关断（禁用），指定的 10kΩ 负载需加载到中间电源 (V_S/2)。如果在没有负载的情况下使用 TLV674xS，则所需的关断时间会显著增加。

8.3.8 带外露散热焊盘的封装

TLV674x 系列采用具有外露散热焊盘的 WSON-8 (DSG) 封装。在封装内部，使用导电化合物将芯片连接到该散热焊盘。因此，当使用带有外露散热焊盘的封装时，散热焊盘必须连接到 V– 或保持悬空。不可将散热焊盘连接到 V– 之外的电势上，否则无法保证器件的性能。

8.4 器件功能模式

TLV674x 系列具有单功能模式。只要电源电压介于 1.7V (±0.85V) 和 5.5V (±2.75V) 之间，TLV6742 和 TLV6744 就会上电。只要电源电压介于 2.25V (±1.125V) 和 5.5V (±2.75V) 之间，TLV6741 就会上电。

Copyright © 2022 Texas Instruments Incorporated

9 应用和实现

备注

以下应用部分中的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

TLV674x 系列具有 10MHz 带宽和 4.5V/μs 压摆率，每个通道的电源电流仅为 890μA (TLV6741)、990μA (TLV6742/4)，从而能够以超低的功耗提供良好的交流性能。对于直流应用，该系列在 10kHz 下具有 3.5nV/vHz (TLV6742/4)、3.7nV/vHz (TLV6741) 的超低输入噪声电压，并且具有低输入偏置电流和 0.15mV 的典型输入失调电压，从而提供良好的性能。

9.2 具有语音滤波器的单电源驻极体麦克风前置放大器

驻极体麦克风因尺寸小巧、成本低廉，且具有相对较好的信噪比 (SNR)，通常用于便携式电子产品。TLV674x 系列封装尺寸小、运行电压低，具有优异的交流性能，因此是驻极体麦克风前置放大器电路的绝佳选择。图 9-1 中所示电路是用于驻极体麦克风的单电源前置放大器电路，其中突出了 TLV6741 器件。

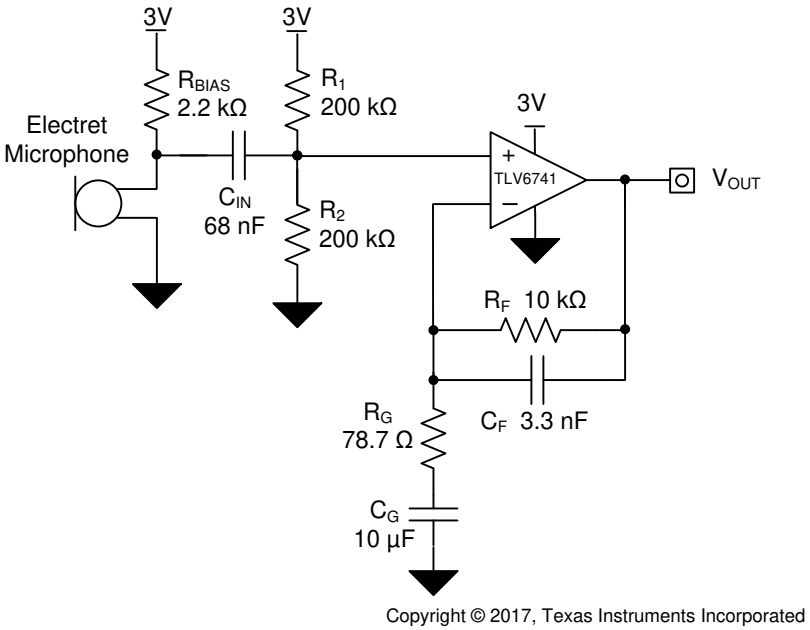


图 9-1. 麦克风前置放大器

9.2.1 设计要求

设计要求如下：

- 电源电压：3V
- 输入：7.93mV$_{RMS}$（ –38dB SPL 麦克风为 0.63Pa ）
- 输出：1 V$_{RMS}$
- 带宽：300 Hz 至 3 kHz

9.2.2 详细设计流程

定义 V$_{OUT}$ 与交流输入信号之间关系的传递函数如方程式 1 所示：

$$V_{OUT} = V_{IN_AC} \times \left(1 + \frac{R_F}{R_G}\right) \quad (1)$$

可根据预期的输入信号电平和所需的输出电平计算所需的增益，如方程式 2 所示：

$$G_{OPA} = \frac{V_{OUT}}{V_{IN_AC}} = \frac{1V_{RMS}}{7.93mV_{RMS}} = 126\frac{V}{V} \quad (2)$$

选择标准 10kΩ 反馈电阻器并计算 R_G。

$$R_G = \frac{R_F}{G_{OPA} - 1} = \frac{10k\Omega}{126\frac{V}{V} - 1} = 80\Omega \rightarrow 78.7\Omega \text{ (closest standard value)} \quad (3)$$

为了将所需通带的衰减从 300Hz 最小化至 3kHz，将所需带宽外部的截止频率上限 (f_H) 和截止频率下限 (f_L) 设置为：

f_L = 200Hz (4)

和

f_H = 5kHz (5)

选择 C_G，从而根据方程式 6 设置 f_L 截止频率：

$$C_G = \frac{1}{2 \times \pi \times R_G \times f_L} = \frac{1}{2 \times \pi \times 78.7\Omega \times 200Hz} = 10.11\mu F \rightarrow 10\mu F \quad (6)$$

选择 C_F，从而根据方程式 7 设置 f_H 截止频率：

$$C_F = \frac{1}{2 \times \pi \times R_F \times f_H} = \frac{1}{2 \times \pi \times 10k\Omega \times 5kHz} = 3.18nF \rightarrow 3.3nF \text{ (Standard Value)} \quad (7)$$

输入信号截止频率应该设置得足够低，使低频声波仍然能够通过。因此选择 C_{IN}，从而根据方程式 8 实现 30Hz 截止频率 (f_{IN})：

$$C_{IN} = \frac{1}{2 \times \pi \times (R_1 \parallel R_2) \times f_{IN}} = \frac{1}{2 \times \pi \times 100k\Omega \times 30Hz} = 53nF \rightarrow 68nF \text{ (Standard Value)} \quad (8)$$

图 9-2 展示了测得的麦克风前置放大器电路传递函数，图 9-3 展示了测得的麦克风前置放大器电路 THD+N 性能。

Copyright © 2022 Texas Instruments Incorporated

9.2.3 应用曲线

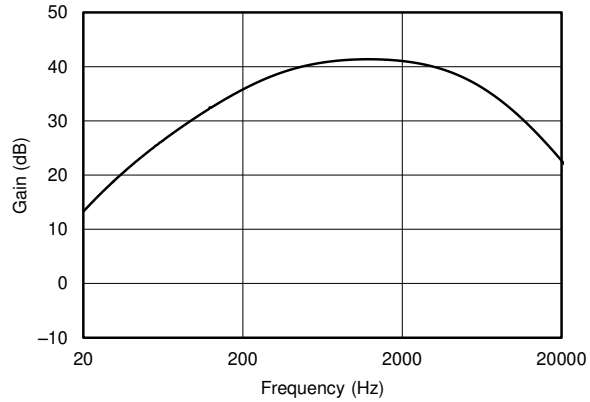


图 9-2. 增益与频率的关系

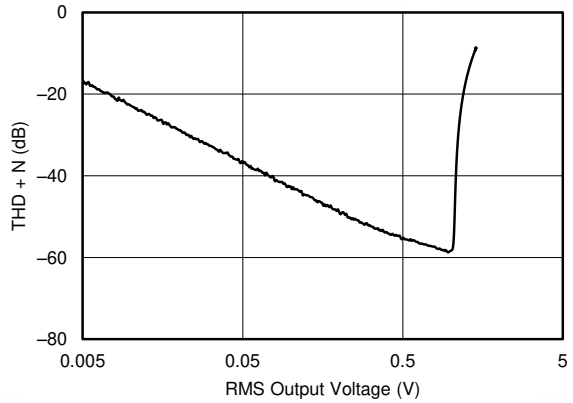


图 9-3. THD+N 与 RMS 输出电压间的关系

10 电源相关建议

TLV6742 和 TLV6744 器件的额定工作电压范围是 1.7V 至 5.5V（±0.85V 至 ±2.75V）。TLV6741 器件的额定工作电压范围是 2.25V 至 5.5V（±1.125V 至 ±2.75V）。TLV674x 系列的许多规格适用于 –40°C 至 125°C。

CAUTION

电源电压超过 7V 可能会对器件造成永久损坏（请参阅节 7.1）。

将 0.1µF 旁路电容器置于电源引脚附近，以减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅节 11.1。

Copyright © 2022 Texas Instruments Incorporated

11 布局

11.1 布局指南

为了实现器件的理想运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过整个电路的电源引脚以及运算放大器传入模拟电路。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间接入低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交比平行相交好得多。
- 外部组件的位置应尽量靠近器件。如图 11-1 中所示，使 RF 和 RG 接近反相输入可尽可能减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的漏电流。

Copyright © 2022 Texas Instruments Incorporated

11.2 布局示例

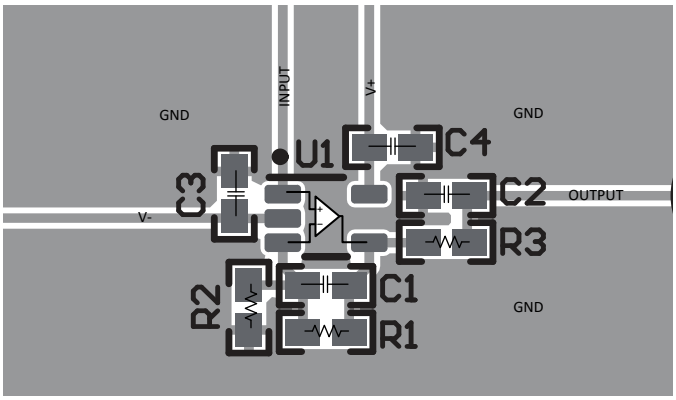
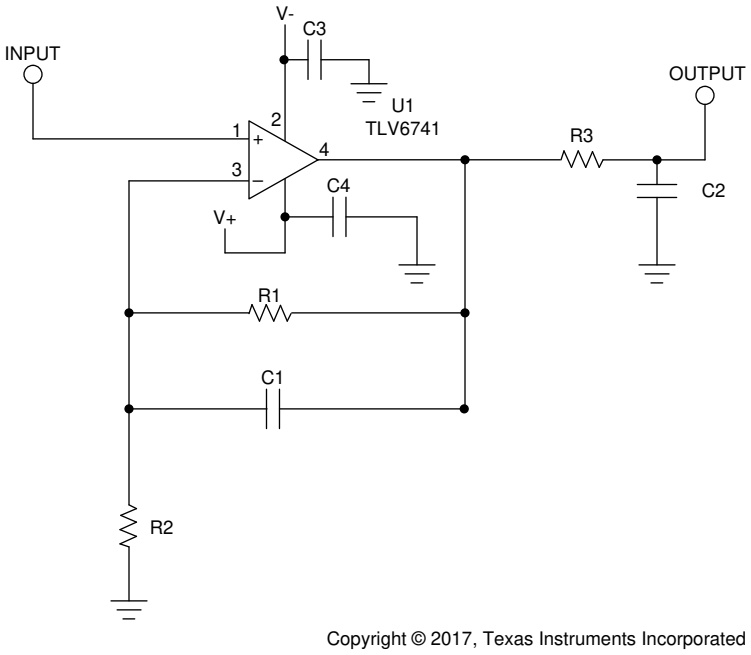


图 11-1. 同相配置的运算放大器电路板布局



Copyright © 2017, Texas Instruments Incorporated

图 11-2. 用于布局示例的电路原理图

Copyright © 2022 Texas Instruments Incorporated

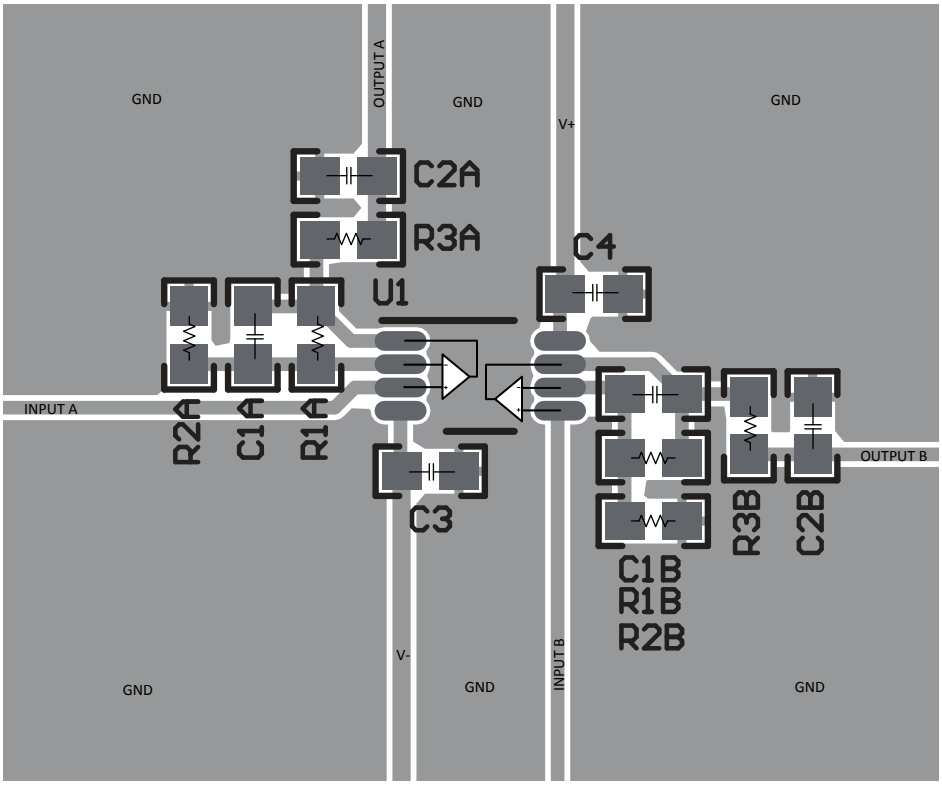


图 11-3. VSSOP-8 (DGK) 封装的示例布局

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

相关文档如下：

- *QFN/SON PCB 连接*。
- *Quad Flatpack No-Lead 逻辑封装*。
- *运算放大器的 EMI 抑制比*。

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.
蓝牙® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

12.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2022 Texas Instruments Incorporated

13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (https:www.ti.com/legal/termsofsale.html) 或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021，德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV6741DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN | POST-PLAT AG SPOT	Level-2-260C-1 YEAR	-40 to 125	18E
TLV6741DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	18E
TLV6741DCKRG4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	18E
TLV6741DCKRG4.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	18E
TLV6741DCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU | SN | POST-PLAT AG SPOT	Level-2-260C-1 YEAR	-40 to 125	18E
TLV6741DCKT.A	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	18E
TLV6742IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T42D
TLV6742IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T42D
TLV6742IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	2H8T
TLV6742IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2H8T
TLV6742IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T6742D
TLV6742IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T6742D
TLV6742IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	D42S
TLV6742IDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D42S
TLV6742IDSGRG4	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D42S
TLV6742IDSGRG4.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D42S
TLV6742IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T6742P
TLV6742IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T6742P
TLV6742SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	HHF
TLV6742SIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	HHF

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

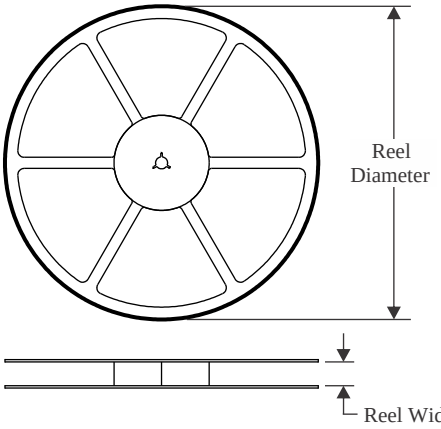
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

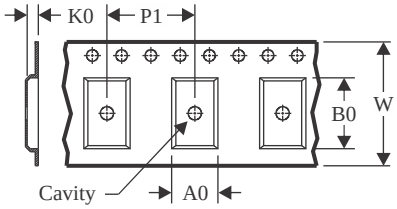
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

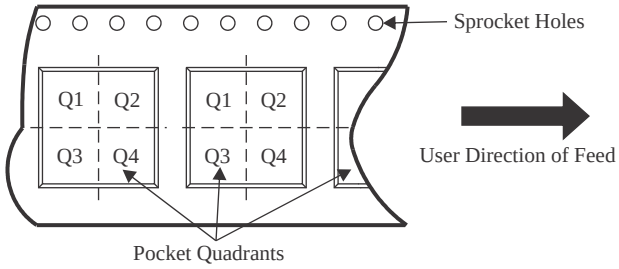


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

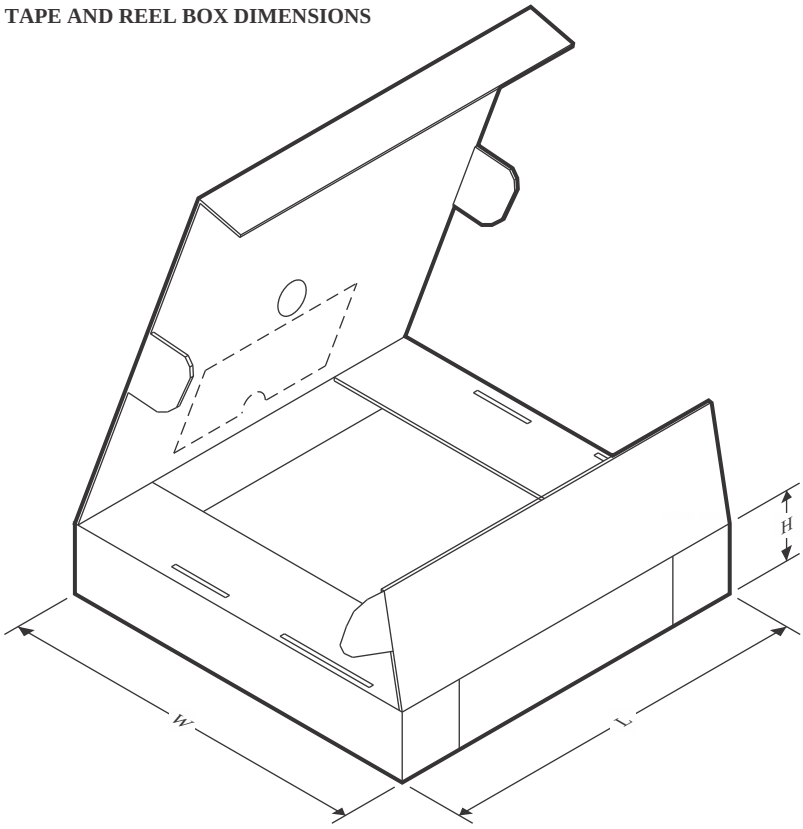
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV6741DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV6741DCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
TLV6741DCKRG4	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV6741DCKT	SC70	DCK	5	250	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
TLV6741DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV6742IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV6742IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV6742IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV6742IDSGR	WSON	DSG	8	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV6742IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV6742IDSGRG4	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV6742IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV6742SIRUGR	X2QFN	RUG	10	3000	178.0	8.4	1.75	2.25	0.56	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

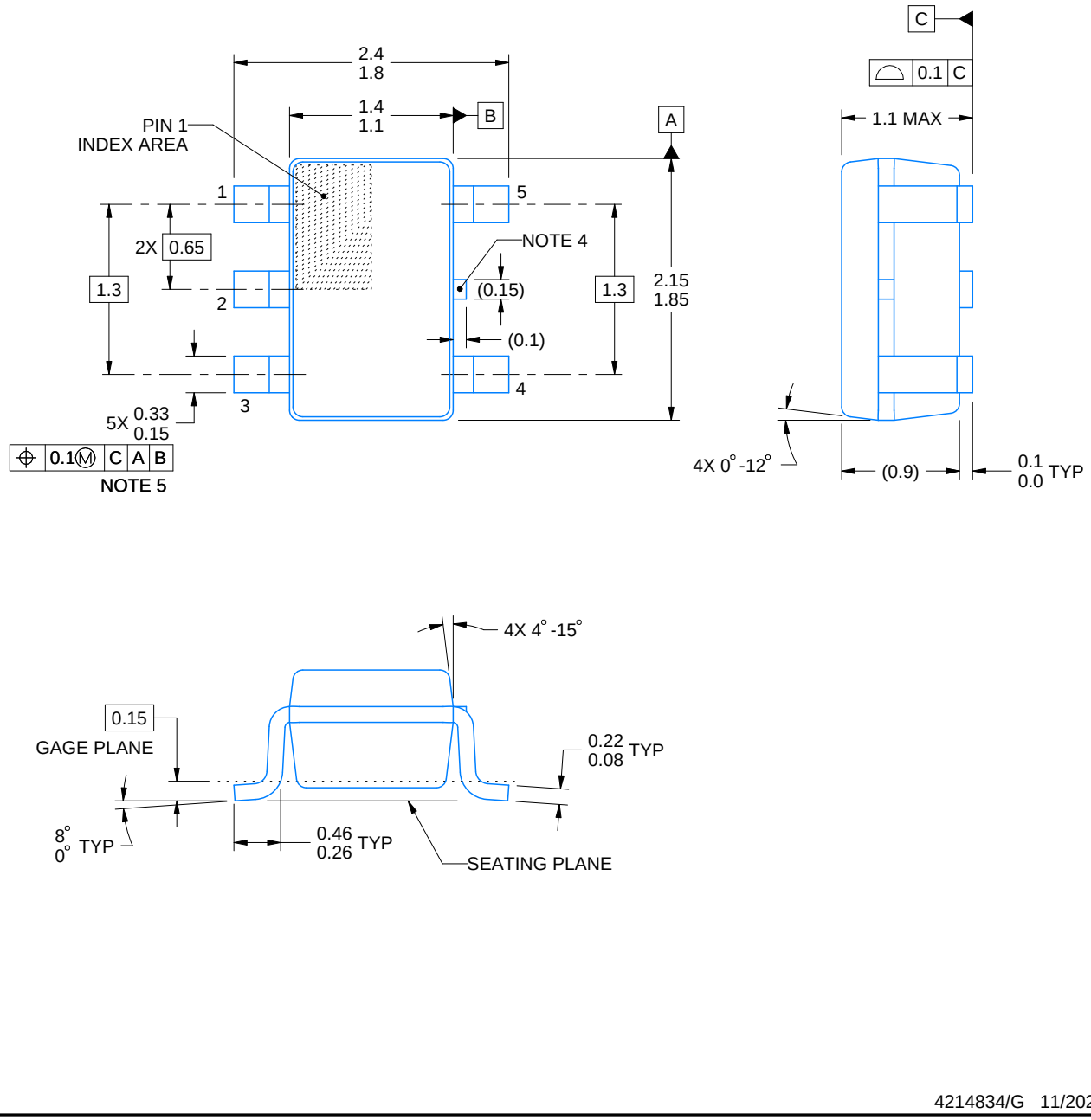
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV6741DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV6741DCKR	SC70	DCK	5	3000	208.0	191.0	35.0
TLV6741DCKRG4	SC70	DCK	5	3000	190.0	190.0	30.0
TLV6741DCKT	SC70	DCK	5	250	208.0	191.0	35.0
TLV6741DCKT	SC70	DCK	5	250	190.0	190.0	30.0
TLV6742IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV6742IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV6742IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV6742IDSGR	WSON	DSG	8	3000	208.0	191.0	35.0
TLV6742IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV6742IDSGRG4	WSON	DSG	8	3000	210.0	185.0	35.0
TLV6742IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV6742SIRUGR	X2QFN	RUG	10	3000	205.0	200.0	33.0

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

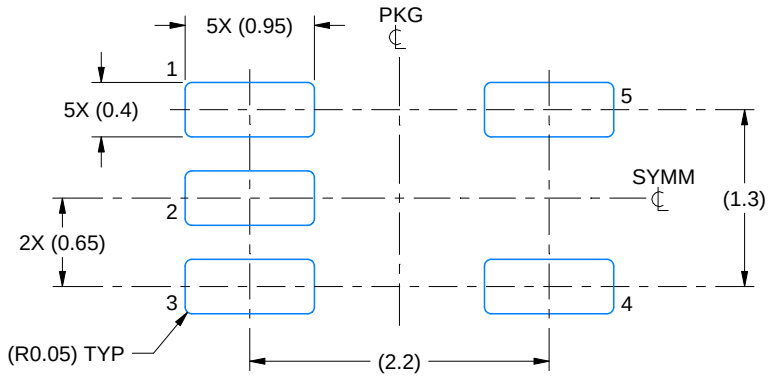
SMALL OUTLINE TRANSISTOR



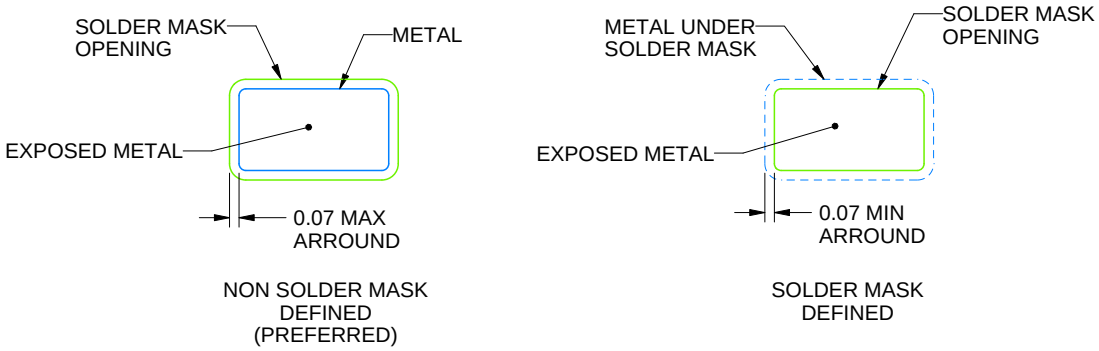
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

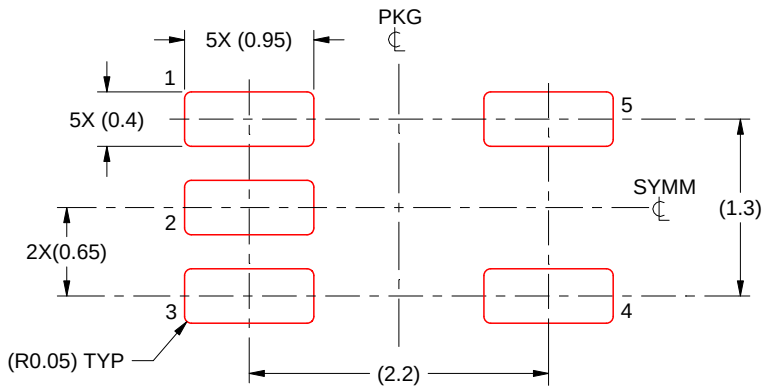


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

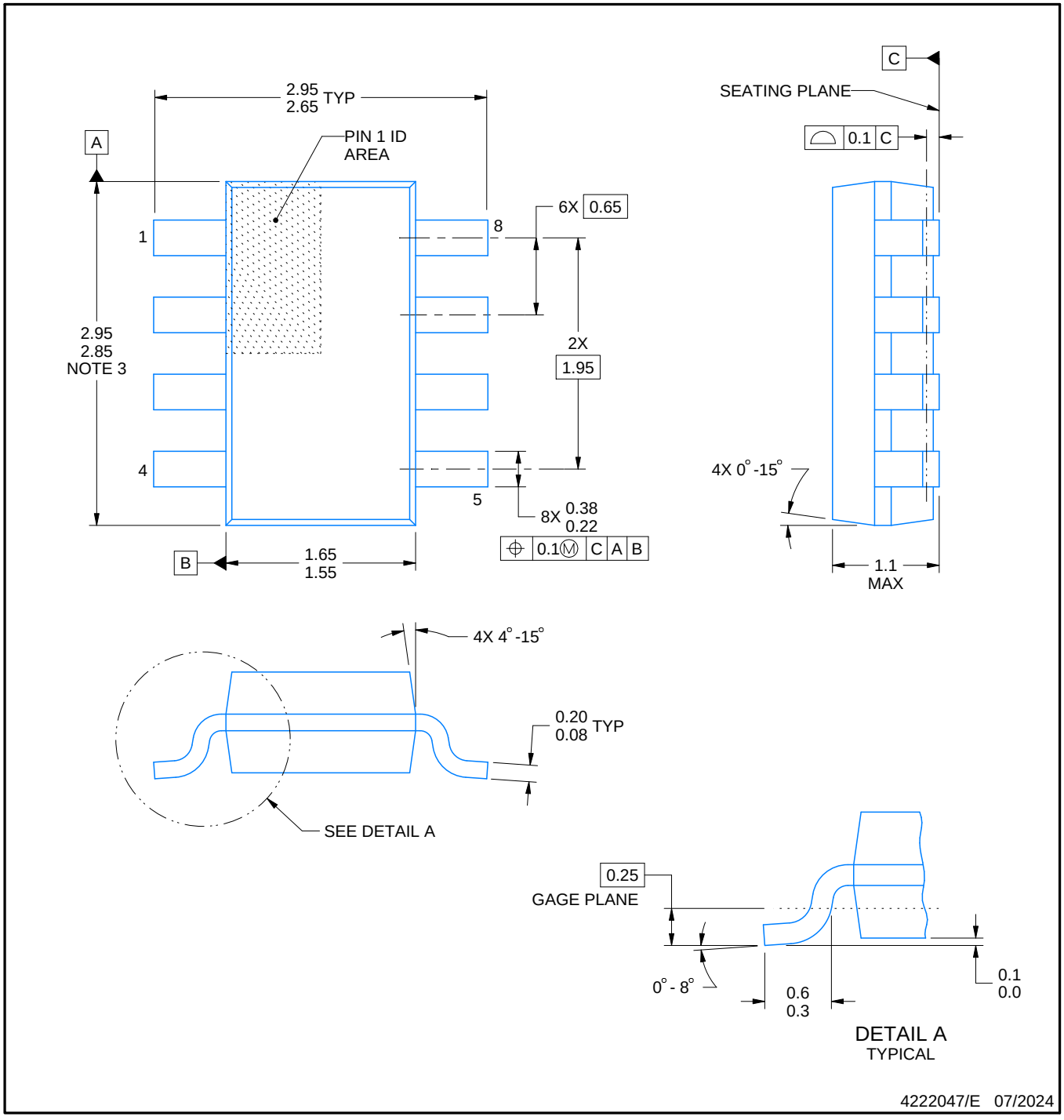
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

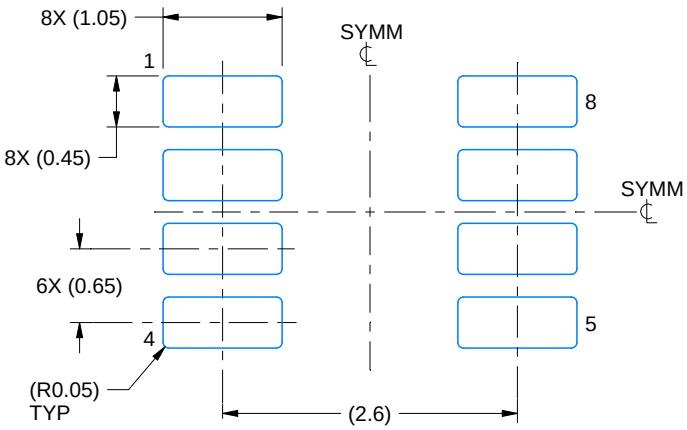
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

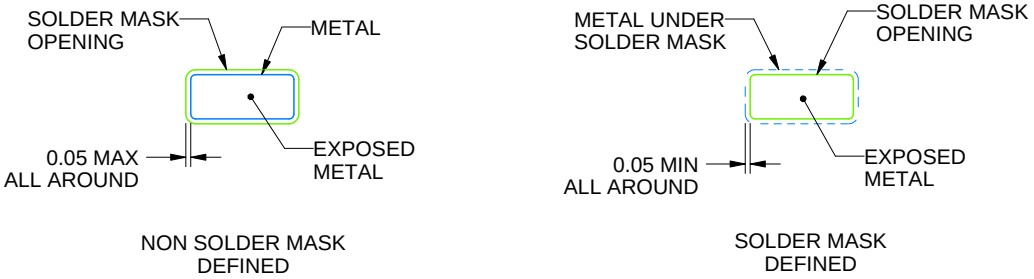


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

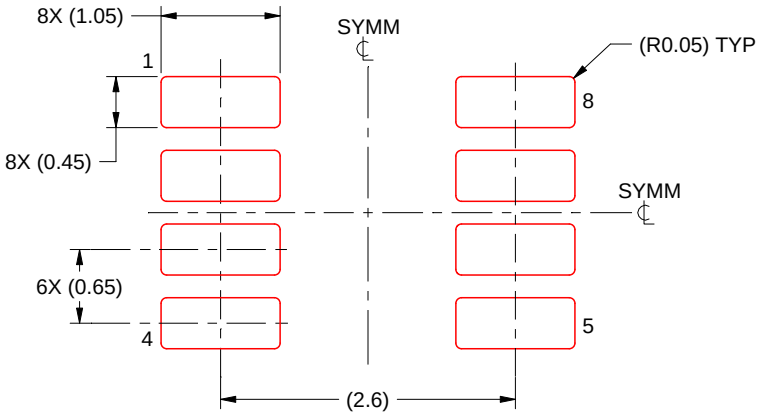
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

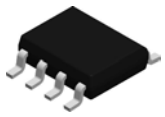


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

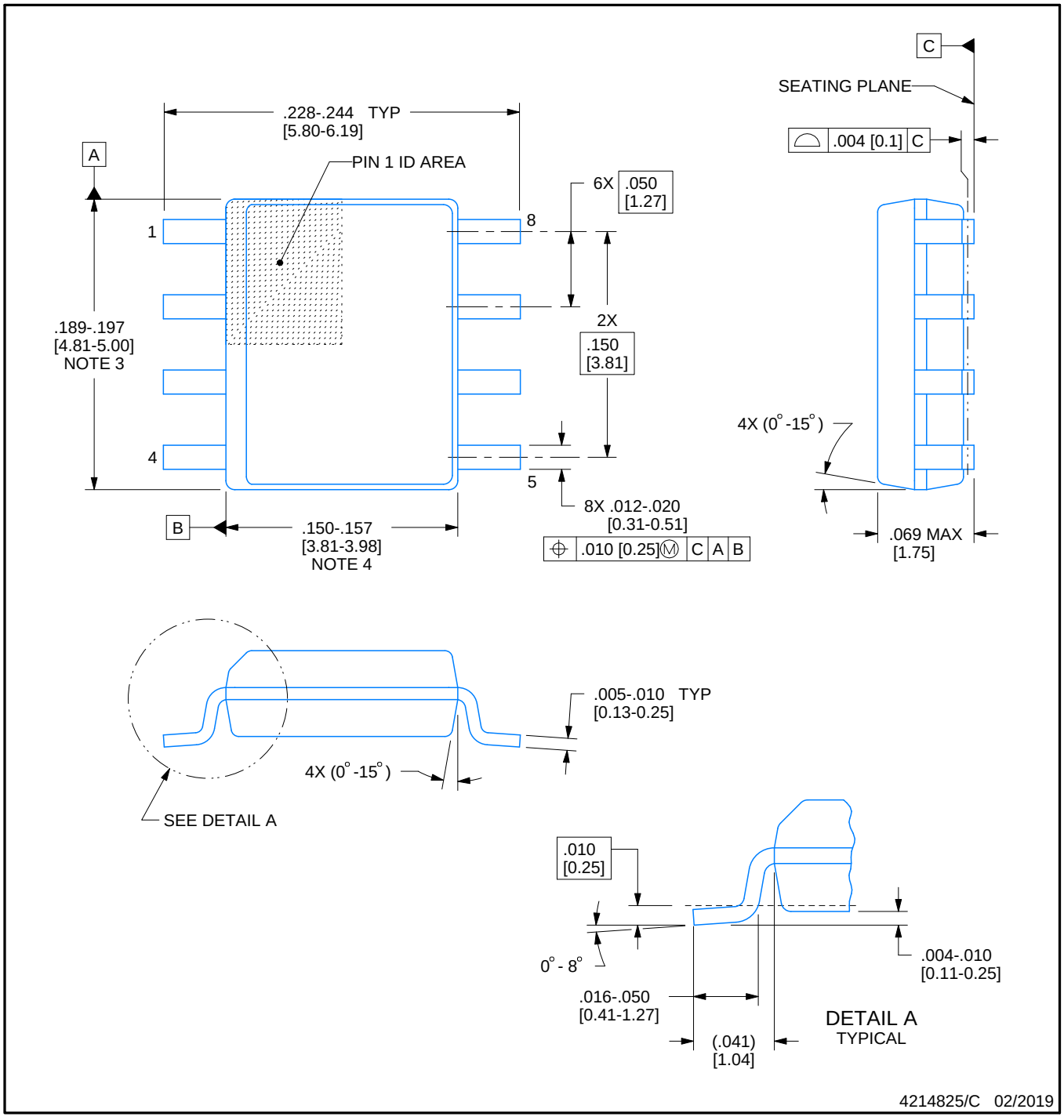


PACKAGE OUTLINE

D0008A

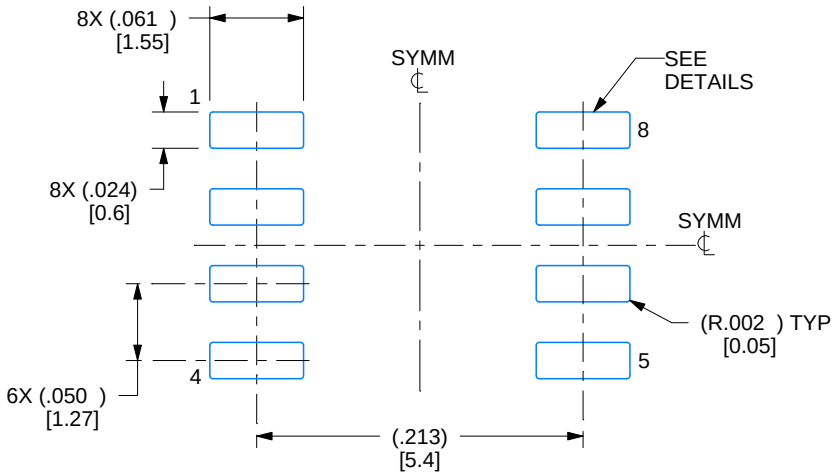
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

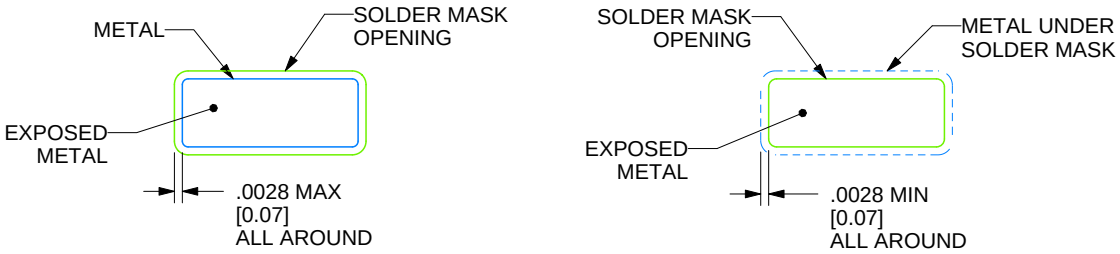


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

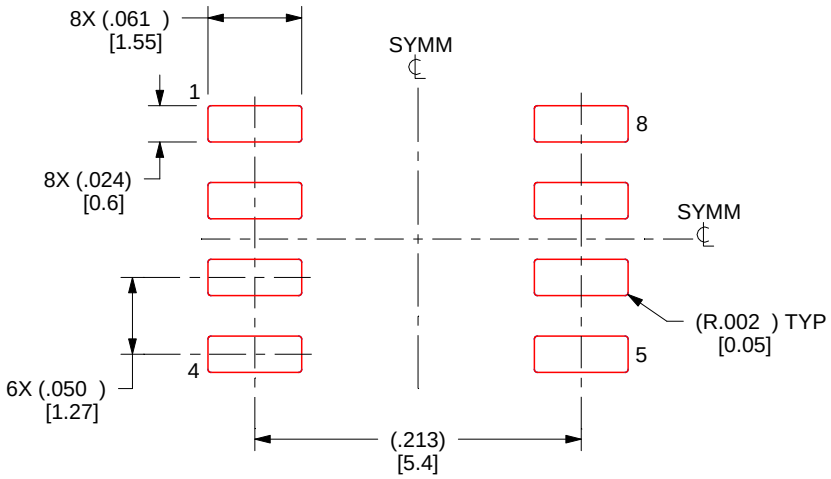
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

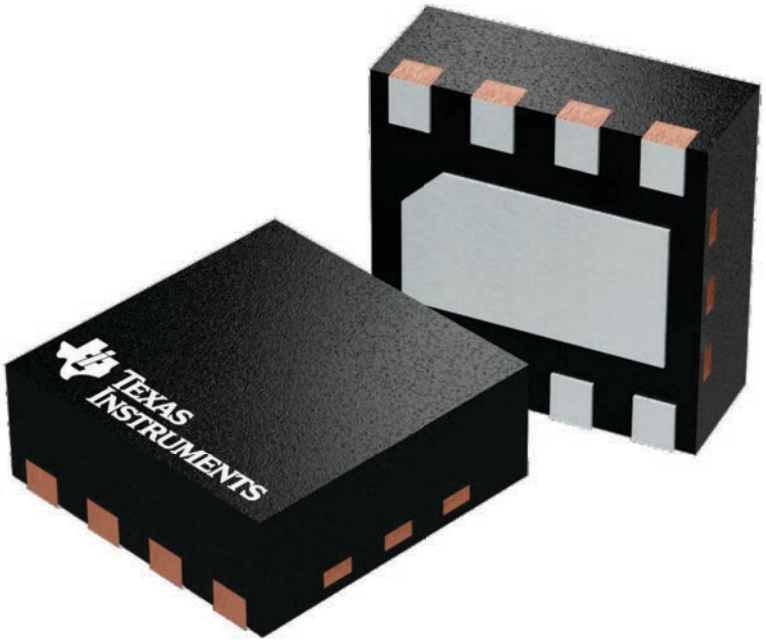
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



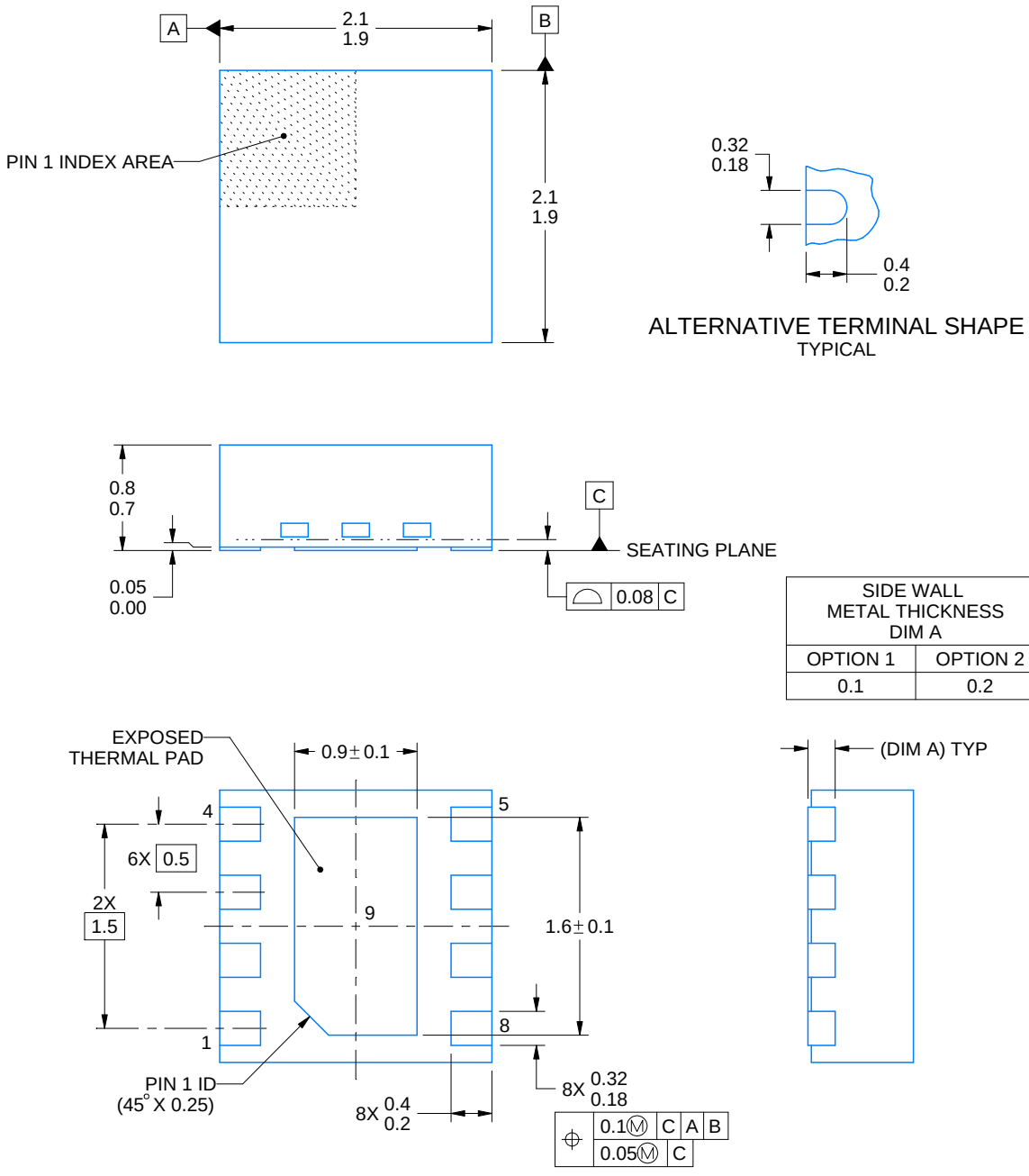
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

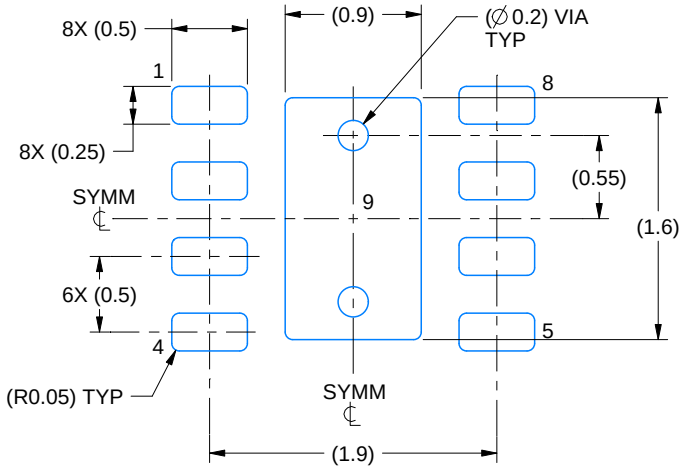
PLASTIC SMALL OUTLINE - NO LEAD



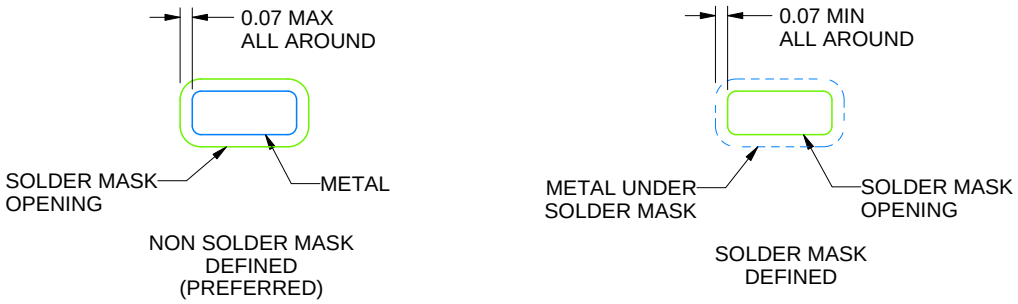
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

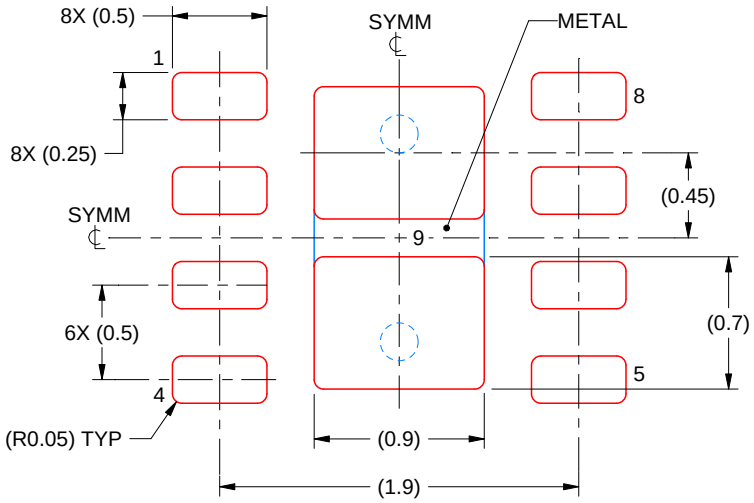


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

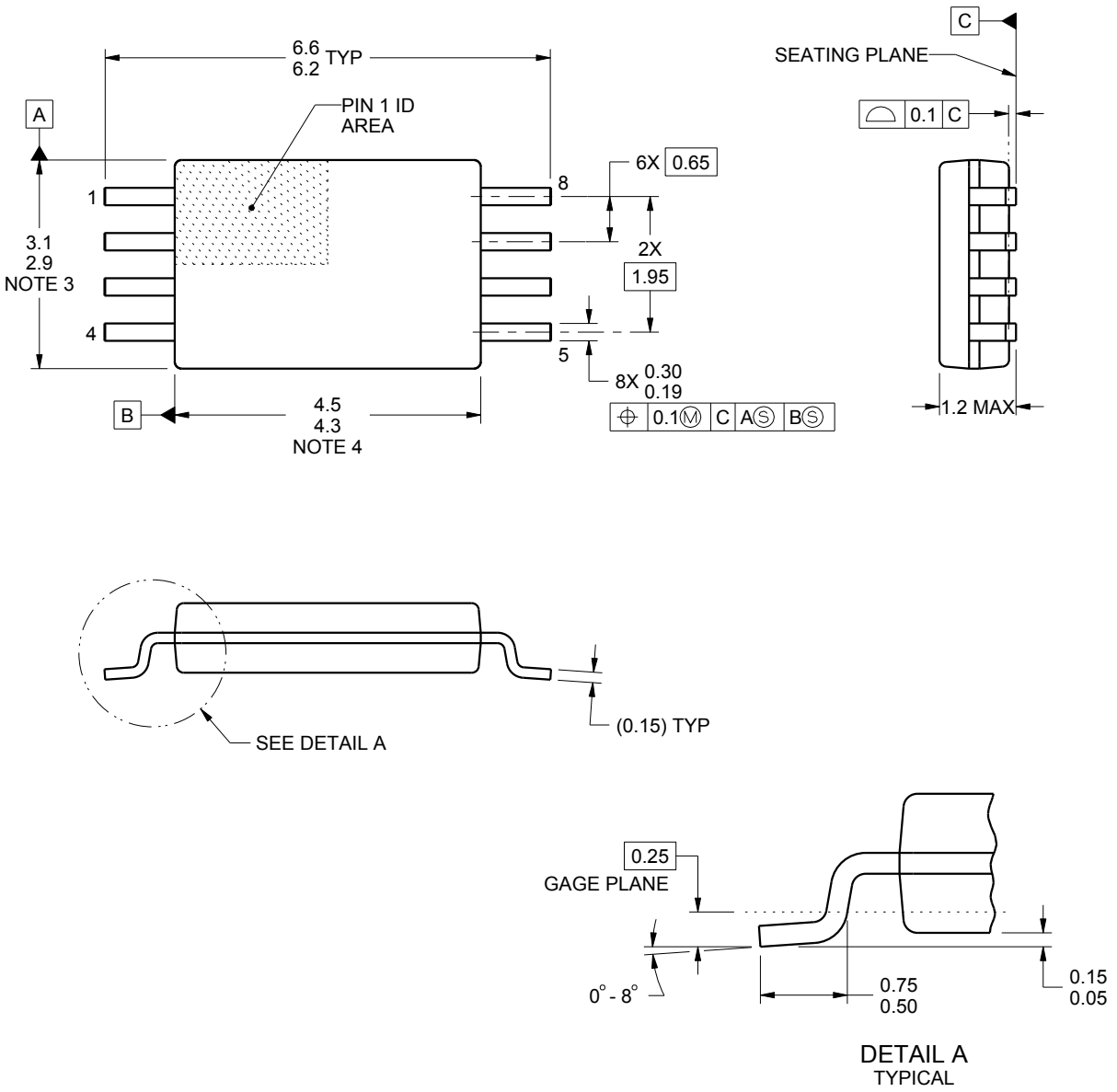
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0008A

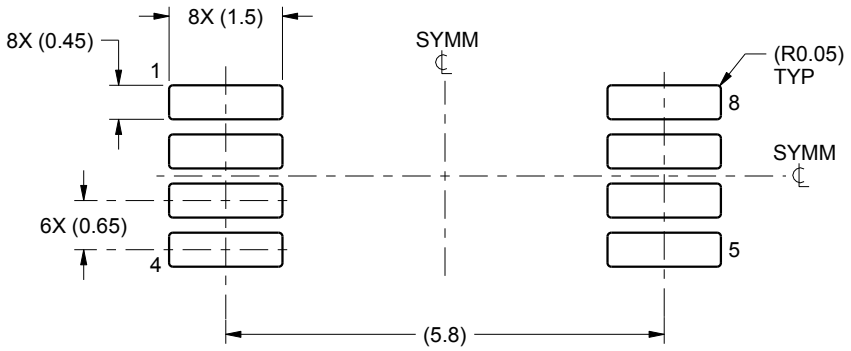
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

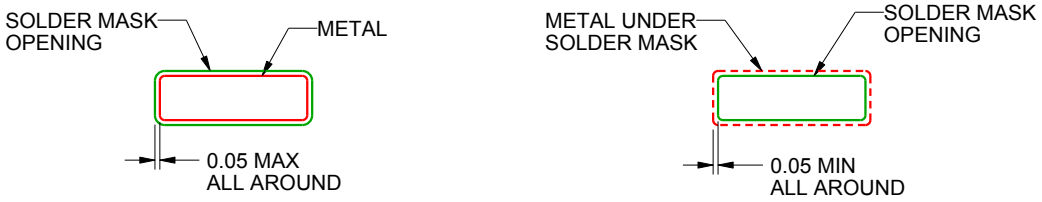


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

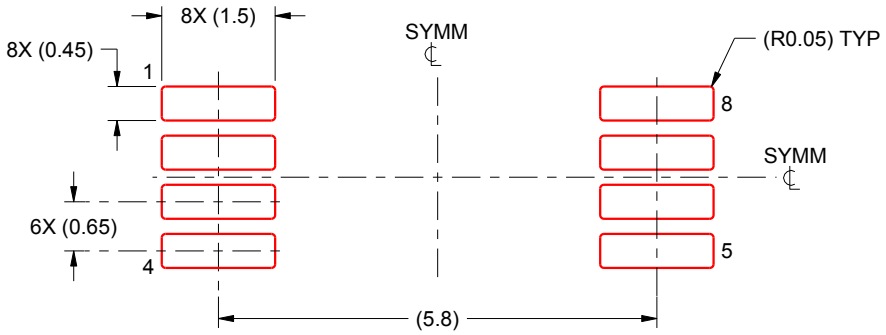


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

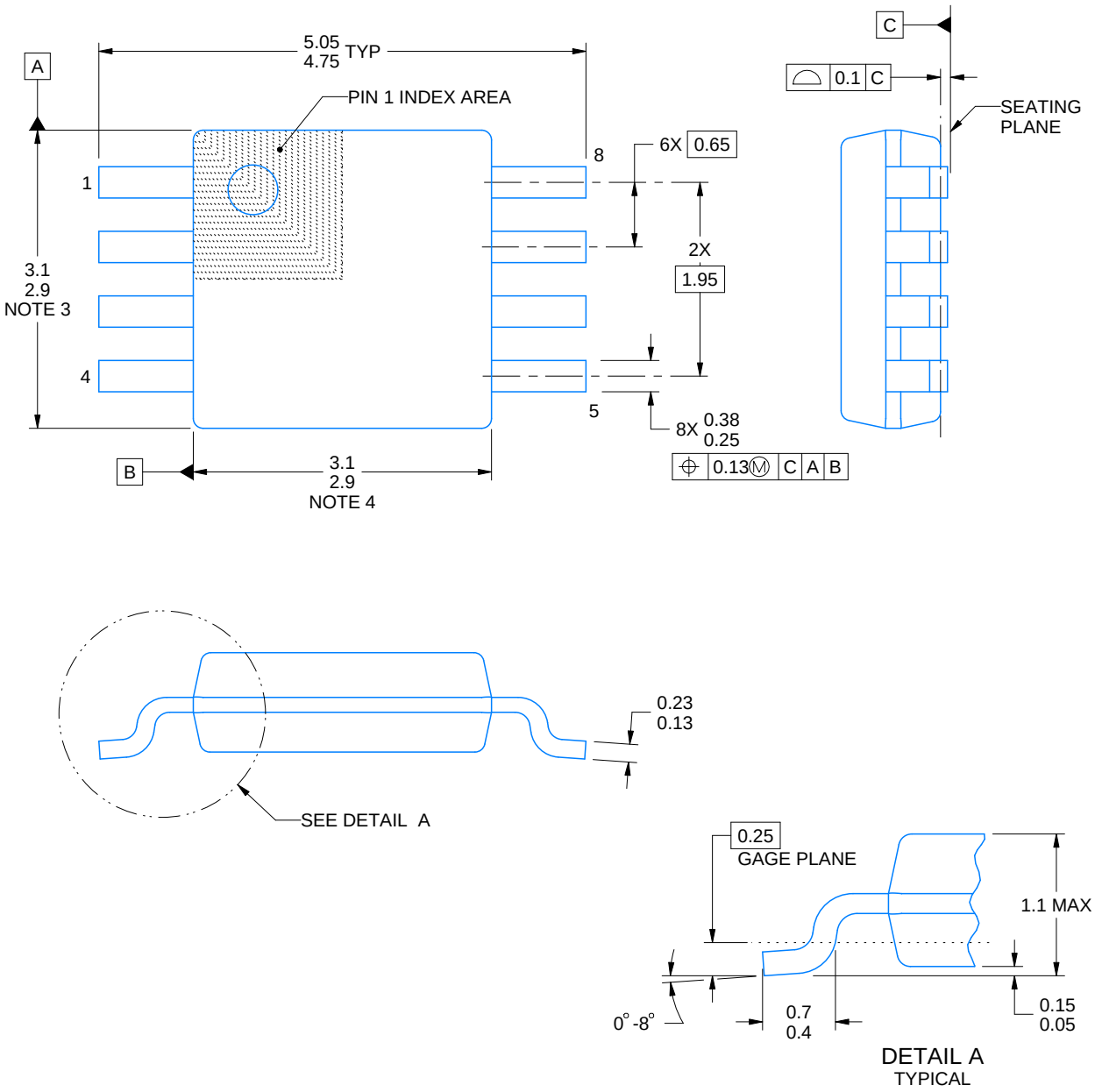
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

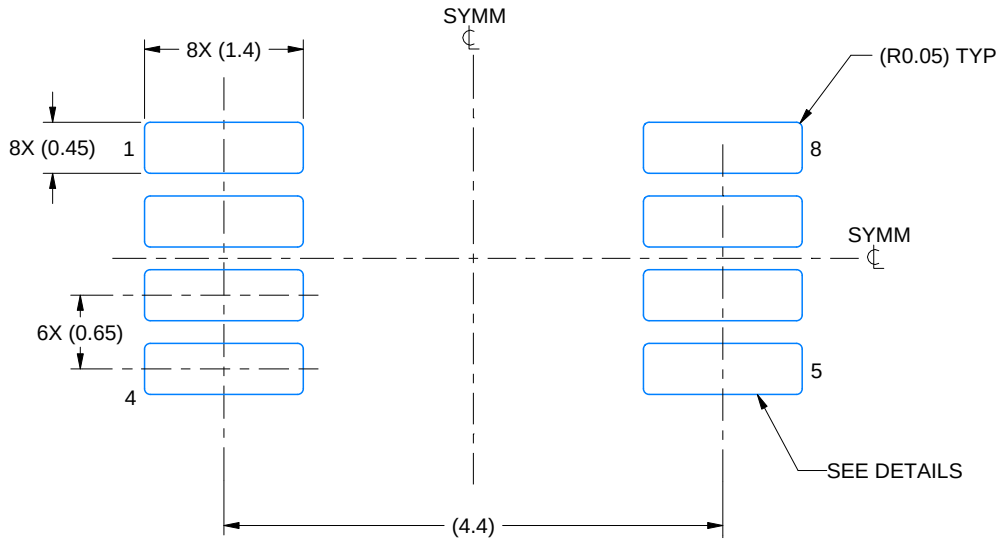
SMALL OUTLINE PACKAGE



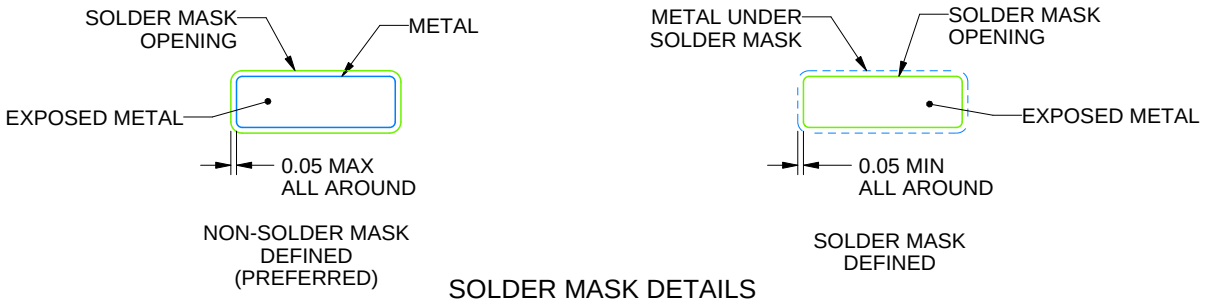
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

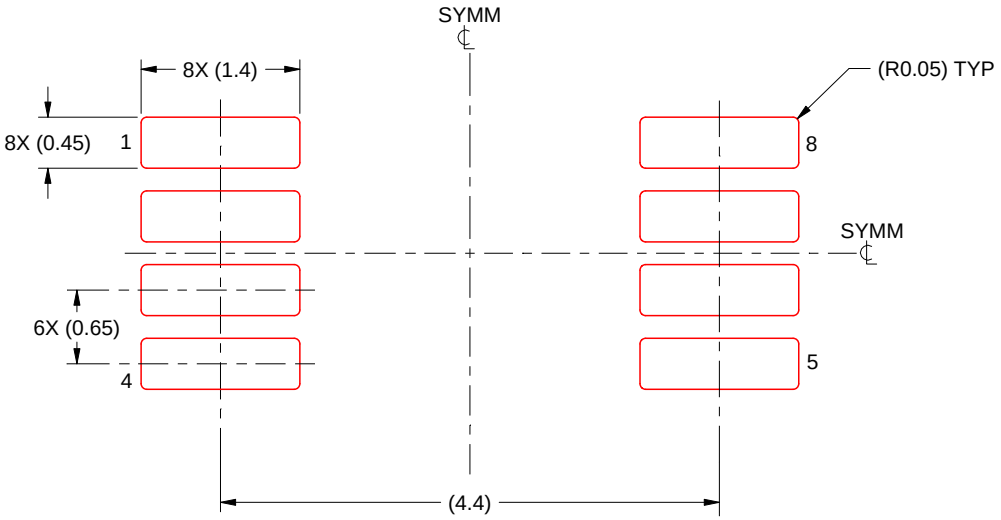


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

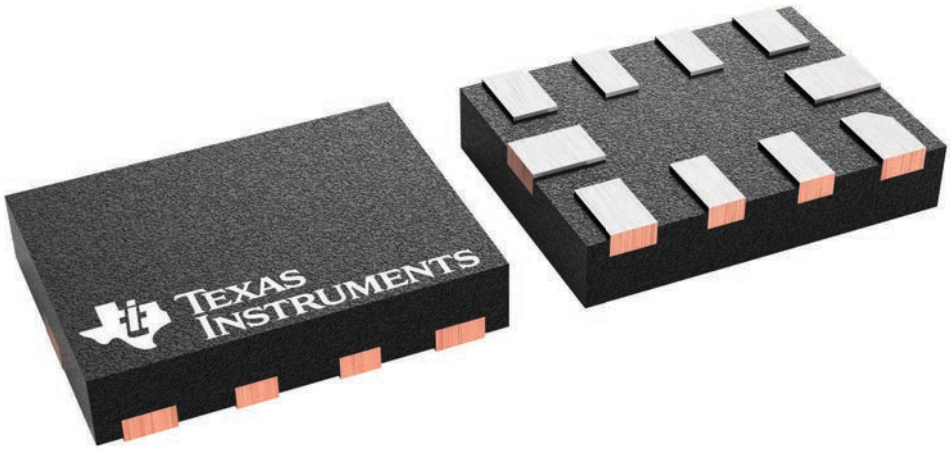
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



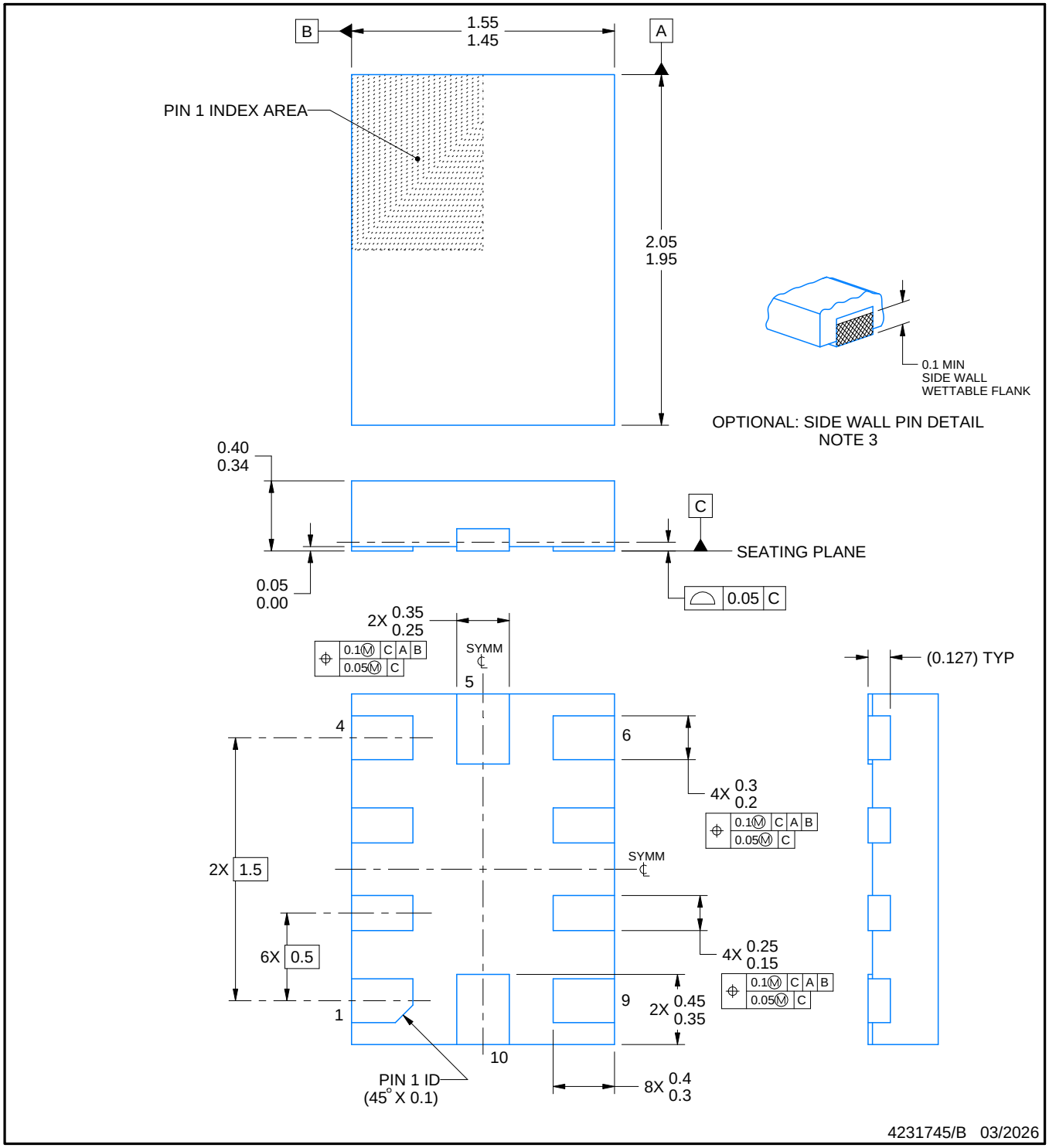
4231768/A

RUG0010A

PACKAGE OUTLINE

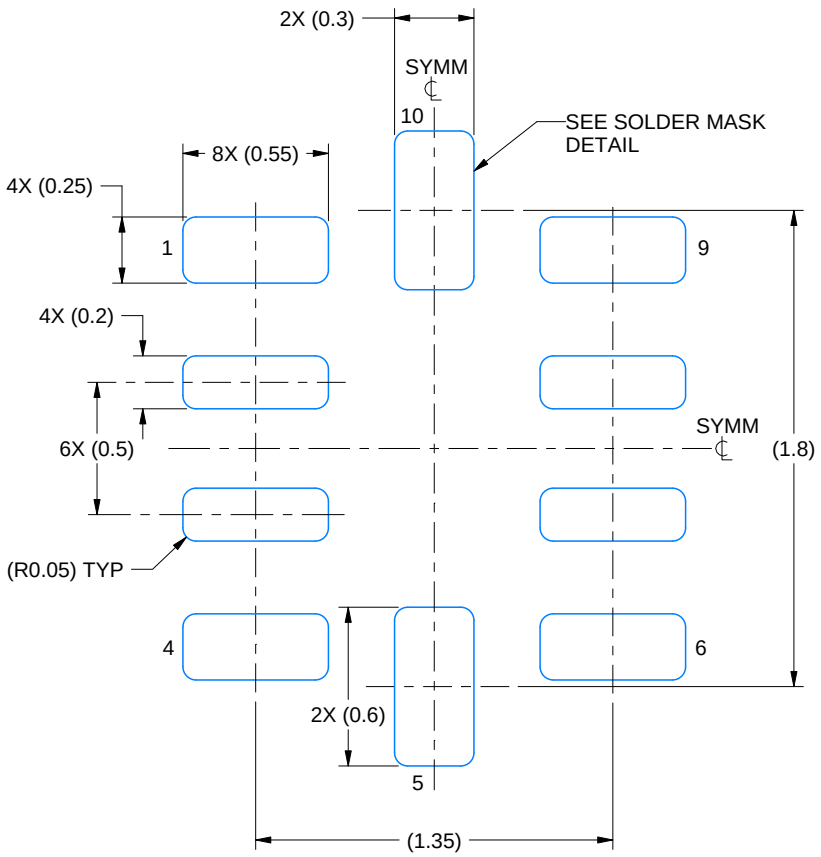
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

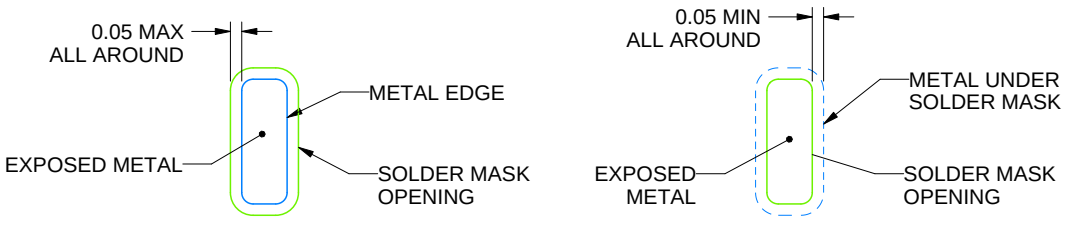


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

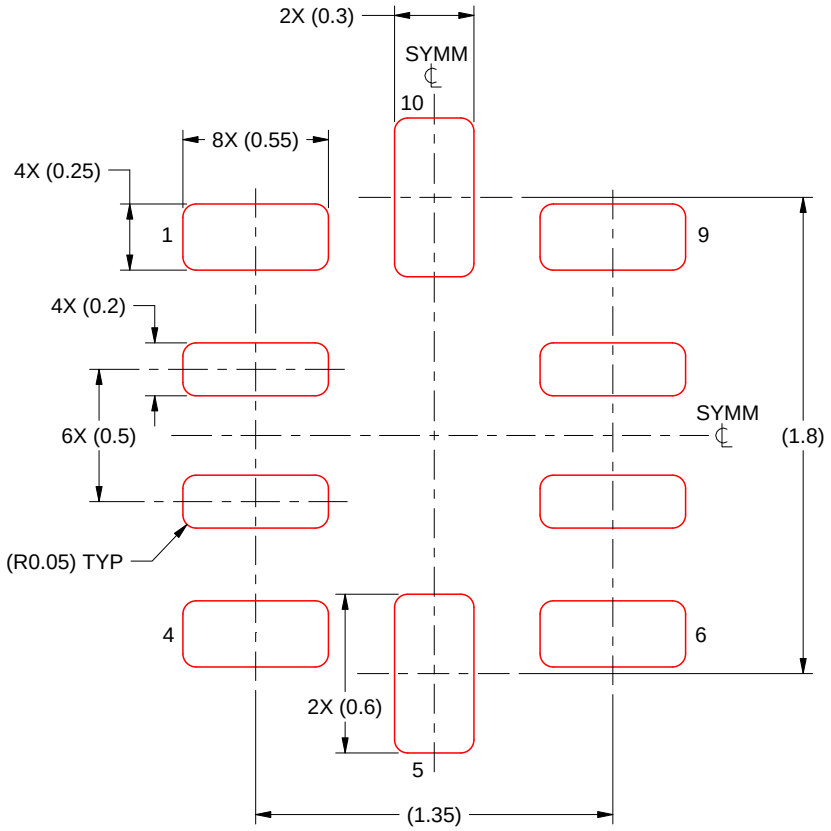
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUG0010A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月