OPA838 1mA、300MHz 增益带宽、电压反馈运算放大器

1 特性

- 增益带宽积：300MHz
- 超低（修整后）的电源电流：950μA
- 带宽：90MHz (A_V = 6V/V)
- 较高的全功率带宽：45MHz，$4V_{PP}$
- 负轨输入，轨至轨输出
- 单电源工作电压范围：2.7V 至 5.4V
- 25°C 输入失调电压：±125μV（最大值）
- 输入失调电压温漂：< ±1.6μV/°C（最大值）
- 输入电压噪声： 1.8nV/ √Hz (> 200Hz)
- 输入电流噪声：1pA/ √Hz (> 2000Hz)
- 关断电流小于 1μA，可节省电力

2 应用

- 低功耗跨阻放大器
- 低噪声高增益级
- 12 位至 16 位低功耗 SAR ADC 驱动器
- 高增益有源滤波器设计
- 超声波流量计

3 说明

OPA838 解补偿电压反馈运算放大器只需 0.95mA 的修整电源电流，即可以 1.8nV/ √Hz 的输入噪声电压提供高达 300MHz 的增益带宽积。这些特性相结合，可为光电二极管跨阻设计和高电压增益级（它们在信号接收器应用中需要超低的输入电压噪声）提供功耗超低的器件。

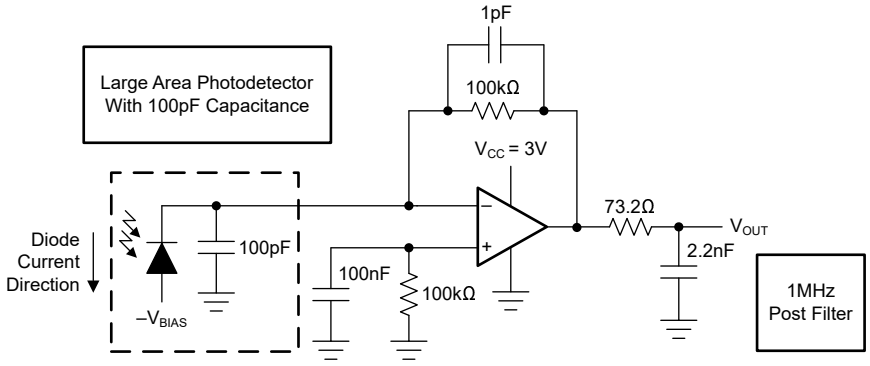
以 6V/V 的最小建议同相增益运行时会产生 90MHz、–3dB 带宽。超低的输入噪声和失调电压使 OPA838 成为高增益的理想选择。即使在 1000V/V 的直流耦合增益下，也可获得 300kHz 的信号带宽，且最大输出失调电压为 ±125mV。

单通道 OPA838 采用 6 引脚 SOT-23、6 引脚 SC70 和 8 引脚 X2QFN 封装，所有封装都具有电源关断特性。OPA838 还采用 5 引脚 SC70 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
OPA838	DBV（SOT-23，6）	2.9mm × 2.8mm
	DCK（SC70，5）	2mm × 1.25mm
	DCK（SC70，6）	2mm × 1.5mm
	DXB（X2QFN，8）	1.4mm × 1.2mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



3V 单电源，小于 3mW 的光电二极管放大器，具有小于 1.1pA/ √Hz 的总电流噪声（以输入为基准），并具有总体 SSBW 为 1MHz 的 100kΩ 增益

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 相关产品.....2
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....4
6.4 热性能信息.....4
6.5 电气特性 V_S = 5V.....5
6.6 电气特性 V_S = 3V.....8
6.7 典型特性：V_S = 5V.....10
6.8 典型特性：V_S = 3V.....13
6.9 典型特性：全电源电压范围.....17
7 详细说明.....22
7.1 概述.....22
7.2 功能方框图.....22
7.3 特性说明.....23
7.4 器件功能模式.....27
8 应用和实施.....31
8.1 应用信息.....31
8.2 典型应用.....35
8.3 电源相关建议.....38
8.4 布局.....39
9 器件和文档支持.....40
9.1 器件支持.....40
9.2 文档支持.....40
9.3 接收文档更新通知.....40
9.4 支持资源.....40
9.5 商标.....40
9.6 静电放电警告.....40
9.7 术语表.....40
10 修订历史记录.....40
11 机械、封装和可订购信息.....41

4 相关产品

器件型号(1)	GBP (MHz)	5V I_Q（mA，最高 25°C）	输入噪声电压 (nV/√Hz)	2V_{PP} THD（dBc，100kHz）	轨到轨输入/输出	双通道
OPA838	300	0.99	1.9	-110	负输入/输出	无
OPA837	50	0.625	4.7	-120	负输入/输出	OPA2837
OPA835	30	0.35	9.3	-100	负输入/输出	OPA2835
OPA836	110	1	4.8	-115	负输入/输出	OPA2836
LMP7717	88	1.4	5.8	—	负输入/输出	LMP7718
OPA830	100	4.7	9.5	-105	负输入/输出	OPA2830
THS4281	38	0.93	12.5	12.5	输入/输出	无

(1) 有关 TI 高速放大器的完整选择清单，请访问 www.ti.com。

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

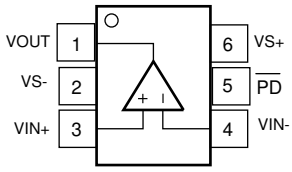


图 5-1. DBV 封装。6 引脚 SOT-23 和 DCK 封装 6 引脚 SC70（顶视图）

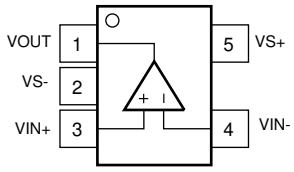


图 5-2. DCK 封装，5 引脚 SC70（顶视图）

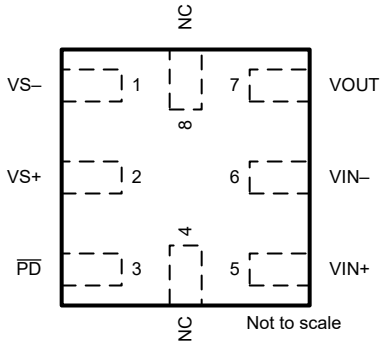


图 5-3. DXB 封装，8 引脚 X2QFN（顶视图）

表 5-1. 引脚功能

引脚				类型	说明
名称	编号				
	DBV (SOT-23)，DCK (SC70, 6)	DCK（SC70，5）	DXB (X2QFN)		
NC	—	—	4、8	NC	无连接引脚。这个引脚不是内部连接。
$\overline{PD}$	5	—	3	输入/输出	放大器断电。 低电平 = 禁用，高电平 = 正常运行（必须驱动引脚）。
VIN-	4	4	6	输入/输出	反相输入引脚
VIN+	3	3	5	输入/输出	非反相输入引脚
VOUT	1	1	7	输入/输出	输出引脚
VS –	2	2	1	电源	负极电源输入引脚
VS+	6	5	2	电源	正电源输入

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{S-} 至 V_{S+}	电源电压		5.5	V
	电源导通和关断最大 dV/dT(2)		1	V/µs
V_I	输入电压	V_{S-} – 0.5	V_{S+} + 0.5	V
V_{ID}	差分输入电压		±1	V
I_I	连续输入电流		±10	mA
I_O	连续输出电流(3)		±20	mA
	连续功耗	请参阅*热性能信息*		
T_J	最大结温		150	°C
T_A	自然通风条件下的工作温度	-40	125	°C
T_{stg}	贮存温度	-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 保持低于此 ± 电源导通边沿速率，以防止电源引脚上的边沿触发 ESD 吸收器件导通。
(3) 用于电迁移限制的长期连续输出电流。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{S+}	单电源电压	2.7	5	5.4	V
T_A	环境温度	-40	25	125	°C

6.4 热性能信息

热指标(1)		OPA838				单位
		DBV (SOT-23)	DCK (SC70)	DCKS (SC70)	DXB (X2SON)	
		6 引脚	5 引脚	6 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	194	203	189	194	°C/W
$R_{\theta JCtop}$	结至外壳（顶部）热阻	129	152	150	74	°C/W
$R_{\theta JB}$	结至电路板热阻	39	76	79	109	°C/W
ψ_{JT}	结至顶部特征参数	26	58	61	2	°C/W
ψ_{JB}	结至电路板特征参数	39	76	79	109	°C/W

(1) 有关新旧热指标的更多信息，请参阅“*半导体和 IC 封装热指标*”应用报告。

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性 V_S = 5V

测试条件：V_{S+} = 5V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 $T_A \approx$ 25°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位	测试等级 (1)
交流性能							
SSBW	小信号带宽	V_{OUT} = 20mV$_{PP}$，G = 6（峰值 < 4dB）	75	90		MHz	C
		V_{OUT} = 20 mV$_{PP}$，G = 10，R_F = 1.6 kΩ		50			C
		V_{OUT} = 20 mV$_{PP}$，G = 100，R_F = 16.9 kΩ		3			C
GBP	增益带宽积	V_{OUT} = 20 mV$_{PP}$，G = 100	240	300		MHz	C
LSBW	大信号带宽	V_{OUT} = 2 V$_{PP}$，G = 6		45		MHz	C
	0.1dB 平坦度带宽	V_{OUT} = 200 mV$_{PP}$，G = 6		10		MHz	C
SR	压摆率	来自 LSBW (2)	250	350		V/μs	C
	过冲、下冲	V_{OUT} = 2V 阶跃、G = 6、输入 t_R = 12ns		1%	2%		C
t_R，t_F	上升/下降时间	V_{OUT} = 2V 阶跃、G = 6、R_L = 2kΩ、输入 t_R = 12ns		12.5	13	ns	C
	精度达 0.1% 的稳定时间	V_{OUT} = 2V 阶跃、G = 6、输入 t_R = 12ns		30		ns	C
	精度达 0.01% 的稳定时间	V_{OUT} = 2V 阶跃、G = 6、输入 t_R = 12ns		40		ns	C
HD2	二阶谐波失真	f = 100kHz、V_O = 4V$_{PP}$、G = 6（请参阅图 8-1）		-110		dBc	C
HD3	三阶谐波失真	f = 100kHz、V_O = 4V$_{PP}$、G = 6（请参阅图 8-1）		-120		dBc	C
	输入电压噪声	f > 1kHz		1.8		nV/√Hz	C
	电压噪声 1/f 转角频率			100		Hz	C
	输入电流噪声	f > 100kHz		1		pA/√Hz	C
	电流噪声 1/f 转角频率			7		kHz	C
	过驱动恢复时间	G = 6、2 个输出过驱、直流耦合		50		ns	C
	闭环输出阻抗	f = 1MHz，G = 6		0.3		Ω	C
直流性能							
A_{OL}	开环电压增益	V_O = ±2V，R_L = 2kΩ	120	125		dB	A
	以输入为基准的失调电压	$T_A \approx$ 25°C（DXB 封装）	-150	±15	150	μV	A
		$T_A \approx$ 25°C	-125	±15	125		A
		T_A = 0°C 至 70°C	-165	±15	200		B
		T_A = -40°C 至 +85°C	-230	±15	220		B
		T_A = -40°C 至 +125°C	-230	±15	285		B
	输入失调电压漂移 (5)	T_A = -40°C 至 +125°C (4)	-1.6	±0.4	1.6	μV/°C	B
	输入偏置电流 (3)	$T_A \approx$ 25°C	0.7	1.5	2.8	μA	A
		T_A = 0°C 至 70°C	0.2	1.5	3.5		B
		T_A = -40°C 至 +85°C	0.2	1.5	3.7		B
		T_A = -40°C 至 +125°C	0.2	1.5	4.4		B
	输入偏置电流漂移 (5)	T_A = -40°C 至 +125°C	4.5	7.8	17	nA/°C	B
	输入失调电流	$T_A \approx$ 25°C（DXB 封装）	-100	±20	100	nA	A
		$T_A \approx$ 25°C	-70	±20	70		A
		T_A = 0°C 至 70°C	-83	±20	93		B
		T_A = -40°C 至 +85°C	-105	±20	100		B
		T_A = -40°C 至 +125°C	-105	±20	120		B
	输入失调电流漂移 (5)	T_A = -40°C 至 +125°C	-500	±40	500	pA/°C	B

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性 V_S = 5V（续）

测试条件：V_{S+} = 5V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 $T_A \approx 25°C$（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位	测试等级 (1)
输入							
	共模输入范围，低位	$T_A \approx 25°C$，CMRR > 92dB		V_{S-} – 0.2	V_{S-} – 0	V	A
		T_A = –40°C 至 +125°C，CMRR > 92dB		V_{S-} – 0			B
	共模输入范围，高位	$T_A \approx 25°C$，CMRR > 92dB	V_{S+} – 1.3	V_{S+} – 1.2		V	A
		T_A = –40°C 至 +125°C，CMRR > 92dB		V_{S+} – 1.3			B
CMRR	共模抑制比		95	105		dB	A
	输入阻抗共模			35 || 1		MΩ || pF	C
	输入阻抗差模			30 || 1.3		kΩ || pF	C
输出							
V_{OL}	输出电压，低位	$T_A \approx 25°C$，G = 6		V_{S-} + 0.05	V_{S-} + 0.1	V	A
		T_A = –40°C 至 +125°C，G = 6		V_{S-} + 0.05	V_{S-} + 0.1		B
V_{OH}	输出电压，高位	$T_A \approx 25°C$，G = 6	V_{S+} – 0.1	V_{S+} – 0.05		V	A
		T_A = –40°C 至 +125°C，G = 6	V_{S+} – 0.2	V_{S+} – 0.1			B
	流入电阻负载的最大电流	$T_A \approx 25°C$，1.53V 流入 41.3Ω，V_{IO} < 2mV	±35	±40		mA	A
	流入电阻负载的线性电流	$T_A \approx 25°C$，±1.81V 流入 70.6Ω，A_{OL} > 80dB	±25	±28		mA	A
		T_A = –40°C 至 +125°C，±1.58V 流入 70.6Ω，A_{OL} > 80dB	±22	±25			B
	输出直流阻抗	G = 6		0.02		Ω	C
电源							
	额定工作电压		2.7	5	5.4	V	B
	静态工作电流	$T_A \approx 25°C$（DXB 封装）(6)	900	960	1025	μA	A
		$T_A \approx 25°C$ (6)	913	960	1025		A
		T_A = -40°C 至 +125°C	700	960	1365		B
dIq/dT	静态电流温度系数	T_A = -40°C 至 +125°C	2.6	3	3.4	μA/°C	B
+PSRR	正电源抑制比		98	110		dB	A
–PSRR	负电源抑制比		93	105		dB	A
断电（引脚必须被驱动，SOT23-6 和 SC70-6）							
	启用电压阈值	规定高于 V_{S-} + 1.5V 时*导通*	1.5			V	A
	禁用电压阈值	规定低于 V_{S-} + 0.55V 时*关断*			0.55	V	A
	禁用引脚偏置电流	$\overline{PD}$ = V_{S-} 至 V_{S+}	-50	20	50	nA	A
	关断静态电流	$\overline{PD}$ = 0.55V		0.1	1	μA	A
	开通延时时间	从 $\overline{PD}$ = 高电平至 V_{OUT} = 最终值的 90% 所需的时间		1.7		μs	C
	关断延时时间	从 $\overline{PD}$ = 低电平至 V_{OUT} = 最终值的 10% 所需的时间		100		ns	C

(1) 测试等级（所有值均通过表征和仿真进行设置）：(A) 在 25°C 下经过全面测试，通过表征和仿真设置过热限制；(B) 未经量产测试，通过表征和仿真设置限制；(C) 典型值仅供参考。
(2) 该压摆率是通过大信号带宽估算的上升和下降时间的平均值，如下所示：$(0.8 \times V_{PEAK} / \sqrt{2}) \times 2\pi \times f_{-3dB}$，其中 f_{-3dB} 是在增益为 6V/V 时测得的典型 $4V_{PP}$ 带宽。
(3) 流出引脚的电流被视为正电流。
(4) 根据全温度范围终点数据的特性测试表明，输入偏移电压漂移、输入偏置电流漂移和输入偏移电流漂移典型规格为均值 ± 1σ。最大漂移规格由晶圆级筛选漂移的封装测试范围最小值、最大值设定。漂移不由最终自动测试设备 (ATE) 和 QA 抽样测试指定。
(5) 输入偏移电压漂移、输入偏置电流漂移和输入偏移电流漂移均为平均值，计算方法为采用终点处的数据，计算差值，然后除以温度范围。

Copyright © 2025 Texas Instruments Incorporated

(6) 典型规格为 25°C T_J 下的值。最小和最大限值已在 ATE 中扩展，以计入 22°C 至 32°C 环境温度范围及电源电流 4μA/°C 的温度系数。

Copyright © 2025 Texas Instruments Incorporated

6.6 电气特性 V_S = 3V

测试条件：V_{S+} = 3V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 $T_A \approx$ 25°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位	测试等级 (1)
交流性能							
SSBW	小信号带宽	V_{OUT} = 20mV$_{PP}$，G = 6（峰值 < 4dB）	70	86		MHz	C
		V_{OUT} = 20 mV$_{PP}$，G = 10，R_F = 1.6 kΩ		50			C
		V_{OUT} = 20 mV$_{PP}$，G = 100，R_F = 16.9 kΩ		3			C
GBP	增益带宽积	V_{OUT} = 20 mV$_{PP}$，G = 100	240	300		MHz	C
LSBW	大信号带宽	V_{OUT} = 2 V$_{PP}$，G = 6		45		MHz	C
	0.1dB 平坦度带宽	V_{OUT} = 200 mV$_{PP}$，G = 6		9		MHz	C
SR	压摆率	来自 LSBW (2)	250	350		V/μs	C
	过冲、下冲	V_{OUT} = 1V 阶跃、G = 6、输入 t_R = 6ns		2%	4%		C
t_R，t_F	上升/下降时间	V_{OUT} = 1V 阶跃、G = 6、输入 t_R = 6ns		6.3	7	ns	C
	精度达 0.1% 的稳定时间	V_{OUT} = 1V 阶跃、G = 6、输入 t_R = 6ns		30		ns	C
	精度达 0.01% 的稳定时间	V_{OUT} = 1V 阶跃、G = 6、输入 t_R = 6ns		40		ns	C
HD2	二阶谐波失真	f = 100kHz、V_O = 2V$_{PP}$、G = 6（请参阅图 8-1）		-108		dBc	C
HD3	三阶谐波失真	f = 100kHz、V_O = 2V$_{PP}$、G = 6（请参阅图 8-1）		-125		dBc	C
		f = 100kHz、V_O = 2V$_{PP}$、G = 6（DXB 封装）		-110			
	输入电压噪声	f > 1kHz		1.8		nV/√Hz	C
	电压噪声 1/f 转角频率			100		Hz	C
	输入电流噪声	f > 100kHz		1.0		pA/√Hz	C
	电流噪声 1/f 转角频率			7		kHz	C
	过驱动恢复时间	G = 6、2 个输出过驱、直流耦合		50		ns	C
	闭环输出阻抗	f = 1MHz，G = 6		0.3		Ω	C
直流性能							
A_{OL}	开环电压增益	V_O = ±1V，R_L = 2kΩ	110	125		dB	A
	以输入为基准的失调电压	$T_A \approx$ 25°C（DXB 封装）	-150	±15	150	μV	A
		$T_A \approx$ 25°C	-125	±15	125		A
		T_A = 0°C 至 70°C	-165	±15	200		B
		T_A = -40°C 至 +85°C	-230	±15	220		B
		T_A = -40°C 至 +125°C	-230	±15	285		B
	输入失调电压漂移 (5)	T_A = -40°C 至 +125°C (4)	-1.6	±0.4	1.6	μV/°C	B
	输入偏置电流 (3)	$T_A \approx$ 25°C	0.7	1.5	2.8	μA	A
		T_A = 0°C 至 70°C	0.2	1.5	3.5		B
		T_A = -40°C 至 +85°C	0.2	1.5	3.7		B
		T_A = -40°C 至 +125°C	0.2	1.5	4.4		B
	输入偏置电流漂移 (5)	T_A = -40°C 至 +125°C	4.5	7.8	17	nA/°C	B
	输入失调电流	$T_A \approx$ 25°C（DXB 封装）	-100	±20	100	nA	A
		$T_A \approx$ 25°C	-70	±20	70		A
		T_A = 0°C 至 70°C	-83	±20	93		B
		T_A = -40°C 至 +85°C	-105	±20	100		B
		T_A = -40°C 至 +125°C	-105	±13	120		B
	输入失调电流漂移 (5)	T_A = -40°C 至 +125°C	-500	±20	500	pA/°C	B

Copyright © 2025 Texas Instruments Incorporated

6.6 电气特性 V_S = 3V（续）

测试条件：V_{S+} = 3V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 $T_A \approx$ 25°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位	测试等级 (1)
输入							
	共模输入范围，低位	$T_A \approx$ 25°C，CMRR > 92dB		V_{S-} – 0.2	V_{S-} – 0	V	A
		T_A = –40°C 至 125°C，CMRR > 92dB		V_{S-} – 0		V	B
	共模输入范围，高位	$T_A \approx$ 25°C，CMRR > 92dB	V_{S+} – 1.3	V_{S+} – 1.2		V	A
		T_A = –40°C 至 +125°C，CMRR > 92dB		V_{S+} – 1.3		V	B
CMRR	共模抑制比		95	105		dB	A
	输入阻抗共模			55 || 1.1		MΩ || pF	C
	输入阻抗差模			30 || 1.3		kΩ || pF	C
输出							
V_{OL}	输出电压，低位	$T_A \approx$ 25°C，G = 6		V_{S-} + 0.05	V_{S-} + 0.1	V	A
		T_A = –40°C 至 +125°C，G = 6		V_{S-} + 0.1	V_{S-} + 0.2		B
V_{OH}	输出电压，高位	$T_A \approx$ 25°C，G = 6	V_{S+} – 0.1	V_{S+} – 0.05		V	A
		T_A = –40°C 至 +125°C，G = 6	V_{S+} – 0.2	V_{S+} – 0.1			B
	流入电阻负载的最大电流	$T_A \approx$ 25°C，0.77V 流入 26.7Ω，V_{IO} < 2mV	±28	±30		mA	A
	流入电阻负载的线性电流	$T_A \approx$ 25°C，±0.88V 流入 37Ω，A_{OL} > 70dB	±23	±25		mA	A
		T_A = –40°C 至 +125°C，±0.76V 流入 37Ω，A_{OL} > 70dB	±20	±23			B
	输出直流阻抗	G = 6		0.02		Ω	C
电源							
	额定工作电压		2.7	5	5.4	V	B
	静态工作电流	$T_A \approx$ 25°C（DXB 封装）(6)	875	930	970	μA	A
		$T_A \approx$ 25°C(6)	890	930	970		A
		T_A = -40°C 至 +125°C	680	930	1350		B
dIq/dT	静态电流温度系数	T_A = -40°C 至 +125°C	2.2	2.7	3.2	μA/°C	B
+PSRR	正电源抑制比		95	110		dB	A
–PSRR	负电源抑制比		90	105		dB	A
断电（引脚必须被驱动，SOT23-6 和 SC70-6）							
	启用电压阈值	规定高于 V_{S-} + 1.5V 时*导通*	1.5			V	A
	禁用电压阈值	规定低于 V_{S-} + 0.55V 时*关断*			0.55	V	A
	禁用引脚偏置电流	$\overline{PD}$ = V_{S-} 至 V_{S+}	-50	20	50	nA	A
	关断静态电流	$\overline{PD}$ = 0.55V		0.1	1	μA	A
	开通延时时间	从 $\overline{PD}$ = 高电平至 V_{OUT} = 最终值的 90% 所需的时间		3.5		μs	C
	关断延时时间	从 $\overline{PD}$ = 低电平至 V_{OUT} = 最终值的 10% 所需的时间		100		ns	C

(1) 测试等级（所有值均通过表征和仿真进行设置）：(A) 在 25°C 下经过全面测试，通过表征和仿真设置过热限制；(B) 未经量产测试，通过表征和仿真设置限制；(C) 典型值仅供参考。

(2) 该压摆率是通过大信号带宽估算的上升和下降时间的平均值，如下所示：$(0.8 \times V_{PEAK} / \sqrt{2}) \times 2\pi \times f_{-3dB}$，其中 f_{-3dB} 是在增益为 6V/V 时测得的典型 4VPP 带宽。

(3) 流出引脚的电流被视为正电流。

(4) 根据全温度范围终点数据的特性测试表明，输入偏移电压漂移、输入偏置电流漂移和输入偏移电流漂移典型规格为均值 ± 1σ。最大漂移规格由晶圆级筛选漂移的封装测试范围最小值、最大值设定。漂移不由最终自动测试设备 (ATE) 和 QA 抽样测试指定。

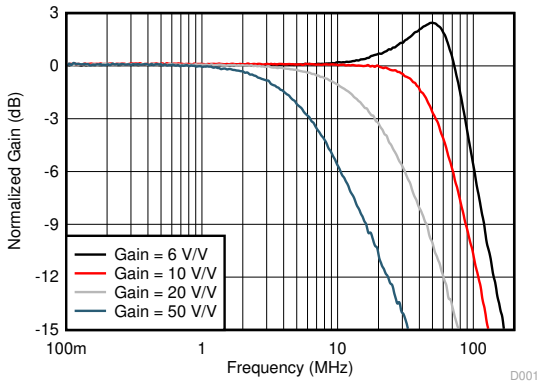
(5) 输入偏移电压漂移、输入偏置电流漂移和输入偏移电流漂移均为平均值，计算方法为采用终点处的数据，计算差值，然后除以温度范围。

(6) 典型规格为 25°C T_J 下的值。最小和最大限值已在 ATE 中扩展，以计入 22°C 至 32°C 环境温度范围及电源电流 4μA/°C 的温度系数。

Copyright © 2025 Texas Instruments Incorporated

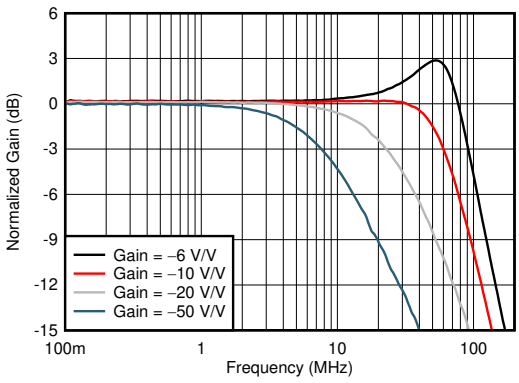
6.7 典型特性：V_S = 5V

测试条件：V_{S+} = 5V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 $T_A \approx$ 25°C（除非另有说明）



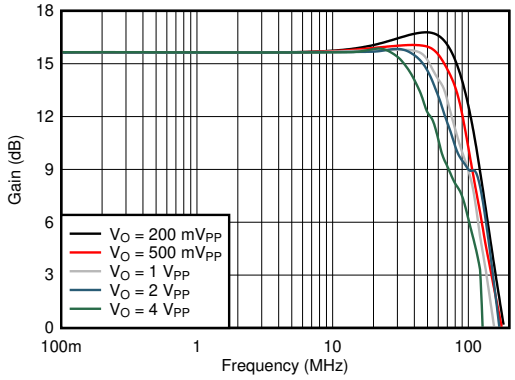
请参阅图 8-1 和表 8-1（V_O = 20mV$_{PP}$、R_{LOAD} = 2kΩ）

图 6-1. 非反相小信号频率响应与增益间的关系



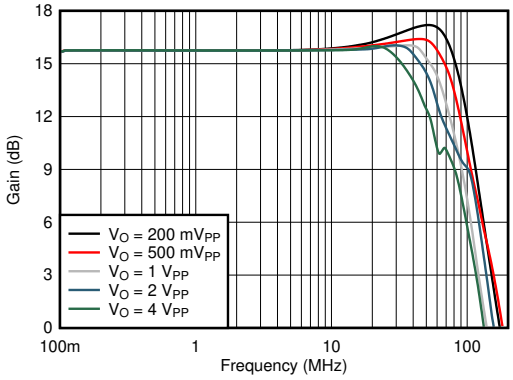
请参阅图 8-2 和表 8-2（V_O = 20mV$_{PP}$、R_{LOAD} = 2kΩ）

图 6-2. 反相微小信号频率响应与增益间的关系



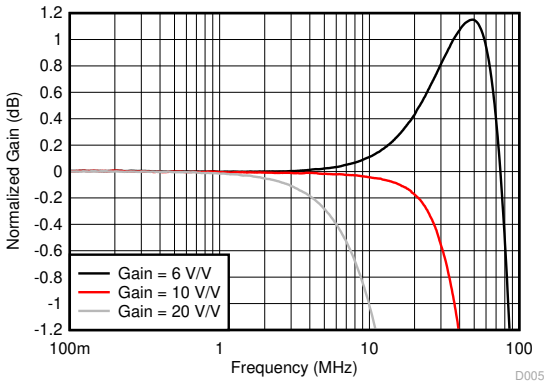
G = 6V/V，R = 2kΩ

图 6-3. 非反相大信号带宽与 V_{OPP} 间的关系



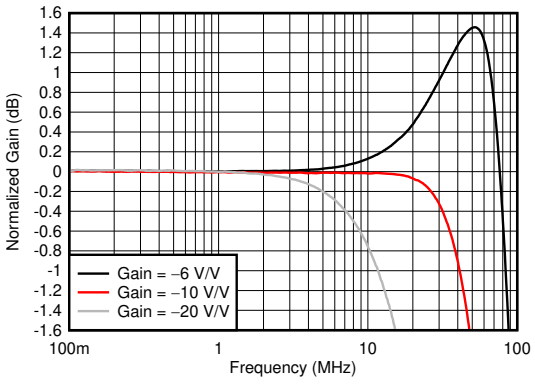
G = -6V/V，R = 2kΩ

图 6-4. 反相大信号带宽与 V_{OPP} 间的关系



请参阅图 8-1 和表 8-1（V_O = 200mV$_{PP}$、R_{LOAD} = 2kΩ）

图 6-5. 非反相响应平坦度与增益间的关系



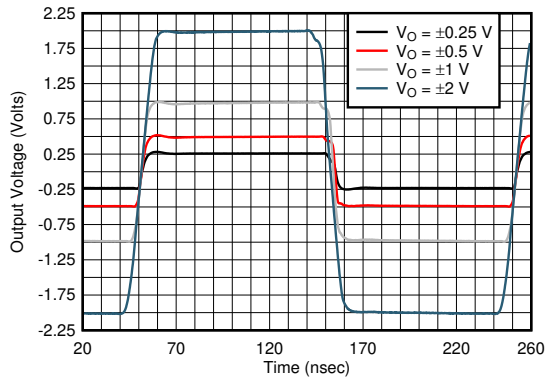
请参阅图 8-2 和表 8-2（V_O = 200mV$_{PP}$、R_{LOAD} = 2kΩ）

图 6-6. 反相响应平坦度与增益间的关系

Copyright © 2025 Texas Instruments Incorporated

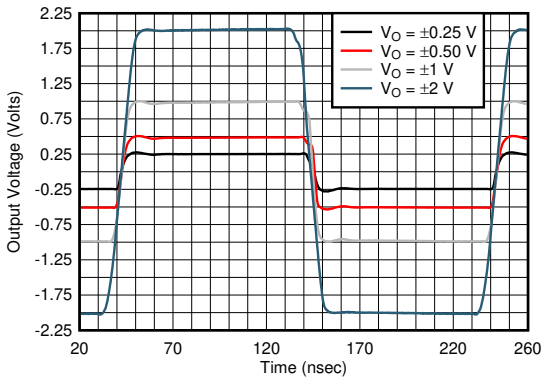
6.7 典型特性：V_S = 5V （续）

测试条件：V_{S+} = 5V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 $T_A \approx$ 25°C（除非另有说明）



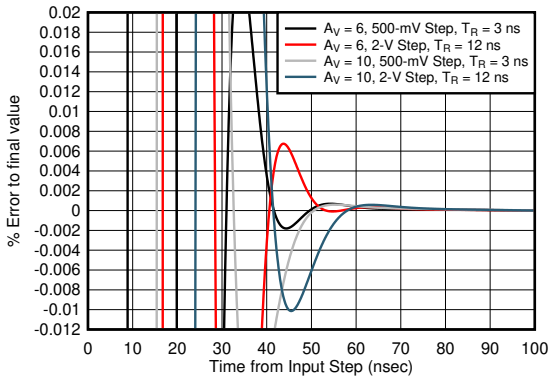
请参阅图 8-1（增益 = 6V/V）

图 6-7. 非反相阶跃响应与 V_{OPP} 间的关系



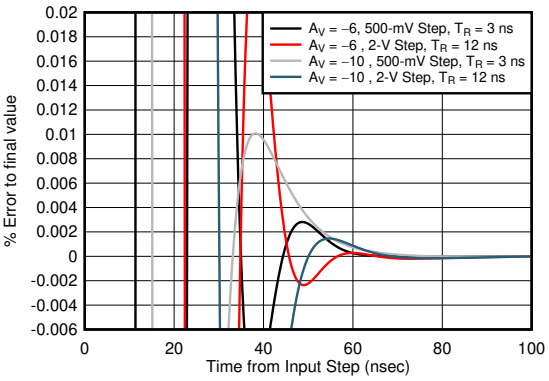
请参阅图 8-2（增益 = -6V/V）

图 6-8. 反相阶跃响应与 V_{OPP} 间的关系



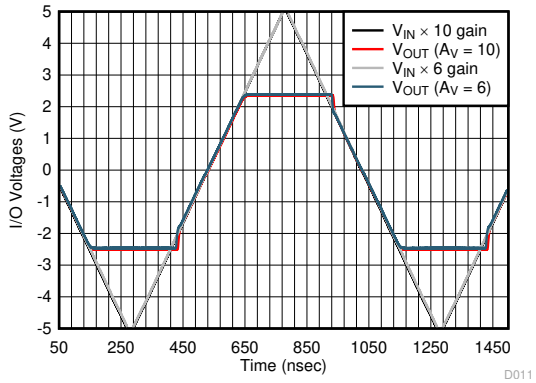
请参阅图 8-1 和表 8-1

图 6-9. 仿真的非反相趋稳时间



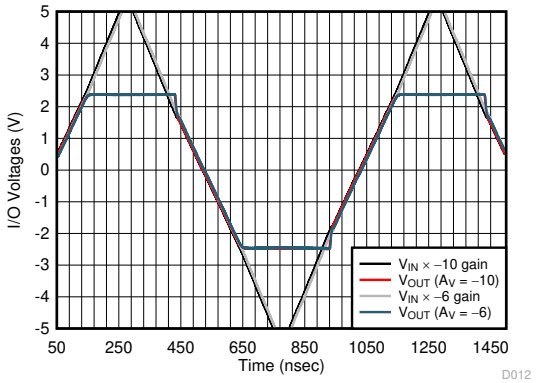
请参阅图 8-2 和表 8-2

图 6-10. 仿真的反相稳定时间



请参阅图 8-1 和表 8-1

图 6-11. 同相过驱恢复



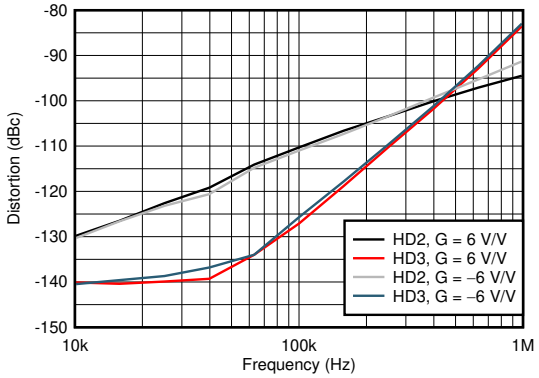
请参阅图 8-2 和表 8-2

图 6-12. 反相过驱恢复

Copyright © 2025 Texas Instruments Incorporated

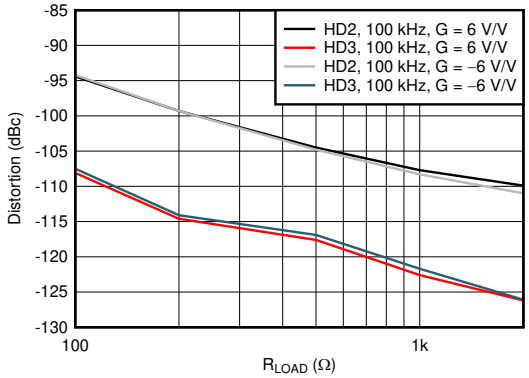
6.7 典型特性：V_S = 5V （续）

测试条件：V_{S+} = 5V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 $T_A \approx$ 25°C（除非另有说明）



请参阅图 8-1、图 8-2、表 8-1 和表 8-2

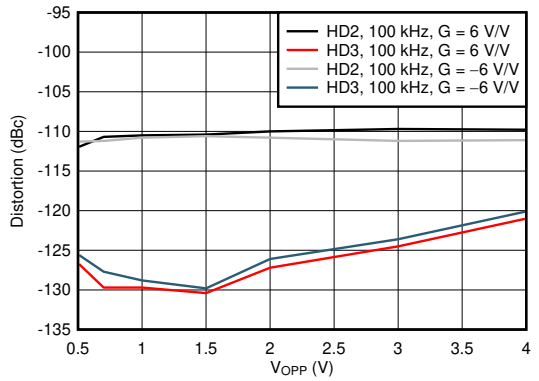
图 6-13. 谐波失真与频率间的关系



请参阅图 8-1、图 8-2、表 8-1 和表 8-2

V_O = 2V_{PP}，f = 100 kHz

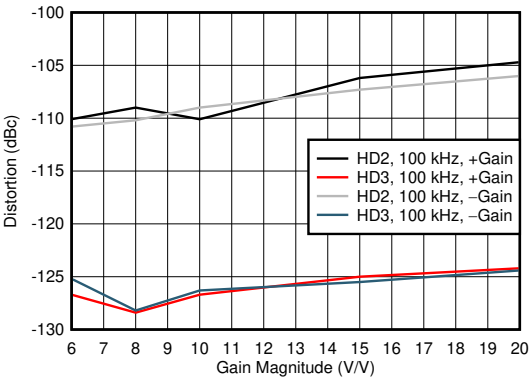
图 6-14. 谐波失真与 R_{LOAD} 间的关系



请参阅图 8-1、图 8-2、表 8-1 和表 8-2

f = 100kHz，R_{LOAD} = 2kΩ

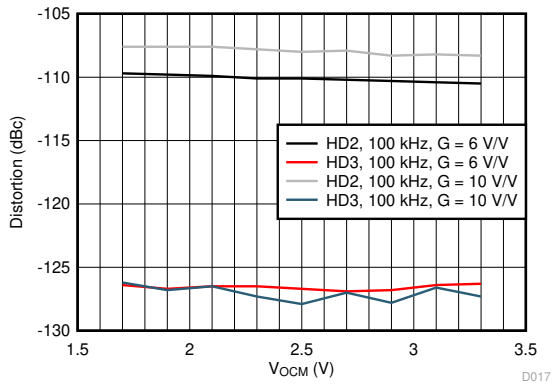
图 6-15. 谐波失真与输出摆幅之间的关系



请参阅图 8-1、图 8-2、表 8-1 和表 8-2

V_O = 2V_{PP}，R_{LOAD} = 2kΩ，f = 100kHz

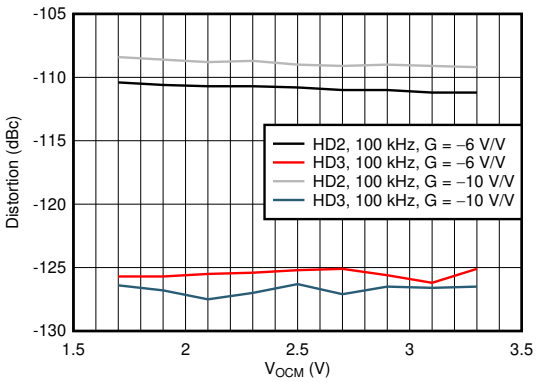
图 6-16. 谐波失真与增益间的关系



请参阅图 8-1 和表 8-1

V_O = 2V_{PP}，f = 100kHz，R_{LOAD} = 2kΩ

图 6-17. 非反相失真与输出共模电压间的关系



请参阅图 8-2 和表 8-2

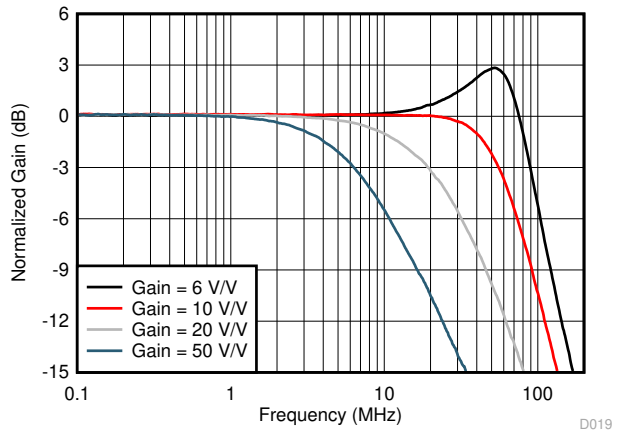
V_O = 2V_{PP}，f = 100kHz，R_{LOAD} = 2kΩ

图 6-18. 反相失真与输出共模电压间的关系

Copyright © 2025 Texas Instruments Incorporated

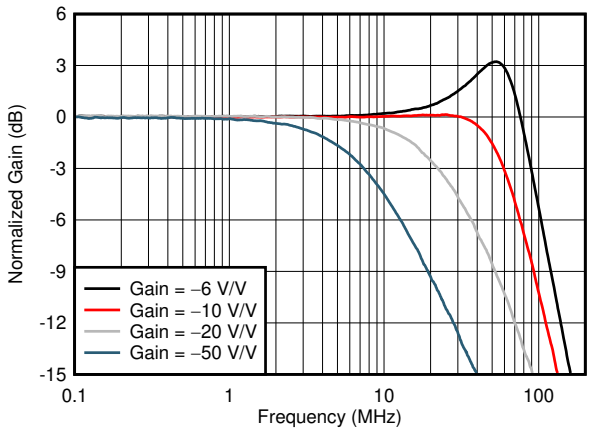
6.8 典型特性：V_S = 3V

测试条件：V_{S+} = 3V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 T_A = 25°C（除非另有说明）



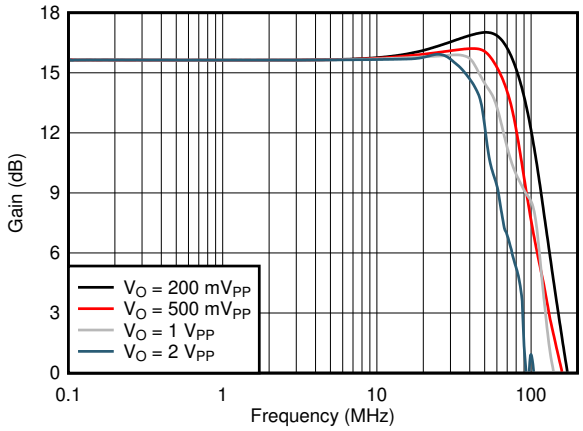
请参阅图 8-1 和表 8-1

图 6-19. 非反相微小信号响应与增益间的关系



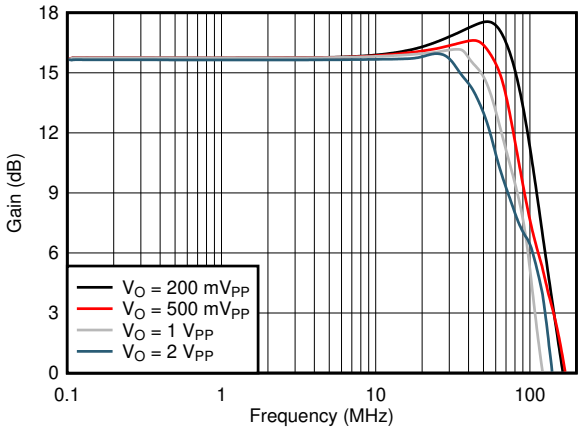
请参阅图 8-2 和表 8-2

图 6-20. 反相微小信号响应与增益间的关系



请参阅图 8-1 (A_V = 6V/V)

图 6-21. 非反相大信号带宽与 V_{OPP} 间的关系



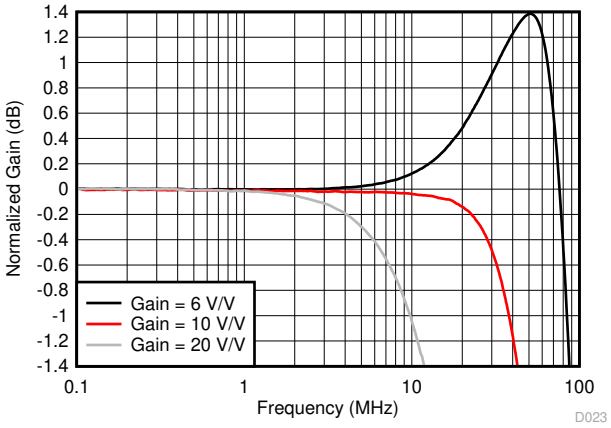
请参阅图 8-2 (A_V = -6V/V)

图 6-22. 反相大信号带宽与 V_{OPP} 间的关系

Copyright © 2025 Texas Instruments Incorporated

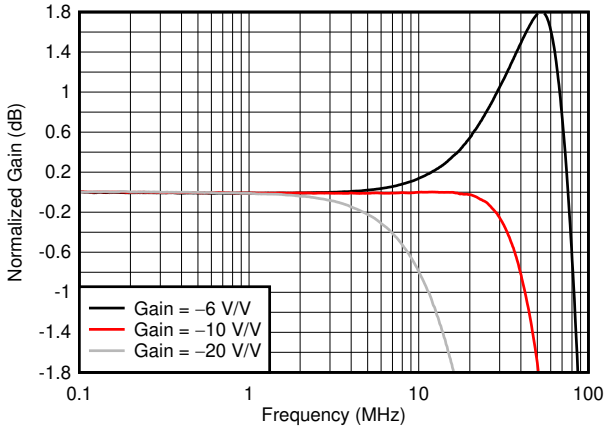
6.8 典型特性：V_S = 3V （续）

测试条件：V_{S+} = 3V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 T_A = 25°C（除非另有说明）



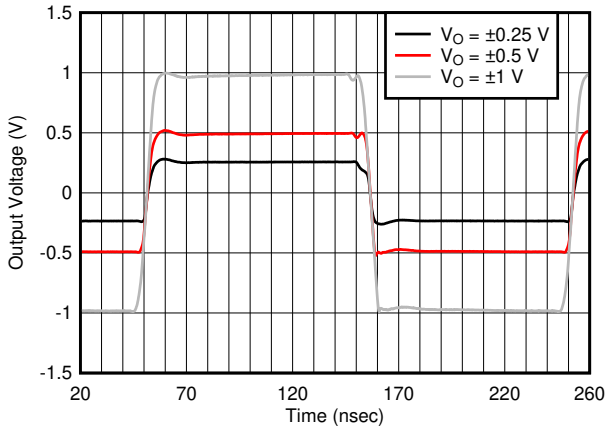
请参阅图 8-1 和表 8-1（V_O = 200mV$_{PP}$、R_{LOAD} = 2kΩ）

图 6-23. 非反相响应平坦度与增益间的关系



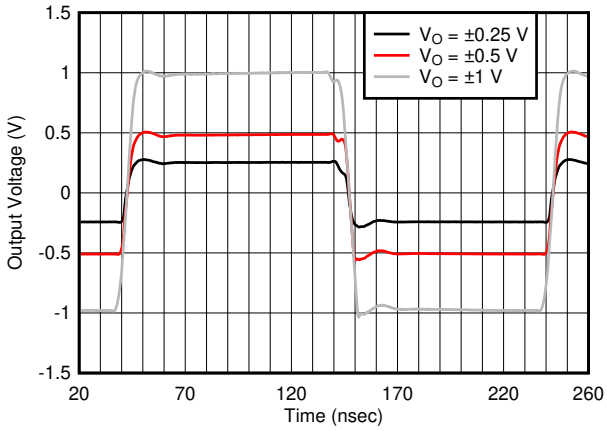
请参阅图 8-2 和表 8-2（V_O = 200mV$_{PP}$、R_{LOAD} = 2kΩ）

图 6-24. 反相响应平坦度与增益间的关系



请参阅图 8-1 和表 8-1

图 6-25. 非反相阶跃响应与 V_{OPP} 间的关系



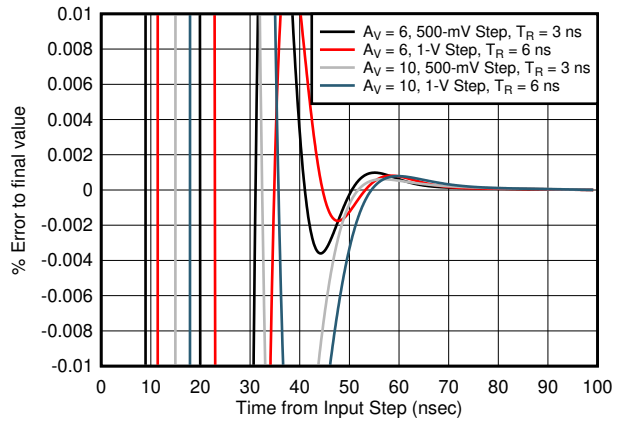
请参阅图 8-2 和表 8-2

图 6-26. 反相阶跃响应与 V_{OPP} 间的关系

Copyright © 2025 Texas Instruments Incorporated

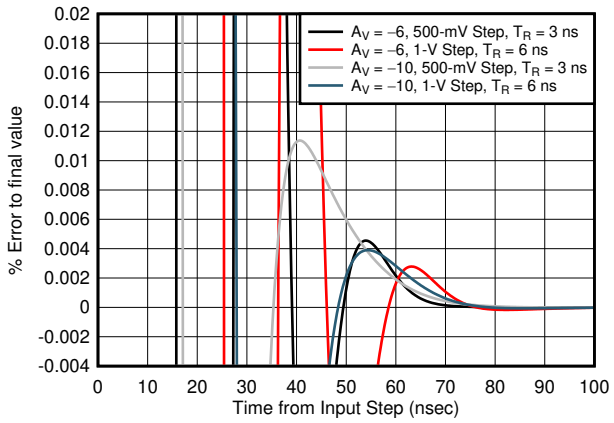
6.8 典型特性：V_S = 3V （续）

测试条件：V_{S+} = 3V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 T_A = 25°C（除非另有说明）



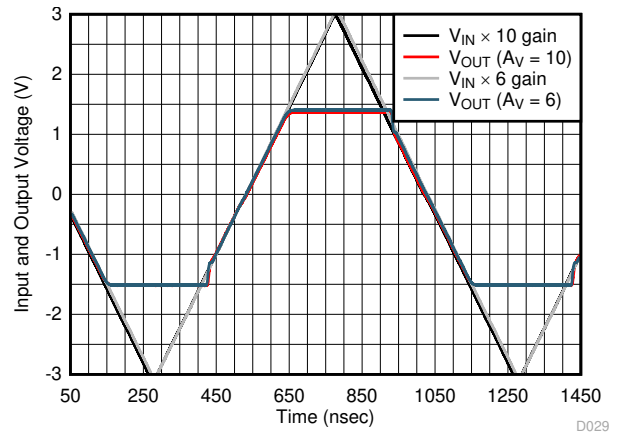
请参阅图 8-1 和表 8-1

图 6-27. 非反相趋稳时间



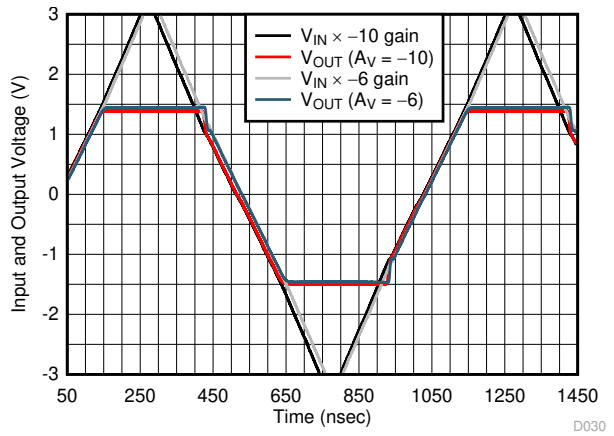
请参阅图 8-2 和表 8-2

图 6-28. 反相趋稳时间



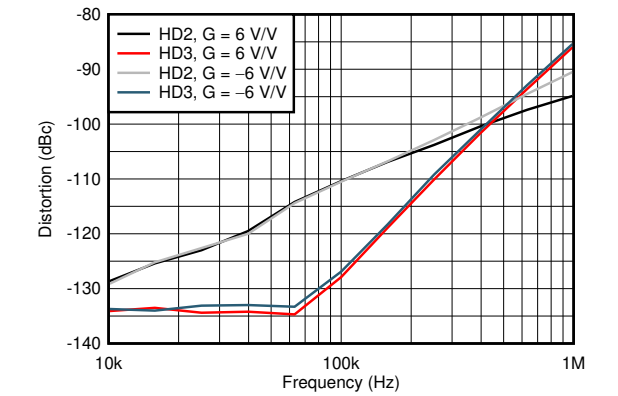
请参阅图 8-1 和表 8-1

图 6-29. 同相过驱恢复



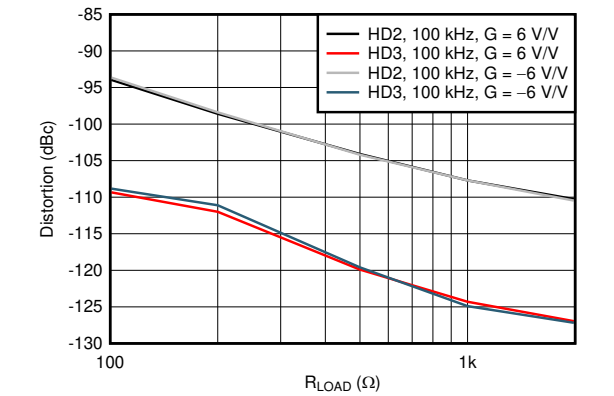
请参阅图 8-2 和表 8-2

图 6-30. 反相过驱恢复



请参阅图 8-1、图 8-2、表 8-1 和表 8-2

图 6-31. 谐波失真与频率间的关系



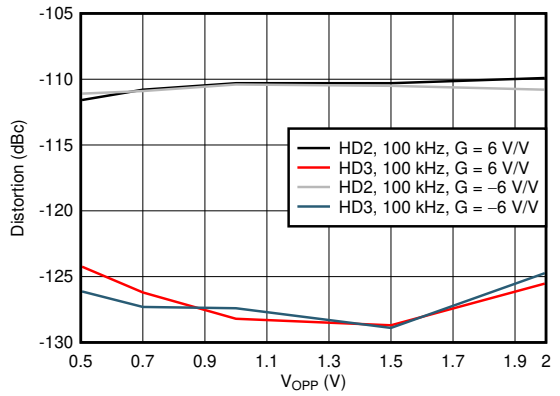
请参阅图 8-1、图 8-2、表 8-1 和表 8-2

图 6-32. 谐波失真与负载间的关系

Copyright © 2025 Texas Instruments Incorporated

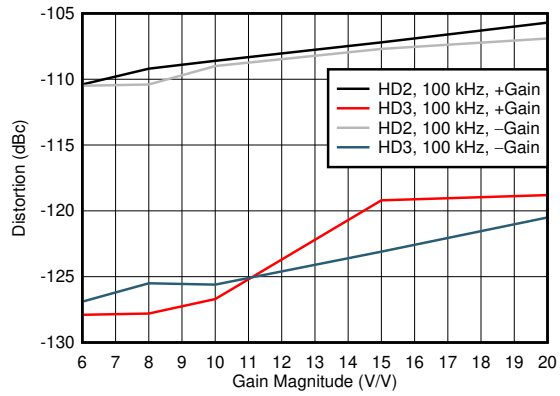
6.8 典型特性：V_S = 3V （续）

测试条件：V_{S+} = 3V、V_{S-} = 0V、R_F = 1kΩ、R_G = 200Ω、R_L = 2kΩ、G = 6V/V，输入和输出以 1/2 Vs 为基准并且 T_A = 25°C（除非另有说明）



请参阅图 8-1、图 8-2、表 8-1 和表 8-2

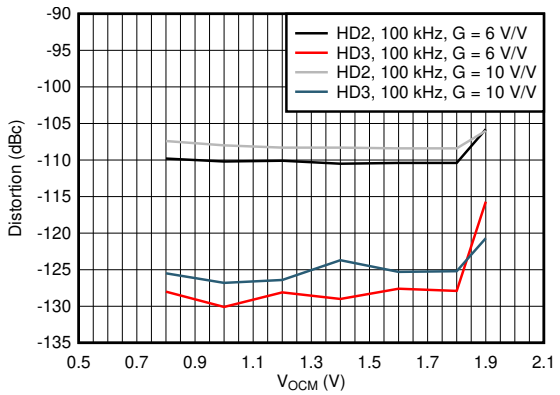
图 6-33. 谐波失真与输出摆幅之间的关系



请参阅图 8-1、图 8-2、表 8-1 和表 8-2

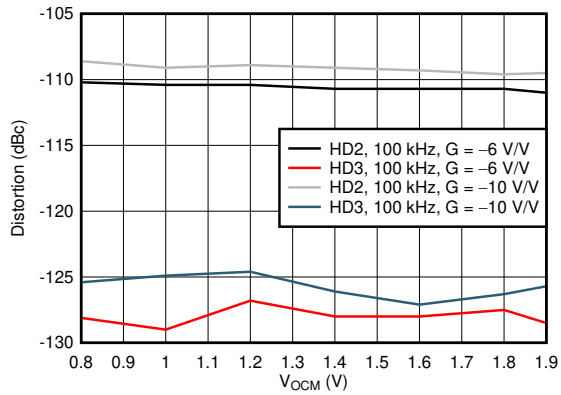
2kΩ 负载，$2V_{PP}$

图 6-34. 谐波失真与增益间的关系



请参阅 图 8-1 和 表 8-1，V_O = $1V_{PP}$

图 6-35. 非反相谐波失真与输出共模电压间的关系



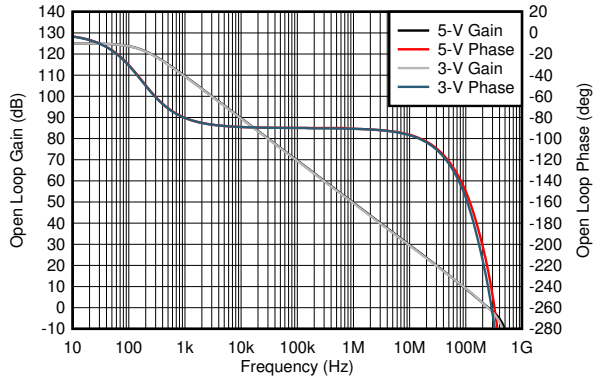
请参阅 图 8-2 和 表 8-2，V_O = $1V_{PP}$

图 6-36. 反相谐波失真与输出共模电压间的关系

Copyright © 2025 Texas Instruments Incorporated

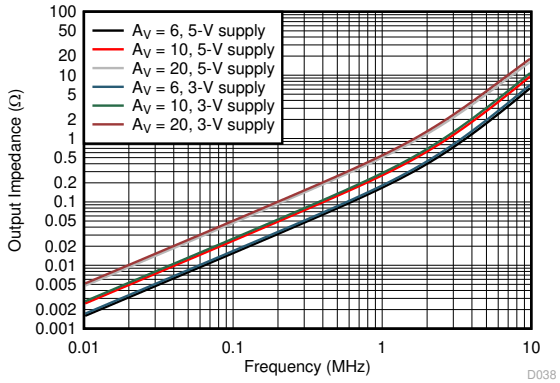
6.9 典型特性：全电源电压范围

测试条件：$\overline{PD}$ = V_{S+} 且 T_A = 25°C（除非另有说明）



空载、仿真

图 6-37. 开环增益和相位



请参阅图 8-1 和表 8-1（仿真）

图 6-38. 闭环输出阻抗

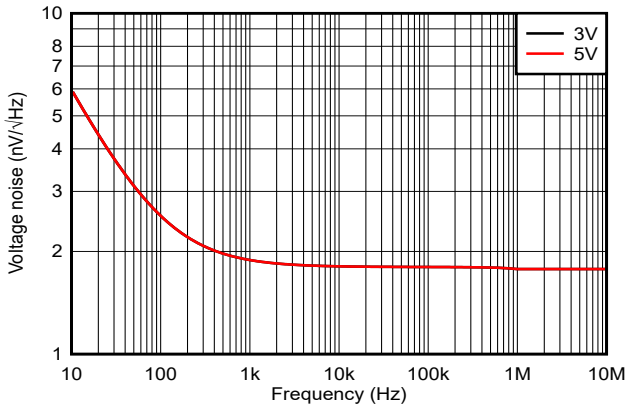


图 6-39. 输入电压噪声密度

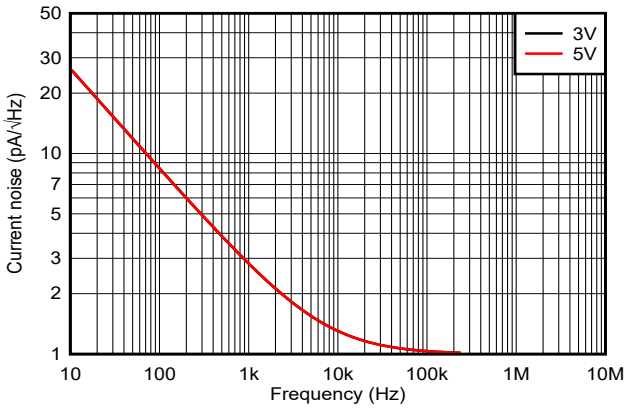
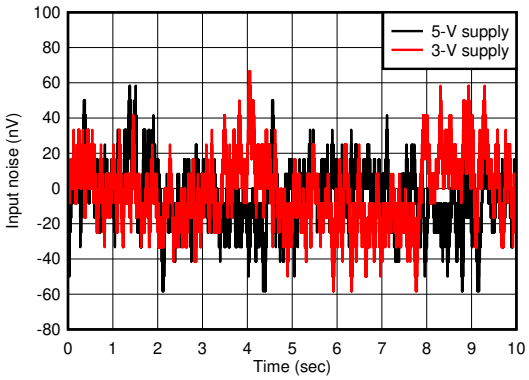
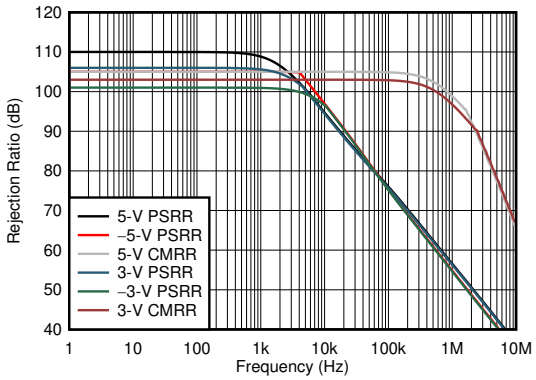


图 6-40. 输入电流噪声密度



以输入为基准

图 6-41. 低频电压噪声



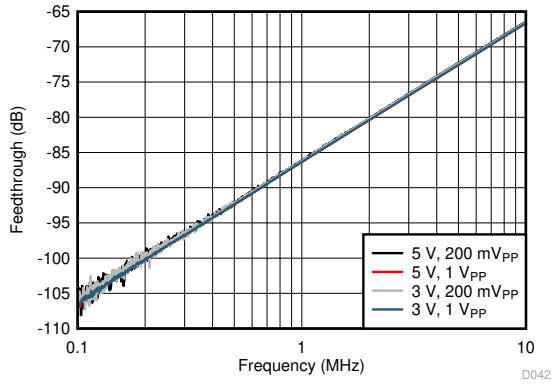
仿真结果

图 6-42. PSRR 和 CMRR

Copyright © 2025 Texas Instruments Incorporated

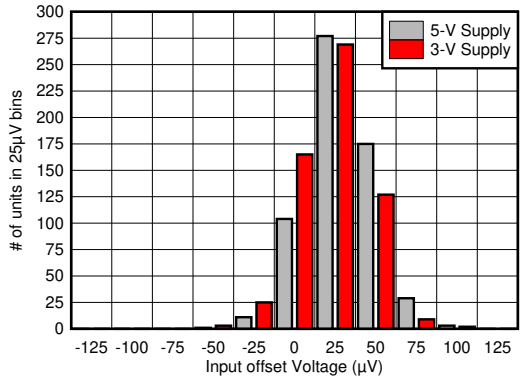
6.9 典型特性：全电源电压范围（续）

测试条件：$\overline{PD}$ = V_{S+} 且 T_A = 25°C（除非另有说明）



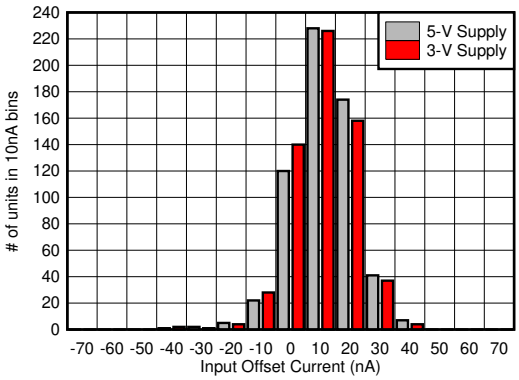
测得值，A_V = 6V/V，100 Ω 负载

图 6-43. 已禁用非反相输入到输出的隔离



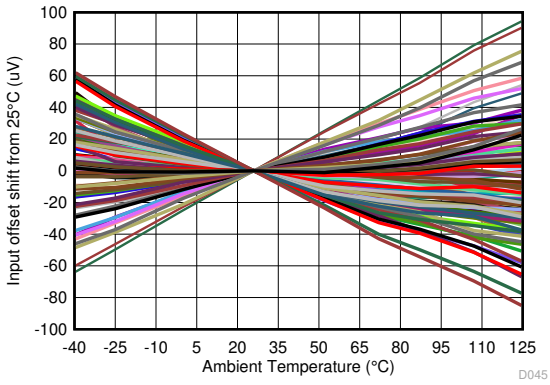
每个电源电压 600 个器件

图 6-44. 输入失调电压分布



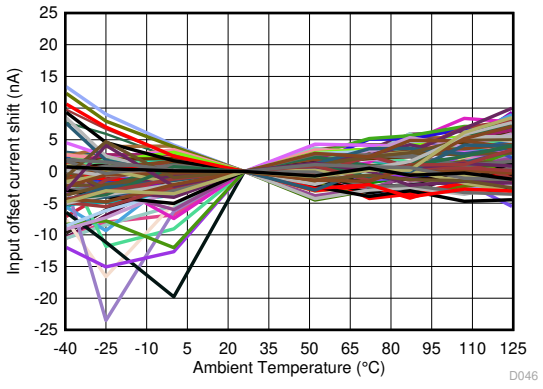
每个电源电压 600 个器件

图 6-45. 输入偏移电流分配



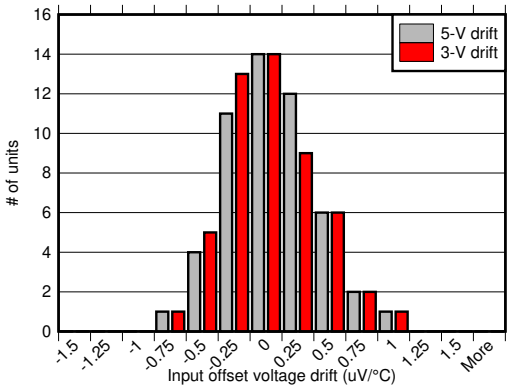
5V 和 3V 电源处 51 个器件

图 6-46. 输入失调电压与温度间的关系



5V 和 3V 电源处 51 个器件

图 6-47. 输入失调电流与温度间的关系



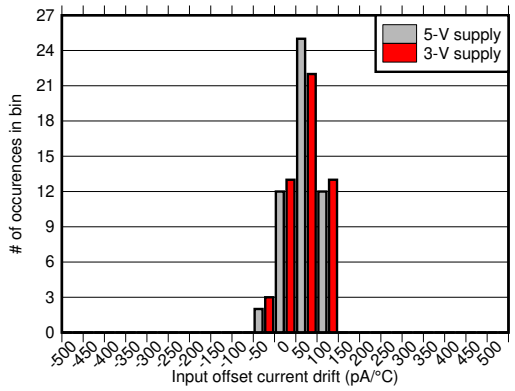
每个电源电压 51 个器件

图 6-48. 输入失调电压漂移分布

Copyright © 2025 Texas Instruments Incorporated

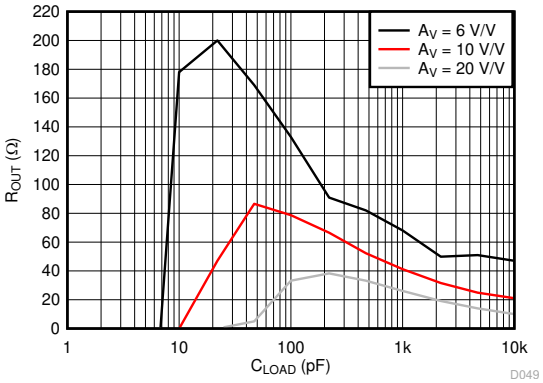
6.9 典型特性：全电源电压范围（续）

测试条件：$\overline{PD}$ = V_{S+} 且 T_A = 25°C（除非另有说明）



每个电源电压 51 个器件

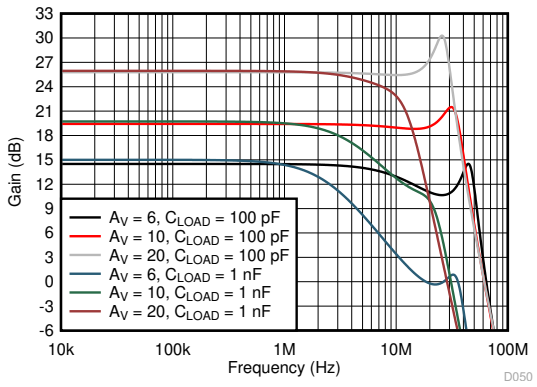
图 6-49. 输入偏移电流漂移分布



请参阅图 7-6 和表 8-1

微小信号，目标 30° 相位裕度

图 6-50. 输出电阻器与 C_{LOAD} 间的关系



请参阅图 7-6 和表 8-1

2kΩ 并联负载连接至 C LOAD

图 6-51. 微小信号响应波形与 C_{LOAD} 间的关系（采用建议的 R_{OUT}）

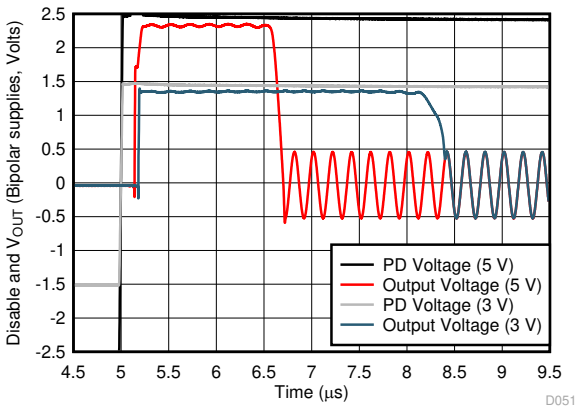


图 6-52. 正弦输入的导通时间

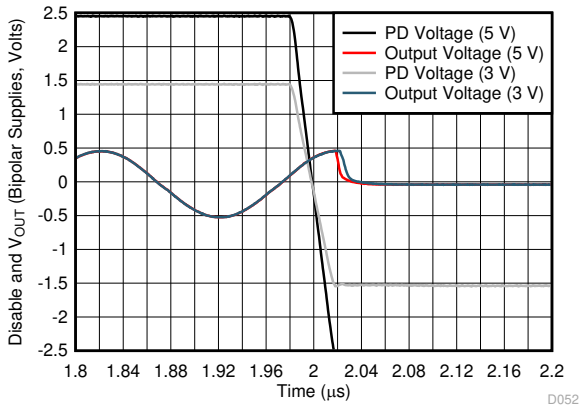
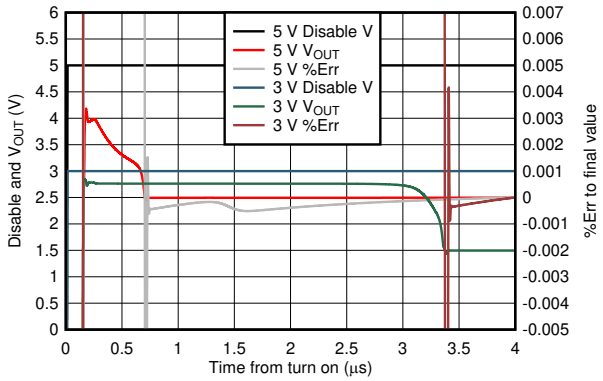


图 6-53. 正弦输入的关断时间

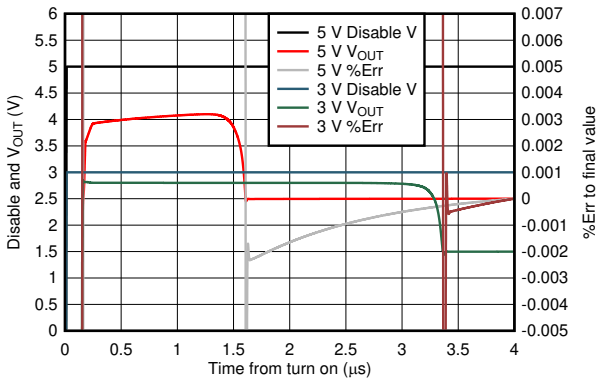


单电源、直流输入产生中值输出（仿真）

图 6-54. 6V/V 增益下中值点直流终值导通时间

6.9 典型特性：全电源电压范围（续）

测试条件：$\overline{PD}$ = V_{S+} 且 T_A = 25°C（除非另有说明）



单电源、直流输入产生中值输出（仿真）

图 6-55. 10V/V 增益下中值点直流终值导通时间

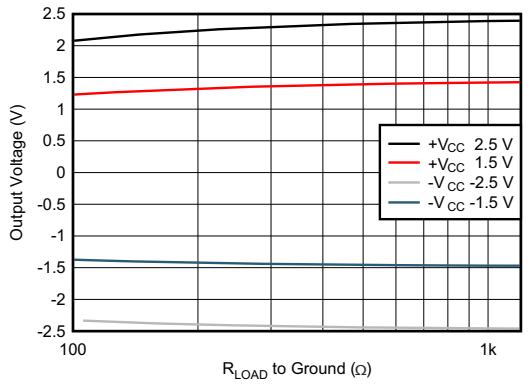


图 6-56. 输出电压摆幅与负载电阻器间的关系

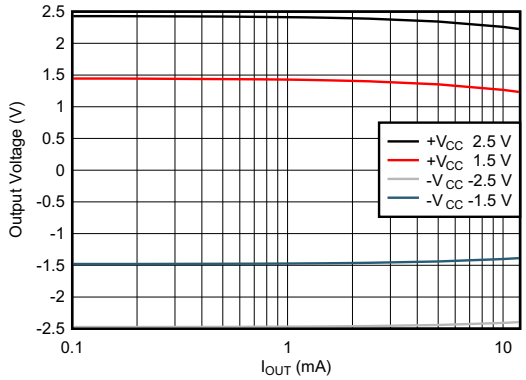


图 6-57. 输出饱和电压与负载电流间的关系

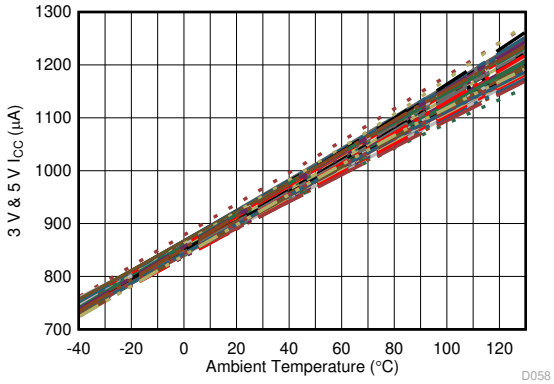


图 6-58. 静态电流与温度间的关系

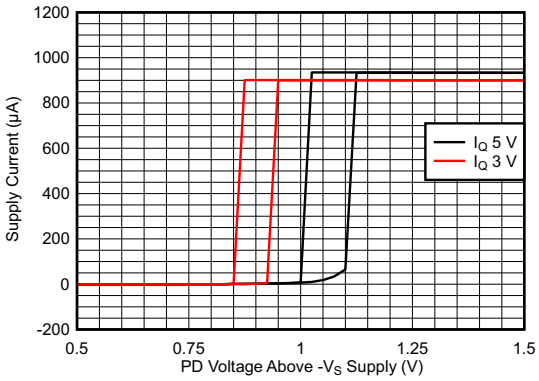
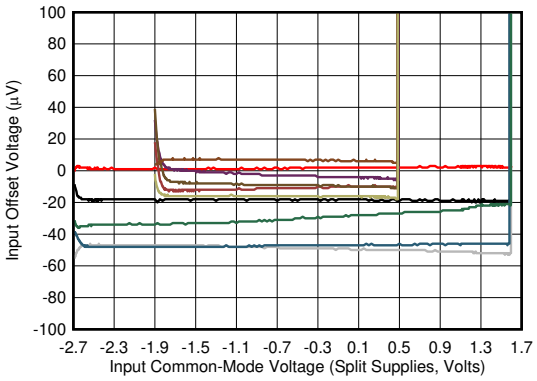


图 6-59. 电源电流与断电电压间的关系：导通电压高于关断电压



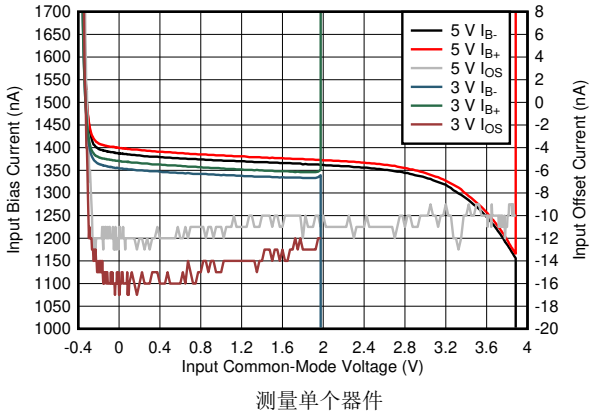
5 个器件，3V 和 5V 电源

图 6-60. 输入偏移电压与输入共模电压间的关系

Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性：全电源电压范围（续）

测试条件：$\overline{PD}$ = V_{S+} 且 T_A = 25°C（除非另有说明）



测量单个器件

图 6-61. 输入偏置和偏移电流与 V_{ICM} 间的关系

7 详细说明

7.1 概述

OPA838 是一款高能效、解补偿电压反馈放大器 (VFA)。该器件结合负电源轨输入级与轨到轨输出 (RRO) 级，为需要较高增益或互阻抗的应用提供了灵活的方案。这款 300MHz 增益带宽积 (GBP) 放大器在 2.7V 至 5.4V 总电源工作范围内仅需低于 1mA 的电源电流。6 引脚封装版本配备的断电功能非常省电，在系统断电时可实现低于 1 µ A 的功耗。解补偿型放大器在低增益（低于 6V/V）下工作时可能因相位裕度过低而存在振荡风险。OPA838 的 TINA 模型可预测此类情况工况。

7.2 功能方框图

OPA838 是一款具有两个高阻抗输入和一个低阻抗输出的标准电压反馈运算放大器。支持标准应用电路；请参阅图 7-1 和图 7-2。这些应用电路在输入端有一个直流 V_{REF}，用于为单电源设计设置直流工作点。V_{REF} 通常接地，尤其是在双电源应用中。

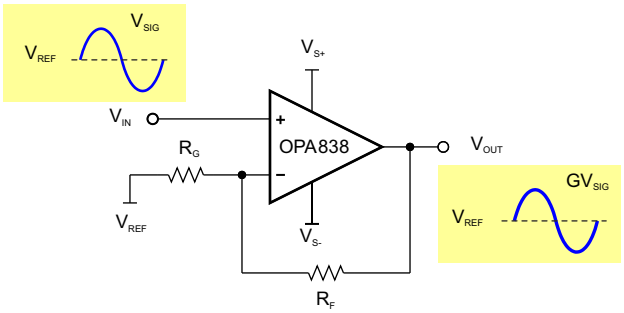


图 7-1. 同相放大器

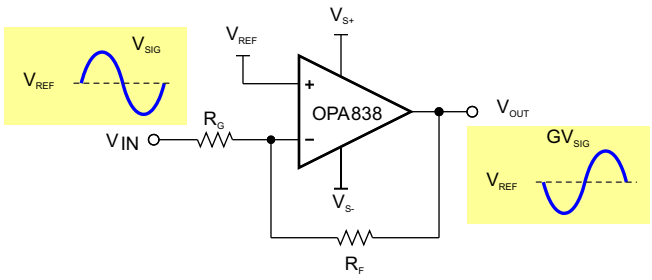


图 7-2. 反相放大器

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 输入共模电压范围

当主要设计目标是高 CMRR 线性放大器时，输入引脚必须维持在输入工作范围 (V_{ICR}) 内。这些输入引脚以各电源为基准，以此作为输入余量要求。在 25°C 下，规定工作电压范围下限维持为负电源电压，上限为正电源电压附近 1.3V 范围内。表格数据中的共模输入范围规格采用 CMRR 来设定限值。确保当输入电压处于规定范围内时，CMRR 不会降低至比最小 CMRR 低 3dB 以上。

在线性运行期间，两输入引脚间压差极小 (0V)，而且由于两引脚电位相同，因此可在任一引脚分析输入共模电压。V_{IN+} 处的电压很容易估算。在非反相配置中（请参阅图 7-1），输入信号 (V_{IN}) 不得超过 V_{ICR}。在反相配置中（请参阅图 7-2），基准电压 (V_{REF}) 必须在 V_{ICR} 范围内。

输入电压极限与电源轨保持固定余量并跟随电源电压变化。对于单个 5V 电源，25°C 时最小线性输入电压范围为 0V 至 3.7V；对于单个 2.7V 电源，该电压范围为 0V 至 1.4V。两种情况下各电源轨的压差余量相同（0V 和 1.3V）。

7.3.2 输出电压范围

OPA838 器件是一款轨到轨输出运算放大器。轨到轨输出通常指输出电压在电源轨上下 100mV 内摆动。指定此参数的方法有多种：一种是输出仍处于线性工作状态，另一种是输出饱和状态。饱和输出电压比线性输出更接近电源轨，但信号无法线性表征输入。饱和与线性工作的极限受输出电流影响，电流越高，输出晶体管中的电压损耗越大，请参阅图 6-57。

规格表展示了带 2kΩ 负载时的饱和输出电压规格。图 6-11 和图 6-44 展示了饱和电压摆幅极限与输出负载电阻间的关系，而图 6-12 和图 6-45 则展示了输出饱和电压与负载电流间的关系。轻载条件下，输出电压极限与电源轨保持恒定余量并跟随电源电压变化。例如，采用 1kΩ 负载时，单个 5V 电源的线性输出电压范围为 0.12V 至 4.88V；2.7V 电源的范围为 0.12V 至 2.58V。两种情况下各电源轨的压差相同：0.12V。

对于 OPA838 这类输入范围小于输出范围的器件，在低增益条件下输入范围将限制可用信号摆幅。由于 OPA838 专为高增益应用设计，其较小的输入摆幅范围不会限制运行，仍可实现完整的轨到轨输出。若非反相输入端引脚偏置在有效范围内，反相电压增益和互阻抗配置通常受限于运算放大器的输出电压极限。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 断电运行

OPA838 具有断电功能。在逻辑控制下，该放大器可从正常工作状态切换至电流小于 1μA 的待机模式。当 $\overline{PD}$ 引脚连接至高电平（≥ 负电源 + 1.5V）时，放大器激活。将 $\overline{PD}$ 引脚连接至低电平（≤ 负电源 + 0.55V）时，禁用放大器。为保护放大器输入级，器件在反相与非反相输入引脚间内置背对背二极管组（每个方向各串联两个）。若断电状态下差分电压超过 1.2V，这些二极管将导通。

请主动将 $\overline{PD}$ 引脚驱动为高电平或低电平；不要将该引脚悬空。如果未使用断电模式，则将 $\overline{PD}$ 引脚连接至正电源轨。

当运算放大器由单电源和接地端供电，且 $\overline{PD}$ 由具有与运算放大器相似的 V_{DD} 电压的逻辑器件驱动时，无需特别注意。当运算放大器由 V_S – 小于接地的双电源供电时，带有上拉电阻器的集电极开路型接口更为合适。上拉电阻器阻值必须小于 100kΩ。图 6-54 和图 6-55 展示了不同增益下从断电恢复的过程。单电源模式下（增益电阻器接地），初始上电期间输出趋近正电源，待内部节点充电完成后恢复至目标输出电压，请参阅图 6-52 和图 6-53。

7.3.4 反馈电阻值选择的权衡

OPA838 的规格为结合使用一个 1kΩ 反馈电阻器与一个 200Ω 接地增益电阻器，实现 6V/V 非反相增益配置。这些值提供了很好的折衷方案，使电阻器的噪声贡献远小于放大器噪声项，并且在输出电压摆幅产生回流入反馈网络的负载电流时反馈网络中的功耗极低。降低这些阻值可以改善噪声，但代价是反馈网络中的功耗更高。阻值过低会因反馈负载减小导致谐波失真增大。在特定增益下增大 R_F 值可能会增加这些电阻器产生的输出噪声，使这些噪声占主导。由于驱动反相输入电容的阻抗会在较低频率下引入额外的环路极点，随着反馈电阻器值继续增加（并且 R_G 处于固定目标增益），会造成相位裕度损失。图 7-3 显示了在 6V/V 增益下，随着 R_F 值增大而引入的这个额外的环路极点。这项非反相测试表明：由于反相输入端存在 1pF 共模输入电容，R_F 值增大会导致峰值现象加剧。TINA 仿真模型能出色地预测这些效应。

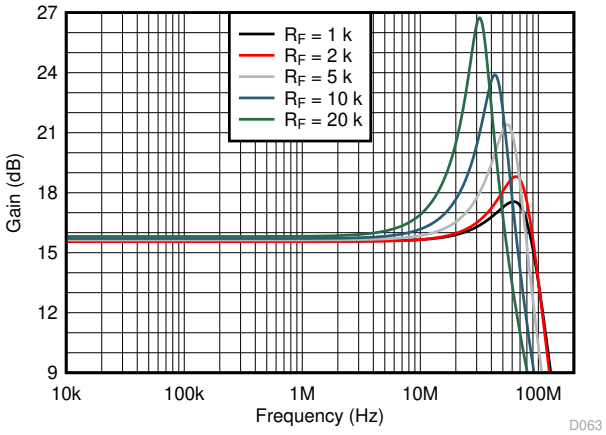


图 7-3. 不同反馈电阻值下的频率响应

Copyright © 2025 Texas Instruments Incorporated

在反相模式下以更高的 R_F 值运行 OPA838，会由于相位裕度效应减轻而增大响应峰值。在反相情况下，一对电容器可以使响应变得平坦，但代价是闭环带宽更低。图 7-4 展示了一个含有可选电容器（C_F 和 C_G）、反相增益为 –5V/V（噪声增益 = 6V/V）、R_F 值为 20kΩ 的示例。图 7-4 展示了非反相输入端的可选偏置电流消除元件。总电阻值与 R_G || R_F 的并联组合相匹配，这可以将由偏置电流导致的直流输出误差项降至 I_{OS} × R_F。在这一偏置电流消除电阻的较大部分添加了 10nF 电容器来滤除噪声，并将 20Ω 拆分以将电容器自谐振与非反相输入相隔离。图 7-5 所示为采用和不采用这些电容器时的微小信号响应波形。选择反馈电容器 C_F 以通过 R_F 设置所需的闭环带宽。将 C_G 添加到接地端，以将随频率上升的噪声增益整形为在较高频率下大于或等于 6V/V。在此示例中，更高频率噪声增益为 1 + 6 / 1.2 = 6V/V，将 1pF 器件共模电容叠加到外部 5pF 上。使用电容器来设置反馈比，可消除由纯阻性源驱动反馈至反相端寄生电容所产生的极点。

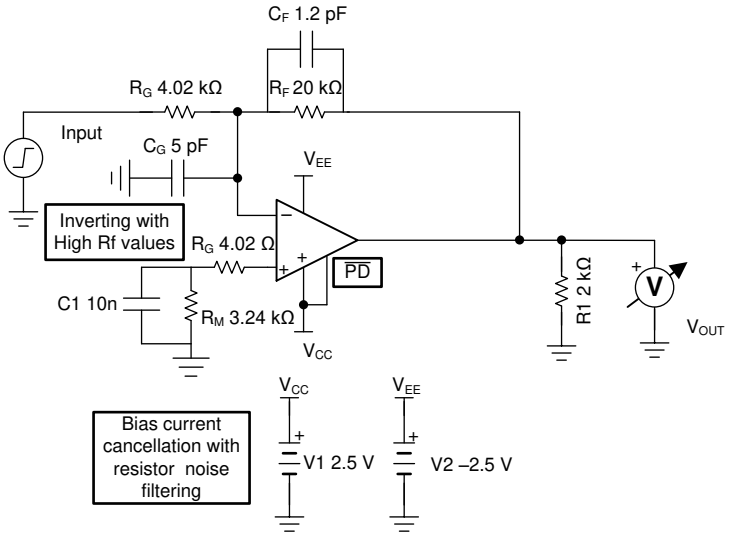


图 7-4. G = –5V/V，具有可选补偿

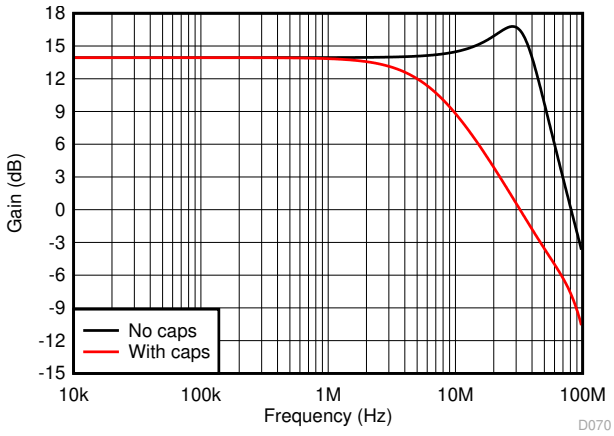


图 7-5. 带和不带补偿的反相响应对比

Copyright © 2025 Texas Instruments Incorporated

7.3.5 驱动容性负载

OPA838 可直接驱动小型电容负载（小于 6pF）而不会振荡。当驱动超过 6pF 的电容负载时，图 6-50 展示了不同增益下推荐的 R_{OUT} 与电容负载参数的关系。增益较高时，放大器初始相位裕度（驱动电阻负载时）更大，可在相同电容负载下采用更低的 R_{OUT} 运行。若没有 R_{OUT}，输出电容与放大器输出阻抗相互作用，导致放大器环路增益发生相移，从而降低相位裕度。此相移将导致频率响应出现峰值，对应脉冲响应发生过冲和振铃。图 6-50 的目标是实现 OPA838 30° 的相位裕度。30° 相位裕度使放大器输出引脚处产生 5.7dB 频率响应峰值，该峰值会被输出 RC 极点滚降，请参阅图 7-7。该峰值可能导致驱动电容负载的大信号出现削波。增大 R_{OUT} 值有助于降低峰值，但代价是整体响应带宽更加受限。

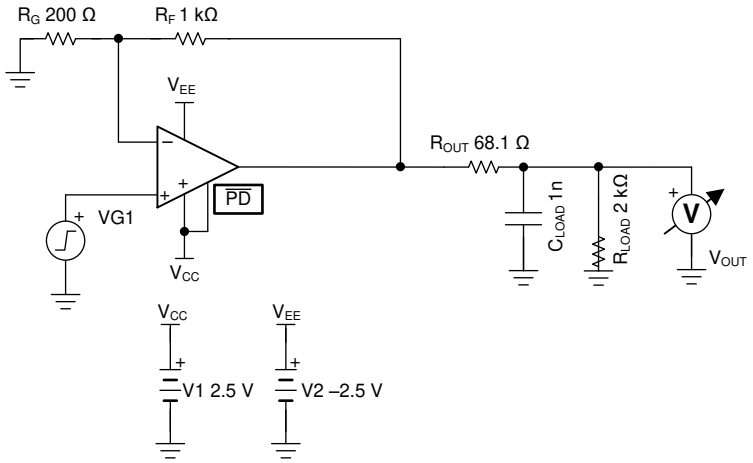


图 7-6. R_{OUT} 与 C_L 间关系的测试电路

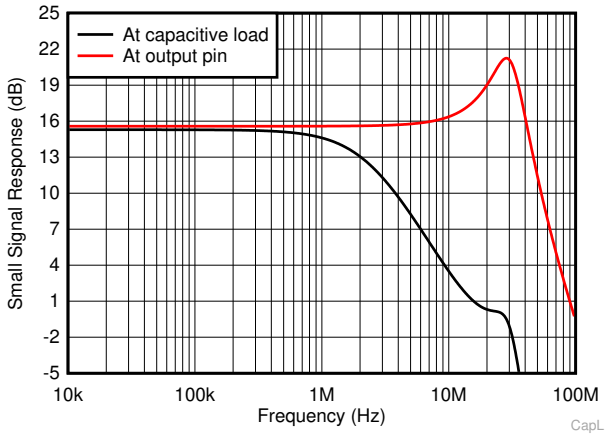


图 7-7. 输出引脚和电容负载的频率响应

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 双电源运行（±1.35 V 至 ±2.7 V）

为便于使用常见实验室设备进行测试，OPA838 EVM（请参阅 EVM 电路板链接）采用支持双电源运行的设计。该配置简化了实验室测试，因为电源轨之间的中点是接地，且大多数信号发生器、网络分析器、示波器、频谱分析仪等实验室设备都具有以接地为基准的输入和输出。无需使用阻断电容器，从而简化了特性测试。

图 7-8 展示了一种类似于图 7-1 的简单非反相配置，其中电源电压为 ±2.5V，V_{REF} 等于接地电压。输入和输出围绕接地对称摆动。为便于使用，在信号围绕接地摆动的系统中，最好使用双电源。使用双极性（或双）电源会改变关断控制的阈值。在单电源应用中，禁用控制以负电源（通常为接地）为基准。然而，要使用负电源实现禁用，需要将该引脚设置为比负电源高 0.55V 的范围内。如果不需要禁用，需要将该引脚连接到正电源才能保持正确运行，即使对于双电源应用也是如此。请勿将禁用引脚悬空；而应将该引脚置为一定的电压。

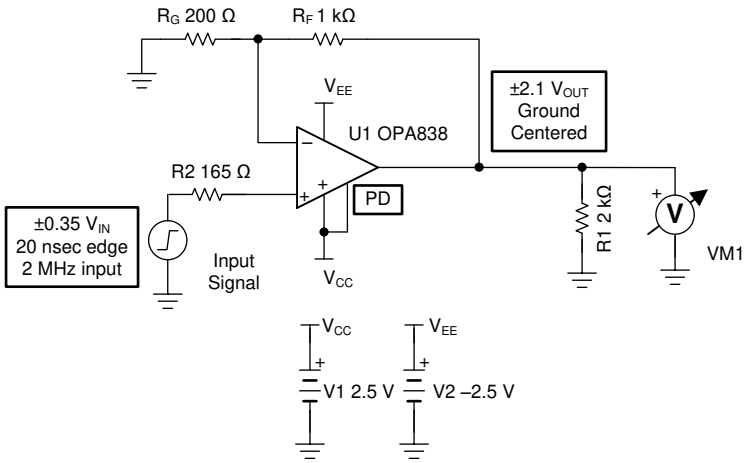


图 7-8. 双电源供电

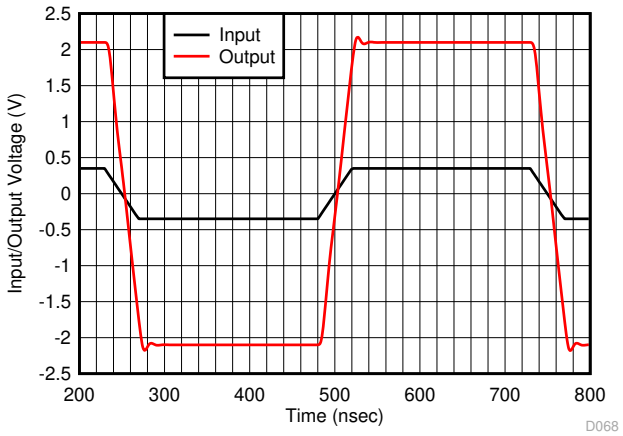


图 7-9. 双极性电源阶跃响应

7.4.2 2.7 V 至 5.4 V 单电源供电运行

大多数较新的系统使用单电源来提高效率并简化电源设计。OPA838 非常实用，只要输入输出引脚偏置在器件的线性工作区内，其在单电源供电（负电源接地）时性能与双电源完全一致。其输出在正常情况下可实现轨到轨摆幅，线性工作需约 100mV 余量。输入摆幅下限可延伸至负电源轨（通常接地）以下，上限可达到正电源轨附近 1.3V 范围内。对于直流耦合单电源运行，解补偿运算放大器典型的高增益工况需确保输入摆幅不超过正电源轨的输入摆幅限制。通常，所需的 1.3V 输入余量不会造成运行限制。

在图 7-10 中的示例设计中，输入范围为 0V 至 0.5V，利用 5V SAR ADC 常用的 4.5V 基准电压实现电平位移（0V 输入时输出 0.15V），并设定增益使 0.5V 输入产生 4.1V 输出摆幅。该示例假设源阻抗为 0Ω，需灌入 39μA 电流使正输入引脚偏置，从而实现 0V 输产生入 0.15V 输出。通过略微调小 R_F 与 R_G 阻值，使其与非反相输入端两个偏置设置电阻器的并联组合匹配，实现偏置电流消除。图 7-11 演示了此电路的阶跃响应示例，它可产生从 0.15V（0V 输入）到 4.35V（0.5V 输入）的输出。

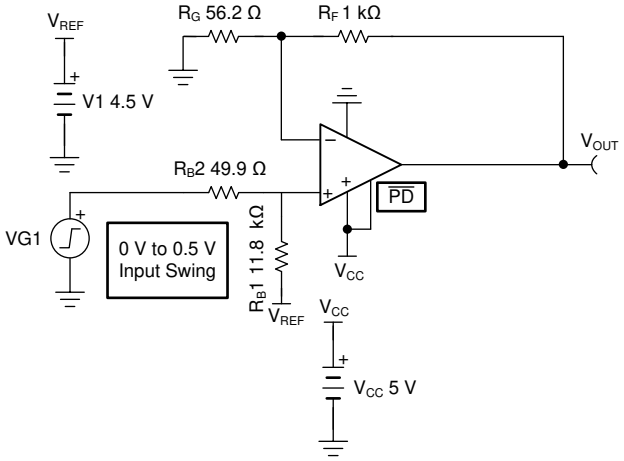


图 7-10. 具有输出电平位移的直流耦合、单电源、非反相接口

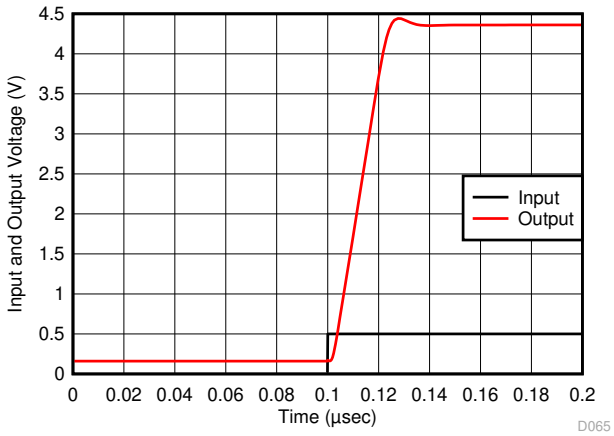


图 7-11. 单极输入到电平位移输出的阶跃响应

Copyright © 2025 Texas Instruments Incorporated

若可接受交流耦合，一种实现单电源运行的简单方法是运行反相。图 7-12 展示了一个低功耗、高增益示例。在该示例中，实现了 –20V/V 的增益（反相通常对交流耦合通道无关紧要），其中 V+ 输入为偏置中量程。该示例展示了一种可选偏置电流消除设置，除非输出直流电平需要良好的精度，否则没有必要使用该设置。分压电阻器和 80.7Ω 隔离电阻器的并联组合与反馈电阻器阻值相匹配。通过在反相输入端设置阻断电容器，匹配反馈电阻器阻抗以实现偏置电流消除。在这个 3V 电源示例中，两个输入与输出端均偏置为 1.5V。这使输入引脚处于有效范围并将输出居中，以获得最大的 V_{PP}。图 7-13 展示了此示例的微小信号响应，显示 f_{-3dB} 范围为从通过输入电容值设置的 887Hz 低端截止频率到 17.5MHz 高频截止频率。

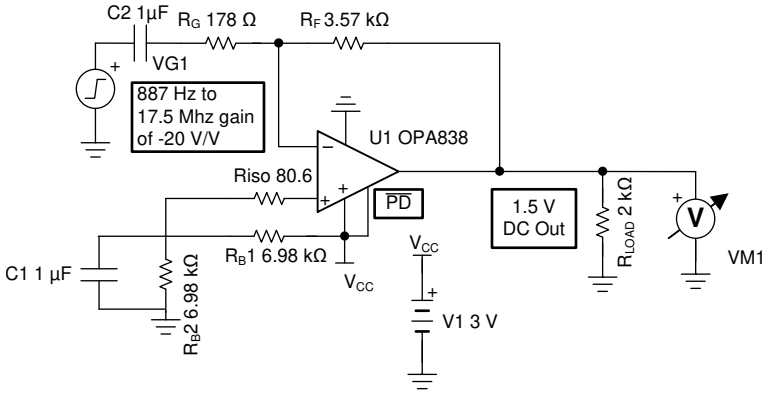


图 7-12. 具有交流耦合输入的单电源反相增益级

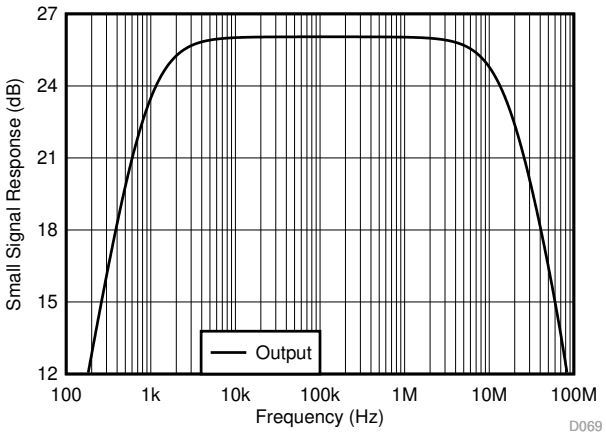


图 7-13. 具有交流耦合输入的反相单电源响应

这些方案仅是单电源设计的众多实现方式中的两例。还有许多其他方法，它们常常使用直流基准电压或交流耦合。*单电源运算放大器设计技术* 中汇编了一些不错的方案。

7.4.3 断电运行

如前所述，具备断电功能的 6 引脚封装必须将该引脚置为有效。为维持最低断电功耗，OPA838 内部未配置上拉电阻器。控制阈值以负电源为基准，其内部标称阈值约为负电源之上 1V。最坏情况下的容差要求：实现断电功能需要低电平电压比负电源高 0.55V（或更低），维持正常工作需比负电源高 1.5V（或更高）。所需的控制引脚电流小于 ±50nA。对于不需要断电功能的 SOT-23-6 应用，将禁用控制引脚连接至正电源。对于不需要断电功能的 SC70 封装应用，使用 5 引脚封装，其中控制焊盘在内部连接正电源。禁用时，输出通常呈现高阻抗状态。但反馈网络会提供一条放电路径以消除关断电压。图 6-52 显示正弦输入信号下导通时间相对缓慢，而图 6-53 显示关断时间很快。图 6-54 和图 6-55 显示，在 6V/V 和 10V/V 增益下，单电源供电的直流输入产生 1/2 Vs 输出。所有案例中，输出电压均先跃升至接近正电源电压的点位，随后在禁用控制线变为高电平后 0.5µs 至 1.5µs 内移至所需输出电压。断电状态下的电源电流典型值为较低的 0.1µA，最大值为 1µA。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.1.1 同相放大器

OPA838 可用作非反相放大器，信号输入至非反相输入端（V_{IN+}）。图 7-1 展示了该电路的基本方框图。采用双电源时，V_{REF} 通常接地。

若 $V_{IN} = V_{REF} + V_{sig}$，且增益设置电阻器 ($R_G$) 以 V_{REF} 为直流基准，则使用方程式 1 计算放大器输出。

$$V_{OUT} = V_{SIG}\left(1 + \frac{R_F}{R_G}\right) + V_{REF} \quad (1)$$

该电路的非反相信号增益（亦称噪声增益）由以下公式决定：

$$G = 1 + \frac{R_F}{R_G}$$

V_{REF} 为输入输出信号摆幅提供了基准。在频率响应平坦区域内，输出信号与输入信号保持同相。对于 OPA838 这类高速低噪声器件，R_F（及实现所需增益的 R_G）的取值将显著影响电路性能。对于特性曲线，图 8-1 中的非反相电路展示了测试配置。表 8-1 列出了不同增益下的建议电阻值。

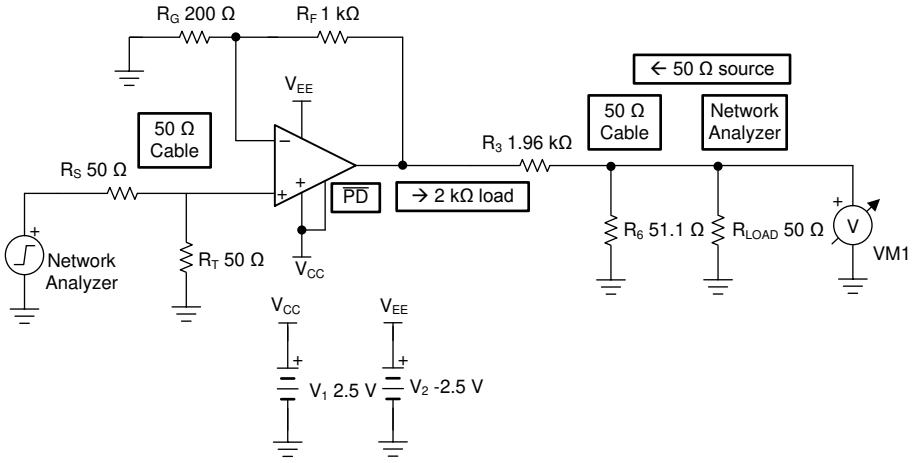


图 8-1. 非反相特性测试电路

表 8-1 列出了目标增益范围 6V/V 至 20V/V 的建议电阻值。该表通过控制 R_F 与 R_G 值，将电阻器噪声贡献度设定为总输出噪声功率的大约 40%。这使输出端的点噪声较仅由运算放大器电压噪声产生的点噪声增加 20%。降低阻值可减少任意设计的输出噪声，但代价是反馈电路功耗增大。使用 TINA 模型与仿真工具，可显示出不同阻值选择对响应波形及噪声的影响。

表 8-1. 非反相配置的建议电阻器值

目标平均值	R_F (Ω)	R_G (Ω)	实际增益 (V/V)	增益 (dB)
6	1000	200	6	15.56
7	1180	196	7.02	16.93
8	1370	196	7.99	18.05
9	1540	191	9.06	19.15
10	1690	187	10.04	20.03
11	1870	187	11	20.83
12	2050	187	11.96	21.56
13	2210	182	13.14	22.37
14	2370	182	14.02	22.94
15	2550	182	15.01	23.53
16	2740	182	16.05	24.11
17	2870	178	17.12	24.67
18	3090	182	17.98	25.09
19	3240	178	19.20	25.67
20	3400	178	20.1	26.06
21	3570	178	21.06	26.47

8.1.2 反相放大器

OPA838 可用作反相放大器，信号通过增益设置电阻器 (R_G) 输入到反相输入端 (V_{IN-})。图 7-2 展示了该电路的基本方框图。

如果 $V_{IN} = V_{REF} + V_{SIG}$，且非反相输入端被直流偏置至 V_{REF}，可根据方程式 2 计算放大器的输出：

$$V_{OUT} = V_{SIG}\left(\frac{-R_F}{R_G}\right) + V_{REF} \tag{2}$$

电路的信号增益 $G = \frac{-R_F}{R_G}$ 和 V_{REF} 提供了一个基准点，输入和输出信号围绕该基准点摆动。对于双极性电源供电情况，V_{REF} 通常为 GND。输出信号在应用通带内与输入信号呈 180° 相位差。图 8-2 展示了用于反相表征图的 50Ω 输入匹配配置。在此配置中，额外添加的端接电阻器与输入端 R_G 电阻器并联，以实现与 50Ω 测试设备的阻抗匹配。表 8-2 列出了反相增益范围为 –6V/V 至 –20V/V 时 R_F、R_G 和 R_T 的建议值。

Copyright © 2025 Texas Instruments Incorporated

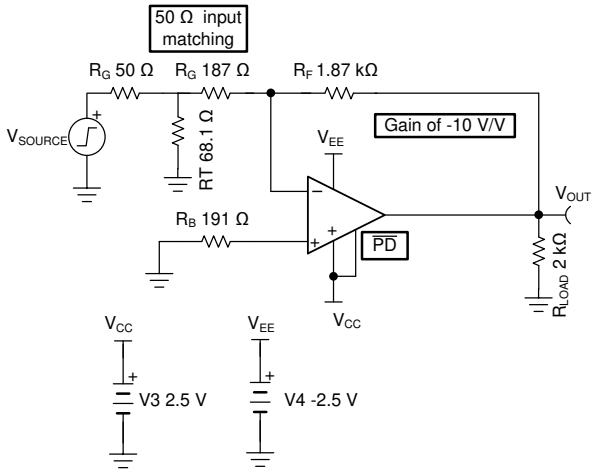


图 8-2. 带输入阻抗匹配的反相配置

表 8-2. 反相配置的建议电阻器值

平均值	R_F (Ω)	R_G (Ω)	确切 R_T	标准 R_T	输入 Z_i	实际 (V/V)	增益 (dB)
-6	1180	196	67.1	66.5	49.7	-6.02	15.59
-7	1370	196	67.1	66.5	49.7	-6.99	16.89
-8	1540	191	67.7	68.1	50.2	-8.06	18.13
-9	1690	187	68.2	68.1	49.9	-9.04	19.12
-10	1870	187	68.2	68.1	49.9	-10	20
-11	2050	187	68.2	68.1	49.9	-10.96	20.80
-12	2210	182	68.9	68.1	49.6	-12.14	21.69
-13	2370	182	68.9	68.1	49.6	-13.02	22.29
-14	2550	182	68.9	68.1	49.6	-14.01	22.93
-15	2740	182	68.9	68.1	49.6	-15.05	23.55
-16	2870	178	69.5	69.8	50.1	-16.12	24.15
-17	3090	182	68.9	69.8	50.5	-16.98	24.6
-18	3240	178	69.5	69.8	50.1	-18.20	25.2
-19	3400	178	69.5	69.8	50.1	-19.10	25.62
-20	3570	178	69.5	69.8	50.1	-20.06	26.04

8.1.3 输出直流误差计算

OPA838 凭借高开环增益、高共模抑制、高电源抑制以及低输入偏移电压和偏置电流偏移误差，可提供卓越的直流信号精度。为充分发挥其低输入偏移电压的优势，需特别注意输入偏置电流消除。OPA838 的低噪声输入级虽具有相对较高的输入偏置电流（流出引脚的典型值为 1.6μA），但两路输入电流匹配度极高。该器件采用 PNP 输入级构成负电源轨输入结构，基极电流从器件引脚流出。V+ 输入端的接地大电阻器会因输入偏置电流产生正向偏移。两路输入偏置电流的失配极低，输入偏移电流典型值仅为 ±20nA。需匹配两个输入端外接的直流源阻抗，以降低总输出偏移电压。例如，在图 7-8 所示电路中实现偏置电流消除的一种方案是：在非反相输入端串联 165Ω 电阻器，使其与该基本增益为 6V/V 的非反相放大电路中 R_F 与 R_G 的并联组合阻抗相匹配。上述计算同样适用于输出温漂。通过分析图 7-8 中的简化电路可知，输入偏移电压漂移的噪声增益为 1 + 1k / 200 = 6V/V。这将产生 ±1.6μV/°C × 6 = ±9.6μV/°C 的输出漂移项。由于输入端外接的两个阻抗匹配，由最大 ±500pA/°C 偏移电流漂移引起的残余误差恰好为该值乘以 1kΩ 反馈电阻值，即 ±0.5μV/°C。因此总输出直流误差漂移带为 ±10.1μV/°C。

8.1.4 输出噪声计算

OPA838 运算放大器具有解补偿电压反馈架构，这使其在所有电源电流低于 1mA 的器件中，能够提供极低的输入电压与电流噪声项。图 8-3 展示了包含所有噪声项的运算放大器噪声分析模型。在此模型中，所有噪声项均显示为噪声电压或电流密度项（以 nV/√Hz 或 pA/√Hz 为单位）。

Copyright © 2025 Texas Instruments Incorporated

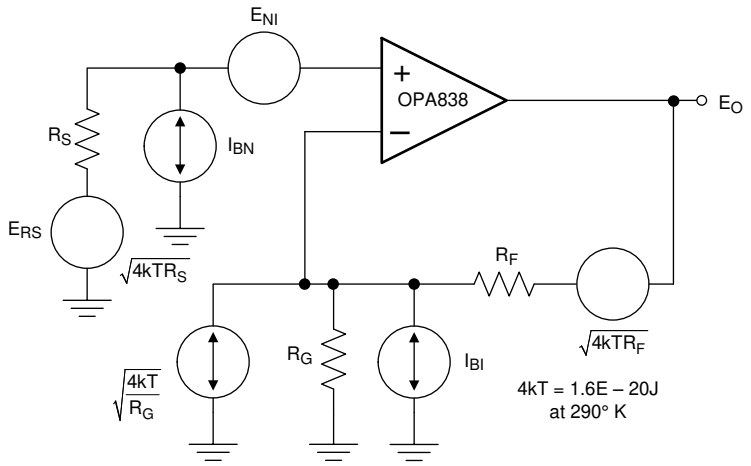


图 8-3. 运算放大器噪声分析模型

总输出点噪声电压通过计算输出噪声电压各贡献项平方和的平方根得出。该计算通过叠加方法将输出端的所有贡献噪声功率相加，然后计算平方根，最终得到点噪声电压。方程式 3 使用 图 8-3 所示的噪声项显示了该输出噪声电压的一般形式。

$$E_O = \sqrt{\left[E_{NI}^2 + \left(I_{BN}R_S\right) + 4kTR_S\right]NG^2 + \left(I_{BI}R_F\right)^2 + 4kTR_FNG} \tag{3}$$

将该表达式除以噪声增益 (NG = 1 + R_F/R_G)，可得出非反相输入端的等效输入基准点噪声电压，如方程式 4 中所示。

$$E_N = \sqrt{E_{NI}^2 + \left(I_{BN}R_S\right)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}} \tag{4}$$

使用表 8-1 中所示的电阻值和 R_S = 0 Ω，可获得 2.86nV/ √Hz 的恒定输入基准电压噪声。减小电阻值可使该数字更接近 OPA838 固有的 1.9nV/ √Hz。通过在非反相模式下添加 R_S 来消除偏置电流，会将来自 R_S 的噪声叠加到总输出噪声中；请参阅方程式 3。在反相模式下，使用电容器对 R_S 偏置电流消除电阻器进行旁路，可获得最佳的噪声性能。

Copyright © 2025 Texas Instruments Incorporated

8.2 典型应用

8.2.1 高增益差分 I/O 设计

可使用高增益差分转差分 I/O 电路来驱动第二级 FDA 或差分转单端级。该电路常用于需要高输入阻抗的应用场景（例如信号源无法承受负载的情形）。图 8-3 展示了一种差分增益为 41V/V 的示例设计。两个 R_G 电阻器之间添加的元件会增加共模反馈的噪声增益。必须预置该元件，否则解补偿型 VFA（如 OPA838）常常发生振荡。若差分 I/O 设计中仅有 R_G 元件，共模反馈将处于单位增益状态，常常会引发高频共模振荡。要解决该问题、请将 R_G 元件对半分配，并在两个 R_G 阻值间增设一条低阻抗路径，如电容器或直流基准电压。

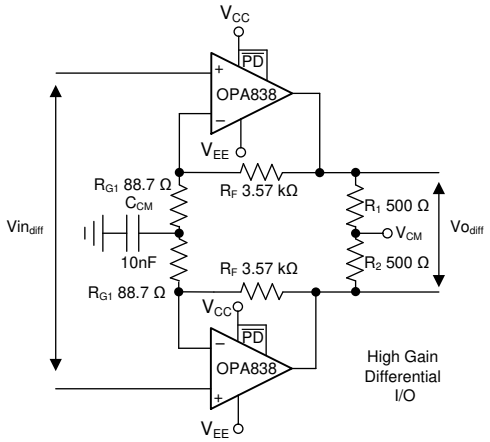


图 8-4. 高增益差分 I/O 级

尽管可以采用集成方案，但 OPA838 能实现低功耗、高频结果。为获得最佳的 CMRR 性能，需要匹配电阻器。一个不错的规则是 CMRR 近似等于电阻器容差；因此 0.1% 容差可提供约 60dB CMRR。

8.2.1.1 设计要求

以图 8-4 中的电路为例开始设计。

- 设置目标增益并将 R_G 元件对半分配。在本示例中，目标增益为 41V/V。
- 评估非反相输入端的直流共模偏置。直流偏置必须在有效范围内，并且输出的增益必须为 1。图 8-3 中未展示此部分。
- 若采用直流基准电压作为 R_G 中点偏置电压，则将基准电压设定为非反相输入偏置电压，即可使输出共模电压等于该电压。如图 8-3 所示，采用电容器亦可实现相同的结果。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.2 详细设计过程

- 使用表 8-1，将总 R_G 值设置为接近高增益值。该 178Ω 总值必须分配出中心抽头以提升共模噪声增益，如图 8-4 中的 88.7Ω 数值所示。
- 通过使用总 R_G 值的一半求解方程式 1，选用接近计算值的标准值来设置 R_F。
- 用不同元件在 R_G 中心抽头处进行共模噪声仿真，如图 8-5 所示。根据应用情况确定最合适的方案。

无 R_G 中心抽头时的共模环路不稳定问题在闭环差分仿真中通常不明显。无 R_G 中心抽头时的共模环路不稳定问题常能在共模输出噪声仿真中检测到，如图 8-5 所示。将图 8-4 的输入端接地后，对图 8-3 的共模抽头点进行输出噪声仿真，可观察到高频段的噪声峰值。该峰值表明共模环路相位裕度过低。图 8-5 中的最低噪声曲线展示了该峰值，并提供了两种改善相位裕度的方案。图 8-4 中采用的第一个方案是通过接地电容器仅在高频段提升共模噪声增益。这种提升体现为图 8-5 中的共模噪声峰值。另一个方案是在 R_G 中心抽头处提供直流电压基准。该方法提升了直流及其他共模噪声增益。后两个方案均未出现低相位裕度引起的峰值现象。但这两个方案确实会显著增加低频段的输出共模噪声。通常，输出共模噪声增加比低相位裕度更可接受，因为下一级电路（FDA、ADC、差分转单端级）会抑制共模噪声。

使用 10nF 中心抽头电容器时，图 8-6 显示了差分 I/O 微小信号响应，显示了预期的 300MHz / 41 ≈ 7.3MHz 闭环带宽。R_G 元件之间的接地电容器不会影响差分频率响应。

8.2.1.3 应用曲线

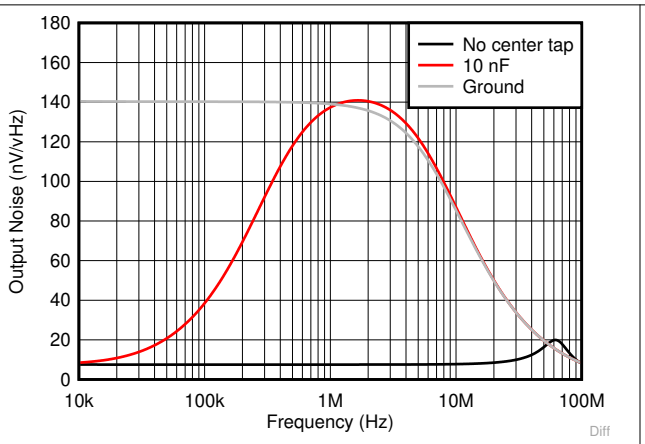


图 8-5. 差分 I/O 设计的共模输出噪声

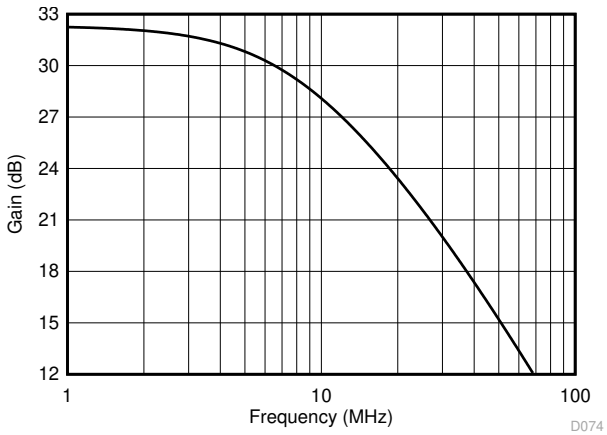


图 8-6. 差分小信号频率响应

Copyright © 2025 Texas Instruments Incorporated

8.2.2 跨阻放大器

高增益带宽电压反馈运算放大器的一种典型应用是放大来自电容式探测器的小型光电二极管电流。图 8-7 展示了首页的互阻抗电路及更多详细信息。此处采用固定 -0.23V 负压发生器 (LM7705) 接入负电源，确保输出为 0V 时仍具有充足余量。该互阻抗级设计为 2.4MHz 平坦（巴特沃斯）响应特性，同时通过简易 RC 后级滤波器限制宽带噪声并将总带宽设定为 1MHz。高动态范围互阻抗（或电荷）放大器的需求包括：类似 OPA838 这类解补偿器件固有的极低输入电压噪声。此类电路的噪声增益频响起始于单位增益，随后以单零点响应特性开始爬升到峰值。该爬升现象源于反馈电阻器的反馈与反相输入端总电容形成的极点。通过设定反馈电容值，该噪声增益响应在较高频段被平坦化为 1 + C_S / C_F 电容比。此噪声增益通常极高，使解补偿 OPA838 适用于此应用场景。此应用中特意将噪声增益峰值提升至高值，因此 OPA838 极低的输入电压噪声 (1.8nV/ √Hz) 可显著改善动态范围。

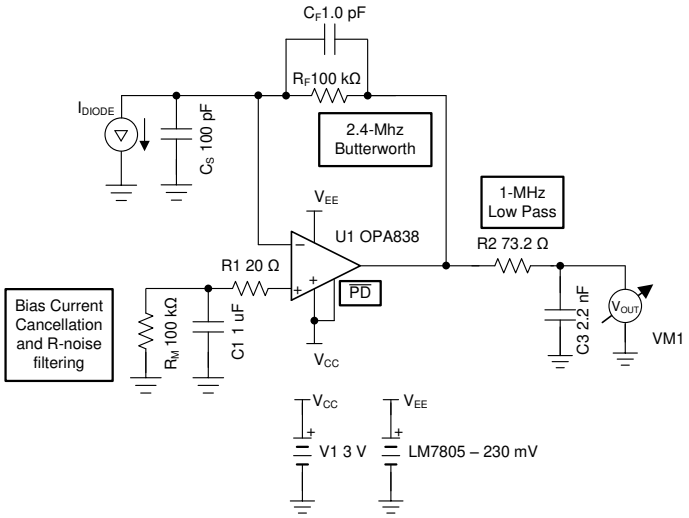


图 8-7. 100kΩ 宽带宽互阻抗设计

8.2.2.1 设计要求

为实现受控频率响应互阻抗设计，需将互阻抗级放大器带宽设定为高于受控的 RC 后级滤波器带宽。这样，源电容和放大器增益带宽积的变化对最终输出总带宽的影响将更小。在此示例设计中：

- 假设标称源电容值为 100pF。该值通常取自光电二极管的电容与反相偏置关系图。图 8-8 中未展示反相偏置，但电流源通常为反相偏置二极管，其阳极接负电源、阴极接运算放大器反相输入。在这种极性下，信号电流会灌入二极管，并将运算放大器输出电压升高到地电平以上。
- 为获得最佳直流精度，应在非反相输入端添加匹配电阻器，将输入偏置电流误差降至 I_{OS} × R_F。该电阻器会增加输入电压噪声；TI 建议根据需要使用尽可能大的电容器来旁路该电阻器，以滚降电阻器噪声。但该电容器的自谐振频率相对较低，可能与输入级相互作用并损害稳定性。可在电容器与非反相输入端之间串联 20Ω 小电阻器，在不显著增加噪声的前提下降低谐振源阻抗的 Q 值。
- 设定反馈电容器以实现所需的频率响应波形。
- 添加 RC 后级滤波器以将总带宽控制在 1MHz。在本例中，2.2nF 电容器允许采用低至 73.2Ω 的串联电阻器。当驱动采样 ADC（如 SAR）时，此组合有助于减小采样毛刺并加速趋稳时间。

8.2.2.2 详细设计过程

主要设计要求是设置可实现的互阻抗增益，并通过 C_F 补偿运算放大器以获得所需的响应波形。详细的互阻抗设计方法请参阅*高速放大器互阻抗注意事项考量*。当确定了源电容且选定了具备特定增益带宽积的放大器时，可实现的互阻抗增益与由此产生的巴特沃斯带宽存在紧密耦合关系，如方程式 5 所示。利用方程式 6 求解最大 R_F 值。R_F 选定后，通过方程式 7 将反馈极点设定在特征频率的 0.707 倍处。在该补偿点，闭环带宽是具有巴特沃斯响应的特征频率。

- 基于 100pF 源电容、300MHz 增益带宽积及互阻抗级 2.2MHz 闭环带宽目标，求解方程式 6 得最大增益为 100kΩ。

Copyright © 2025 Texas Instruments Incorporated

- 将反馈极点设定在 2.2MHz 巴特沃斯带宽的 0.707 倍处。这将设定目标 $1 / (2\pi \times R_F \times C_F) = 1.55MHz$。求解 C_F 得目标值 1pF。
- 若需直流精度，在非反相输入端添加 100kΩ 接地电阻器。若无需直流精度，将非反相输入端直接接地
- 添加一个与 100kΩ 电阻器并联的电阻器噪声滤除电容器。
- 添加一个小型串联电阻器，将该电容器与非反相输入隔离。
- 为负载选择终接滤波电容器。（本例中使用 2.2nF 电容值作为典型 SAR 输入电容。）
- 向终接滤波电容器添加一个串联电阻器，形成一个 1MHz 极点。在本例中，该阻值为 73.2Ω。
- 确认该电阻值大于图 6-50 中所示的最小建议值。

$$F_{-3dB} \approx \sqrt{\frac{GBP}{2\pi R_f C_S}} \tag{5}$$

$$R_{f\,max} \approx \frac{GBP}{F_{-3dB}^2 2\pi C_S} \tag{6}$$

$$\frac{1}{2\pi R_f C_f} = 0.707 \times \sqrt{\frac{GBP}{2\pi R_f C_S}} \tag{7}$$

实施此设计，并使用 TINA 模型对输出引脚和终接电容负载的响应性能进行仿真，得到了图 8-8 中的预期结果。在这里，输出引脚呈现精确的 2.2MHz 平坦巴特沃斯响应，而终接 2.2nF 电容器处呈现 1MHz 单极点滚降特性。

8.2.2.3 应用曲线

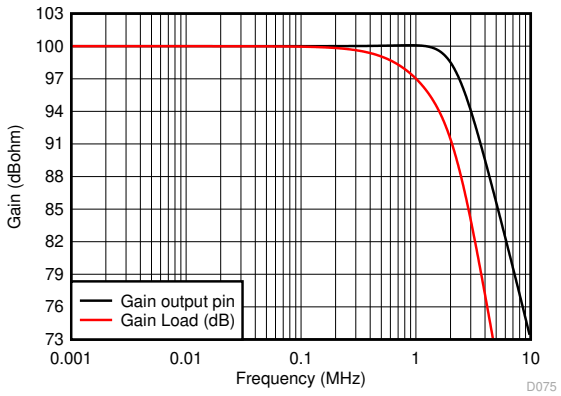


图 8-8. 100kΩ 互阻抗增益的微小信号响应

8.3 电源相关建议

OPA838 器件设计为在 2.7V 至 5.4V 电源范围内运行，需配置优质电源旁路。应尽可能减小从电源引脚到高频、0.1μF 解耦电容器之间的距离（小于 0.1 英寸）。在器件电源引脚处将一个较大电容器（典型值 2.2μF）与一个高频、0.1μF 电源解耦电容器结合使用。对于单电源供电，只有正电源具有这些电容器。使用双电源时，请将这些电容器用于每个电源以便接地。如有必要，将较大的电容器放置在离器件更远的地方，并在 PCB 同一区域的多个器件之间共享这些电容器。避免电源布线和接地布线过于狭窄，以便尽可能减小引脚和去耦电容器之间的电感。两个电源（用于双极性运行）之间可选的 0.1μF 电源解耦电容器可降低二次谐波失真。

OPA838 具有正电源电流温度系数；请参阅图 6-58。该温度系数有助于改善输入偏移电压漂移。系统设计中的电源电流需求须考虑此效应，结合预期最高环境温度及图 6-58 来确定所需电源规格。OPA838 极低的功耗通常无需特殊的热设计考量。在 125°C 的极端工作环境温度下，三种封装的热阻近似最大值取 200°C/W；同时根据图 6-58，125°C 下 5.4V 电源电压 × 1.25mA = 最大内部功耗 6.75mW。该功耗仅引起结温相对环境温度升高 1.35°C，远低于 150°C 的最高结温。负载功耗会与此功耗叠加，但结温相对环境温度仍仅略微升高。

Copyright © 2025 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

在设计电路板时可使用 *OPA838EVM* 作为参考。TI 建议尽可能遵循该 EVM 的以下布局：放大器附近的外部元件、接地平面构建及电源布线。请遵循以下通用准则：

1. 信号布线必须直连且尽可能缩短进出运算放大器的路径。
2. 反馈路径应简短直接，尽可能避免使用过孔。
3. 移除放大器负输入引脚和输出引脚正下方的接地或电源平面。
4. 驱动容性负载或匹配负载时，将串联输出电阻器尽可能靠近输出引脚放置。
5. 在器件两英寸范围内放置 2.2 µ F 电源解耦电容器，并根据需要与其他运算放大器共用。双电源运行时，正负电源均需配置此电容器。
6. 将 0.1 µ F 电源解耦电容器尽可能靠近电源引脚放置，最好在 0.1 英寸内。双电源运行时，正负电源均需配置此电容器。
7. $\overline{PD}$ 引脚采用以负电源为基准的逻辑电平。若未使用该引脚，需将其连接至正电源以启用放大器。若使用，需主动驱动该引脚。旁路电容器并非必需，但在嘈杂环境中可用于抑制电磁干扰。

8.4.2 布局示例

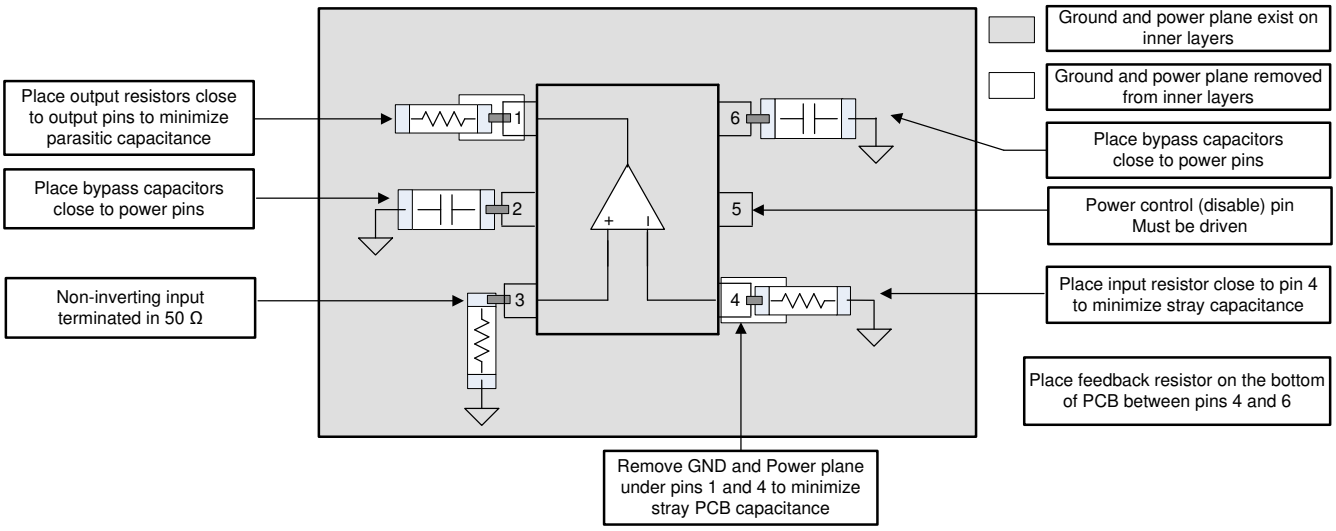


图 8-9. EVM 布局示例

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 TINA-TI™ 仿真软件（免费下载）

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从设计和仿真工具网页免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 TINA-TI™ 软件文件夹中下载免费的 TINA-TI 仿真软件。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

德州仪器 (TI)，*OPA835DBV、OPA836DBV EVM 用户指南*

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision D (September 2024) to Revision E (August 2025) **Page**

- 将 DXB（X2QFN，8）封装状态从预发布更改为量产数据并添加了相关内容 1
- 将*器件比较表*更改为*相关产品* 2
- 将单电压噪声和电流噪声图移至两个单独的图中 17
- 更新了*输出直流误差计算*中的总漂移公式 33

Changes from Revision C (October 2023) to Revision D (September 2024) **Page**

- 向数据表添加了 DXB（X2QFN，8）封装和相关内容 1

Changes from Revision B (October 2018) to Revision C (October 2023) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 将*器件信息*表更改为*封装信息*，更新了列并添加了注释 2 1

Changes from Revision A (February 2018) to Revision B (October 2018) **Page**

- 将*特性*部分中的 *< 5 µA 关断电流*更改为 *< 1 µA 关断电流* 1
- 更改了“电气特性 V_S = 5V”和*电气特性 V_S = 3V* 表中的共模和差模输入阻抗值 5
- 更改了*电气特性：V_S = 5V* 和*电气特性 V_S = 3V* 表中的断电静态电流值 5
- 将*概述*部分中的 *5µA* 更改为 *1µA* 22
- 将*断电运行*部分中的待机电流从 *5µA* 更改为 *1µA* 24
- 将*反馈电阻值选择的权衡*部分中的共模输入电容从 *1.3pF* 更改为 *1pF* 24
- 在*反馈电阻值选择的权衡*部分中，将 *1 + 6.3 / 1.2 = 6.25V/V，添加 1.3pF 器件共模电容*更改为 *1 + 6 / 1.2 = 6V/V，添加 1pF 器件共模电容* 24
- 将*断电运行*部分最后一句中的 *2µA* 更改为 *0.1µA*，*5µA* 更改为 *1µA* 30
- 将*电源相关建议和热性能说明*标题更改为*电源相关建议* 38

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA838DXBR	Active	Production	X2QFN (DXB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O838
OPA838IDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVRG4.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVT	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVT.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17Q
OPA838IDCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17Q
OPA838IDCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17Q
OPA838IDCKT.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17Q
OPA838SIDCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19C
OPA838SIDCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19C
OPA838SIDCKT	Active	Production	SC70 (DCK) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19C
OPA838SIDCKT.B	Active	Production	SC70 (DCK) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19C

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

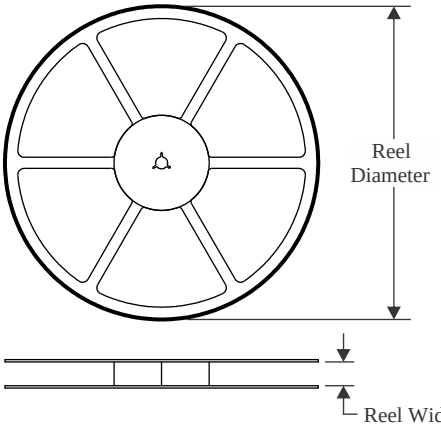
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

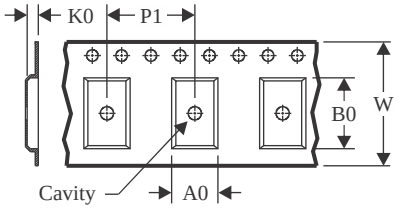
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

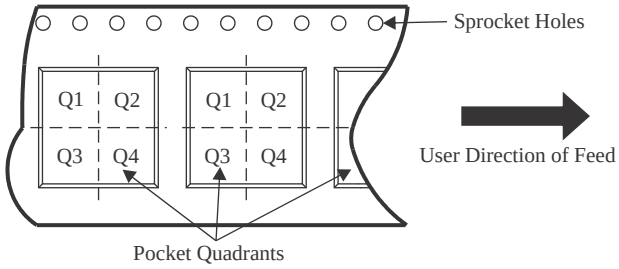


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

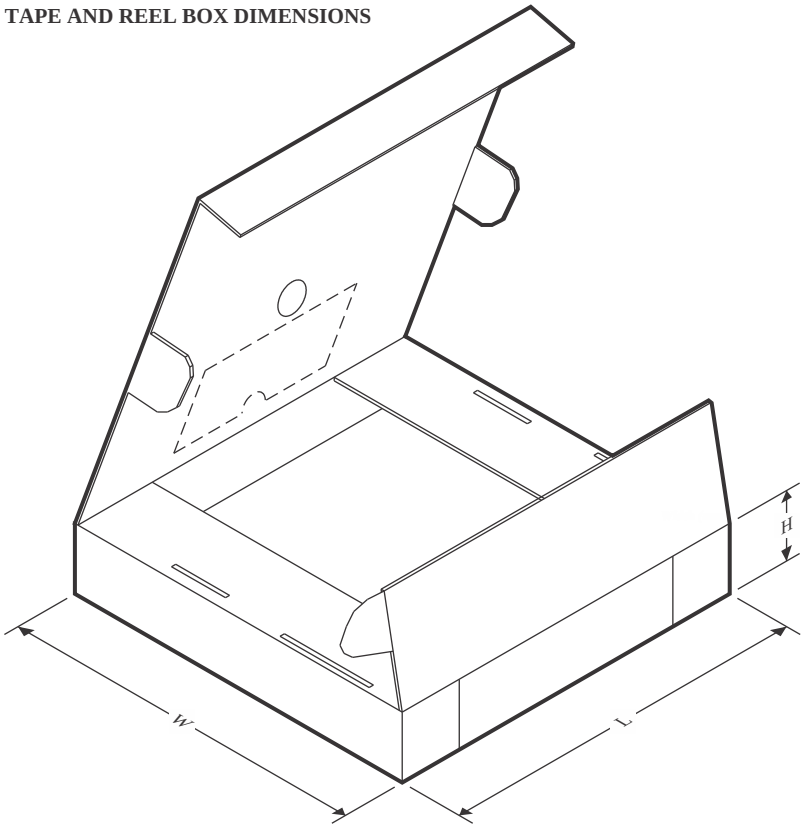
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA838DXBR	X2QFN	DXB	8	3000	180.0	8.4	1.35	1.55	0.48	4.0	8.0	Q1
OPA838IDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA838IDBVRG4	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA838IDBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA838IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA838IDCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA838SIDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA838SIDCKT	SC70	DCK	6	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

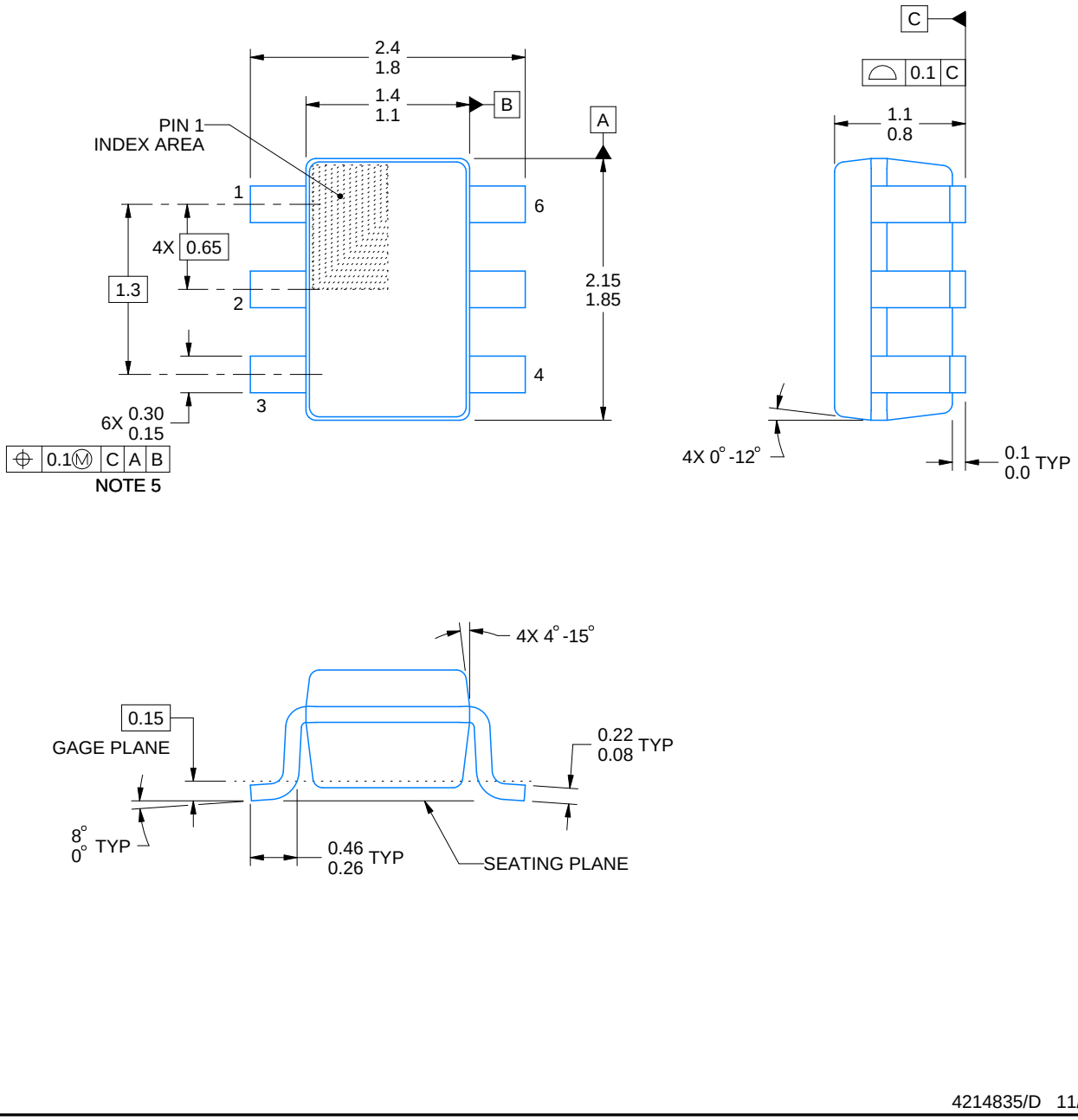
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA838DXBR	X2QFN	DXB	8	3000	210.0	185.0	35.0
OPA838IDBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
OPA838IDBVRG4	SOT-23	DBV	6	3000	180.0	180.0	18.0
OPA838IDBVT	SOT-23	DBV	6	250	180.0	180.0	18.0
OPA838IDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
OPA838IDCKT	SC70	DCK	5	250	180.0	180.0	18.0
OPA838SIDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
OPA838SIDCKT	SC70	DCK	6	250	180.0	180.0	18.0

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

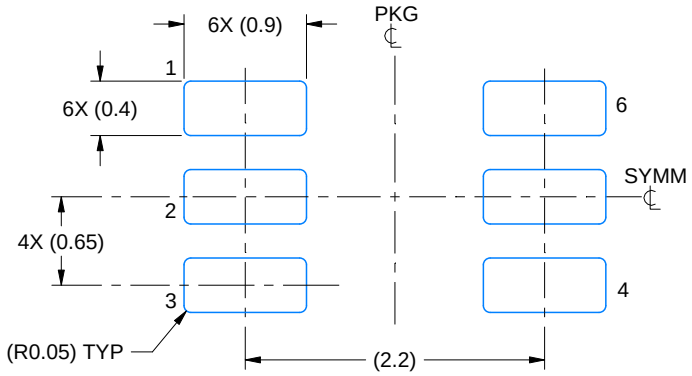
SMALL OUTLINE TRANSISTOR



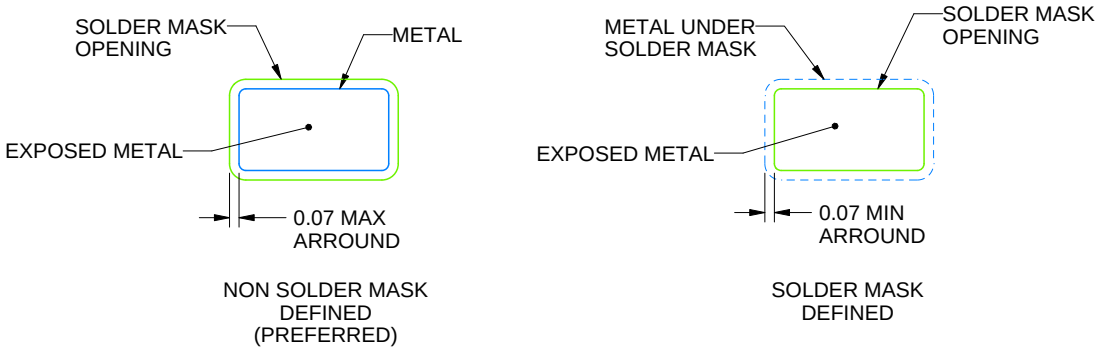
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

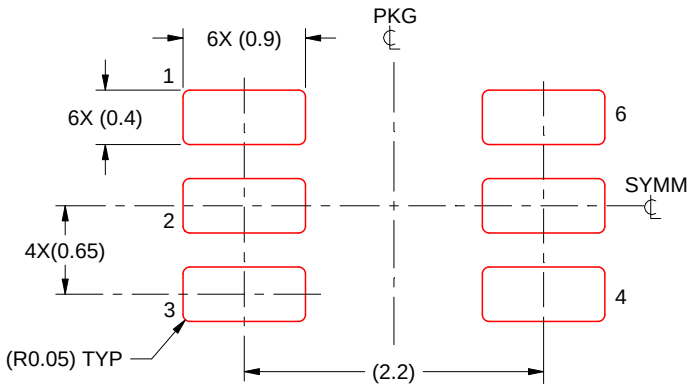


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



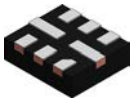
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

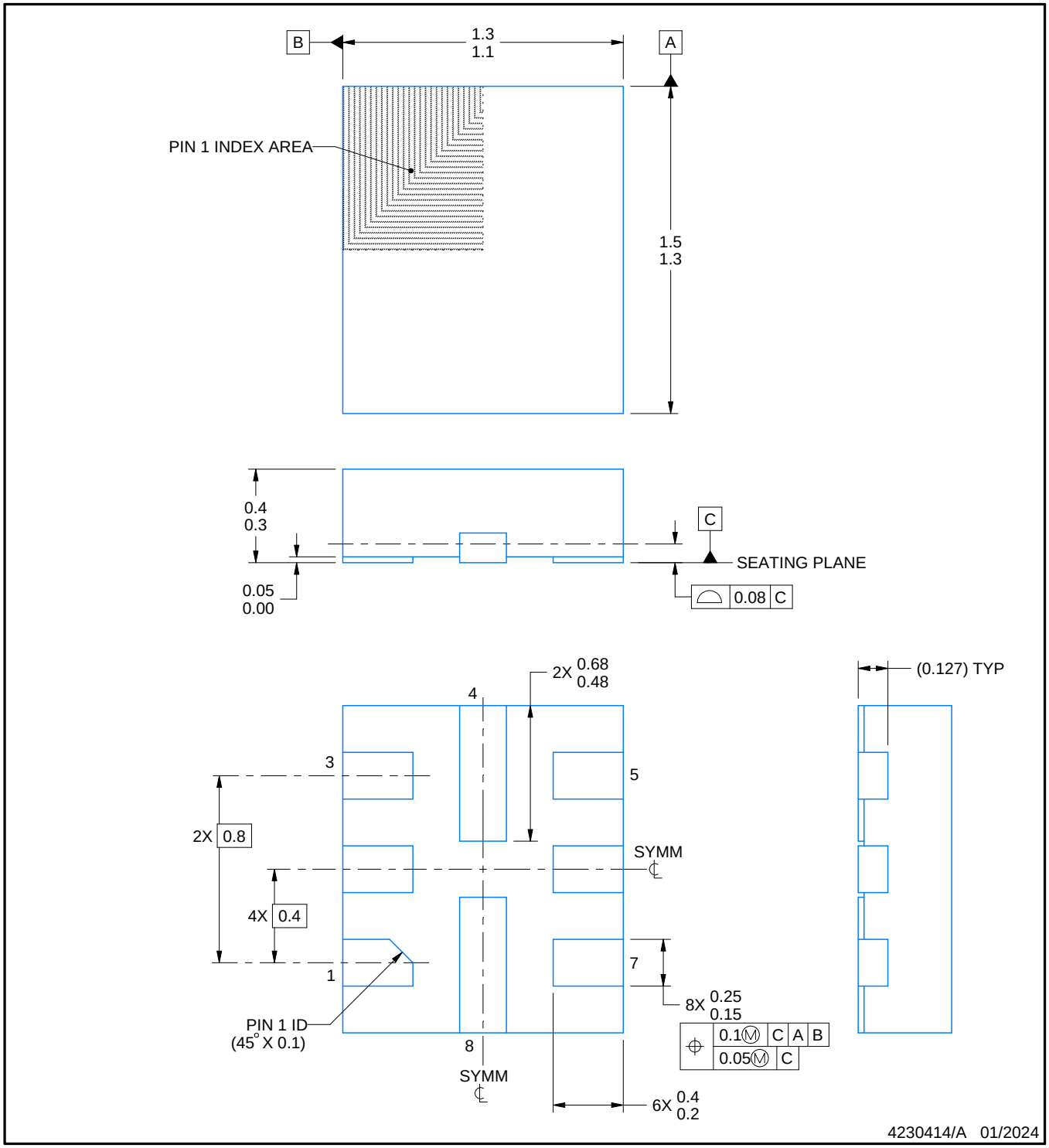
DXB0008A



PACKAGE OUTLINE

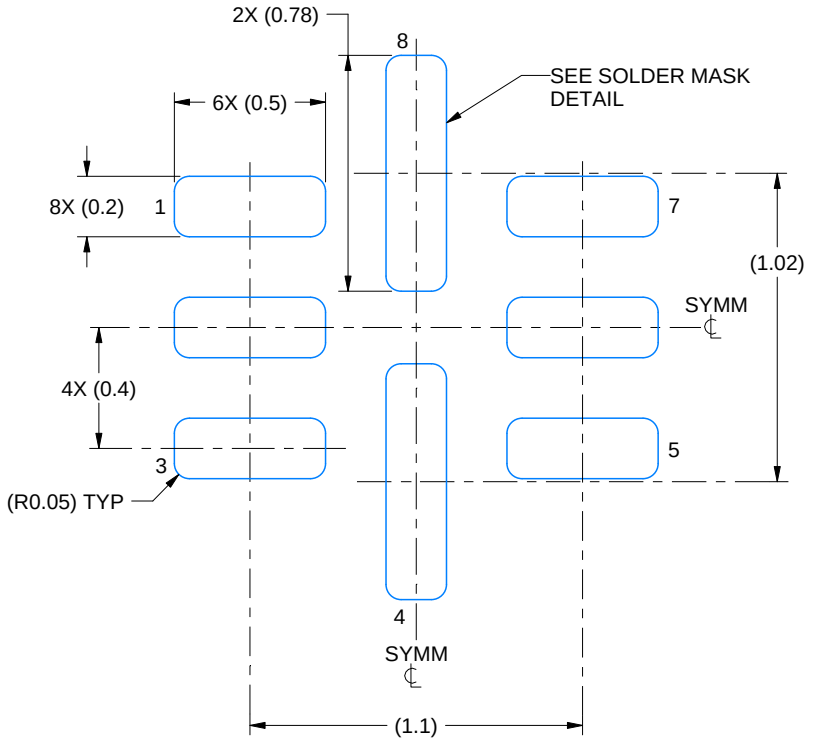
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

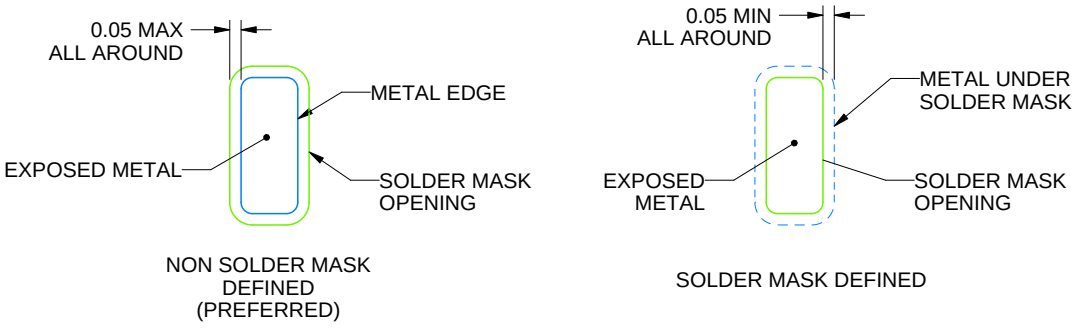


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

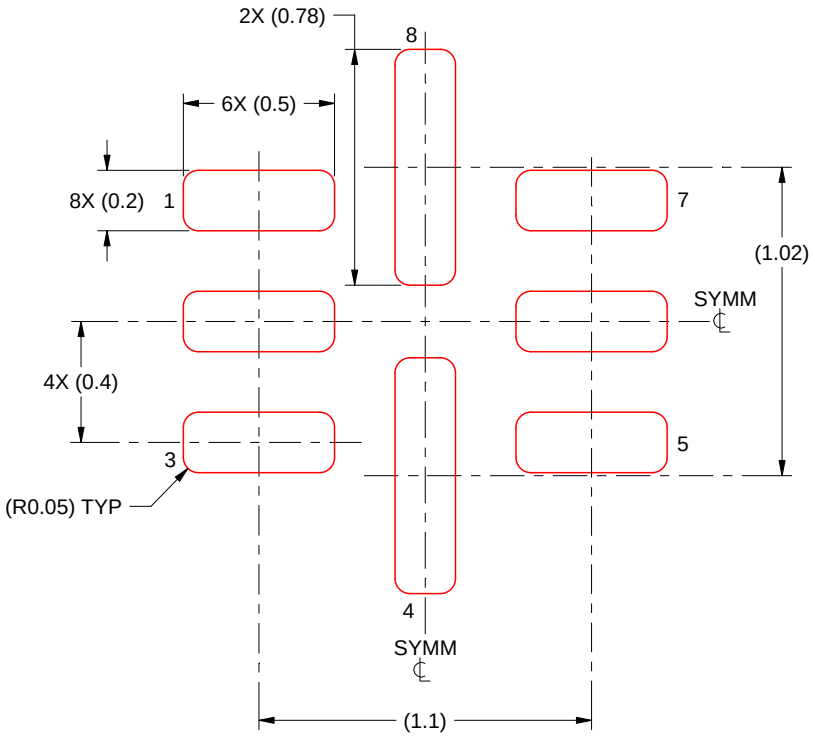


SOLDER MASK DETAILS

4230414/A 01/2024

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 40X

4230414/A 01/2024

NOTES: (continued)

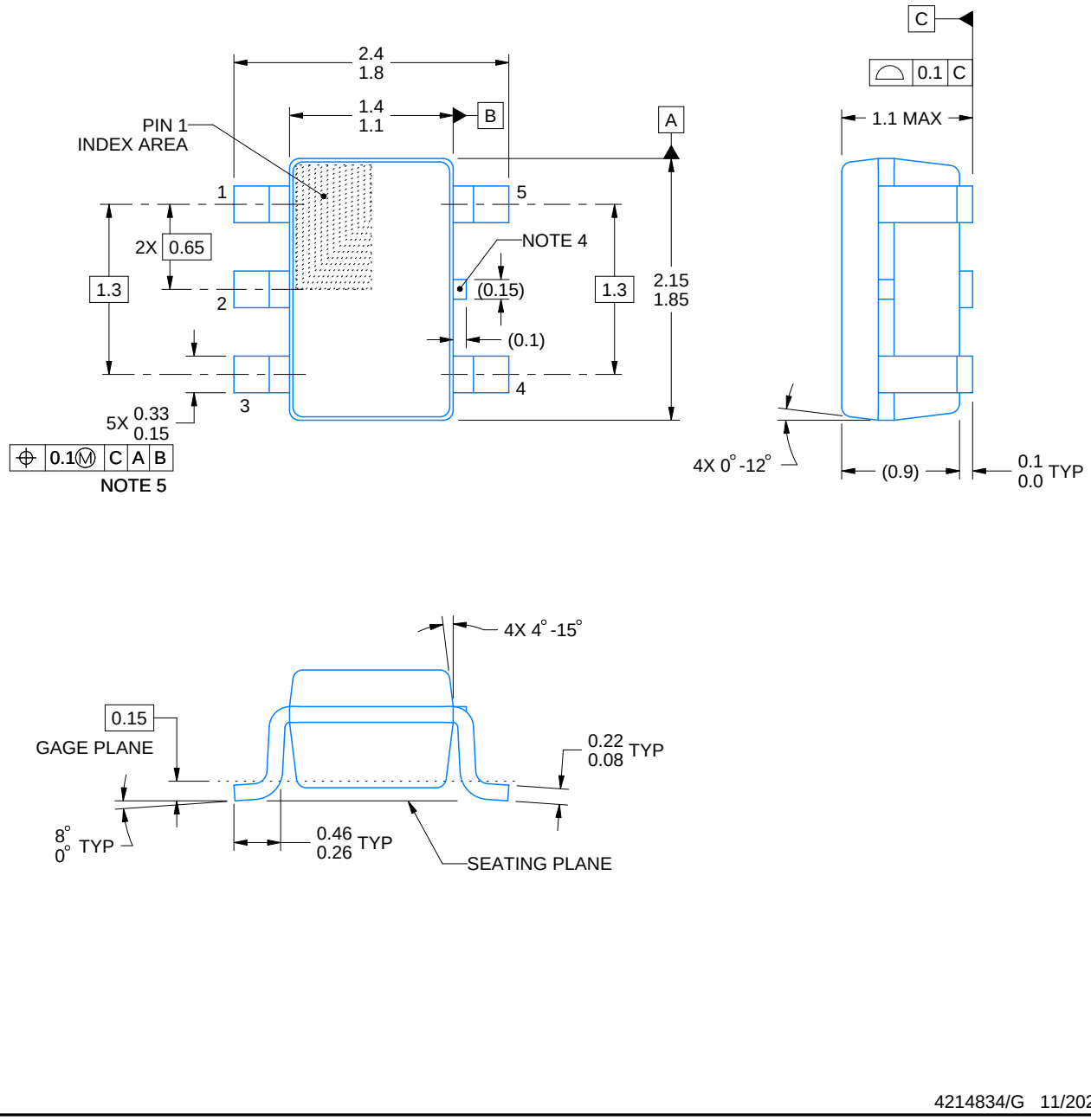
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

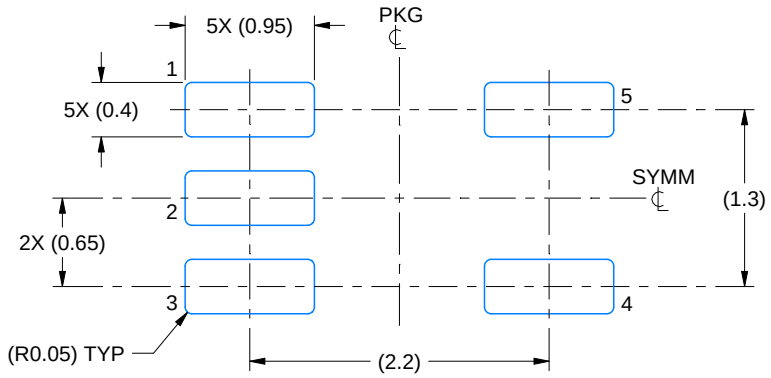
SMALL OUTLINE TRANSISTOR



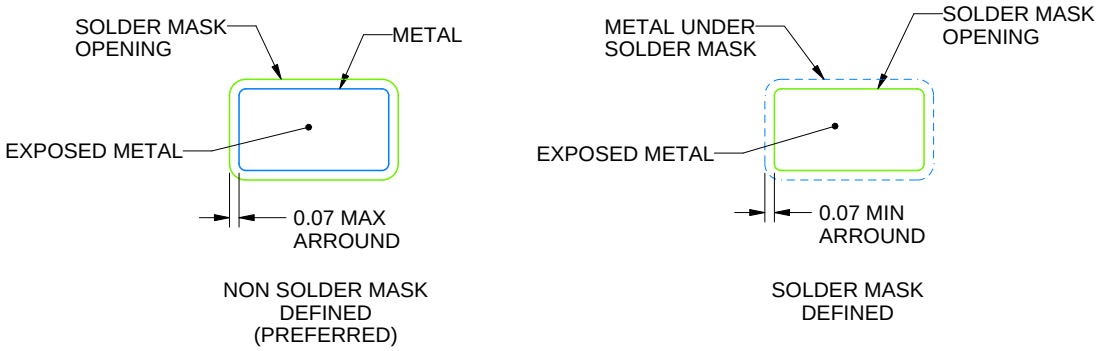
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

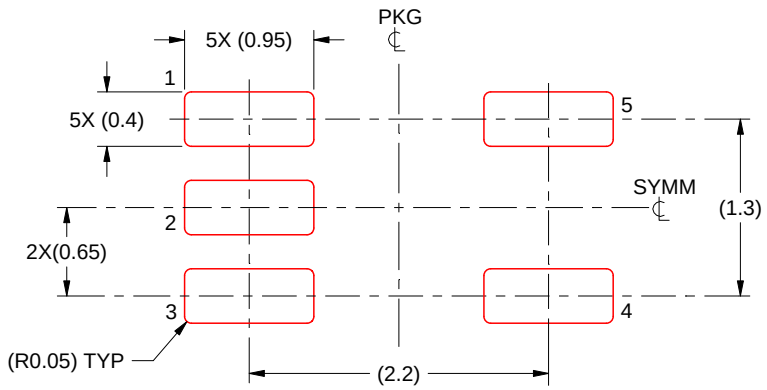


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

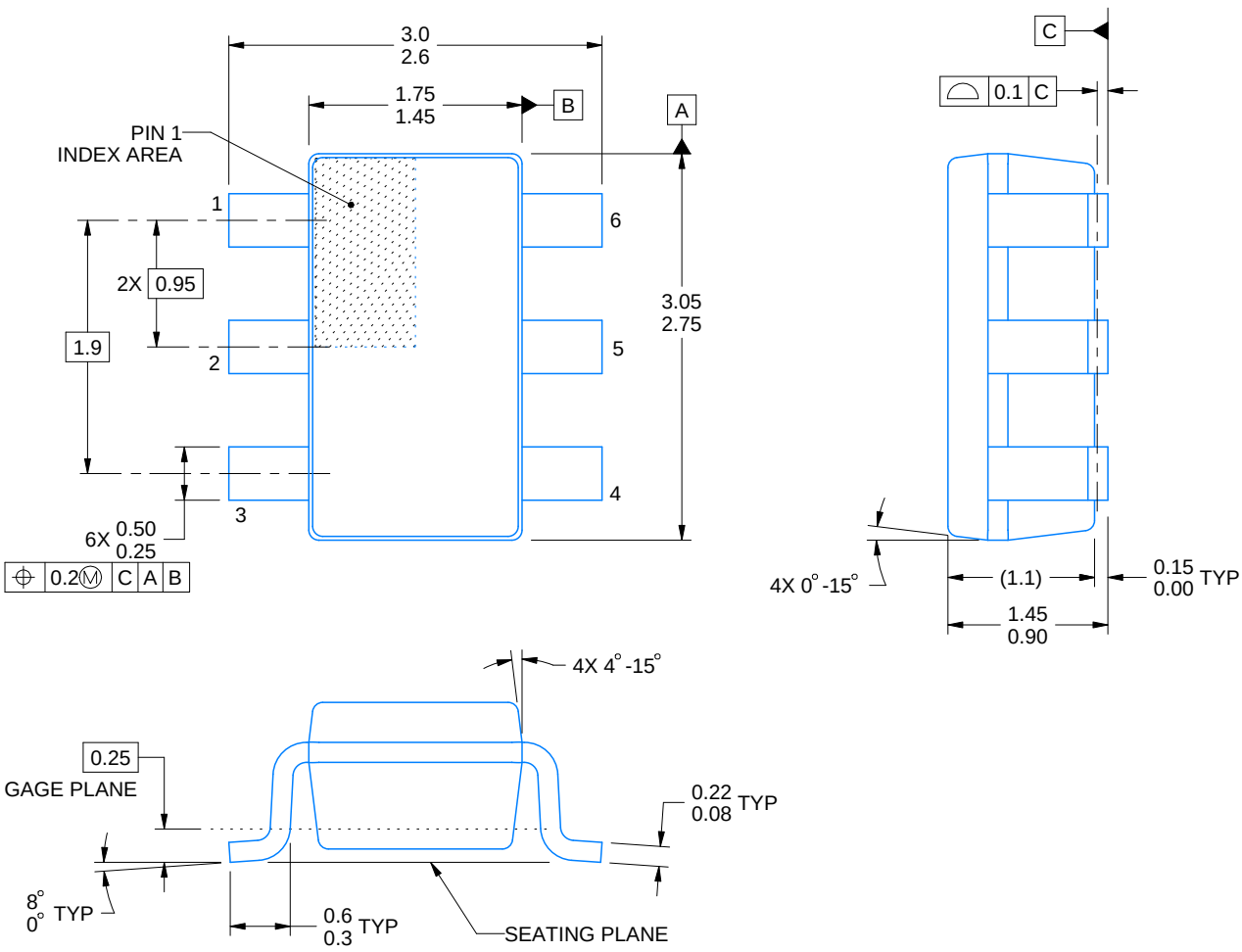
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

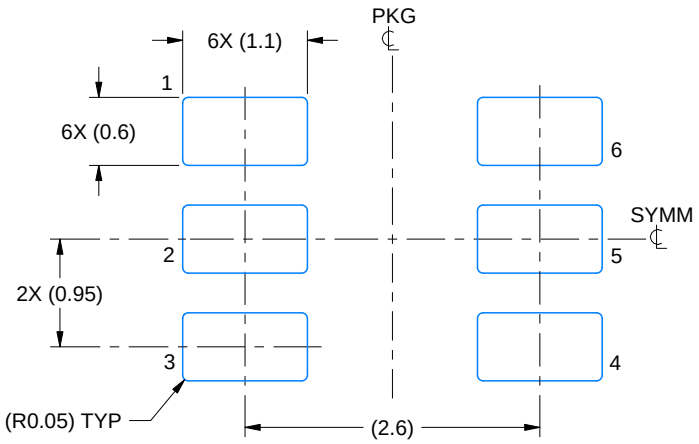
SMALL OUTLINE TRANSISTOR



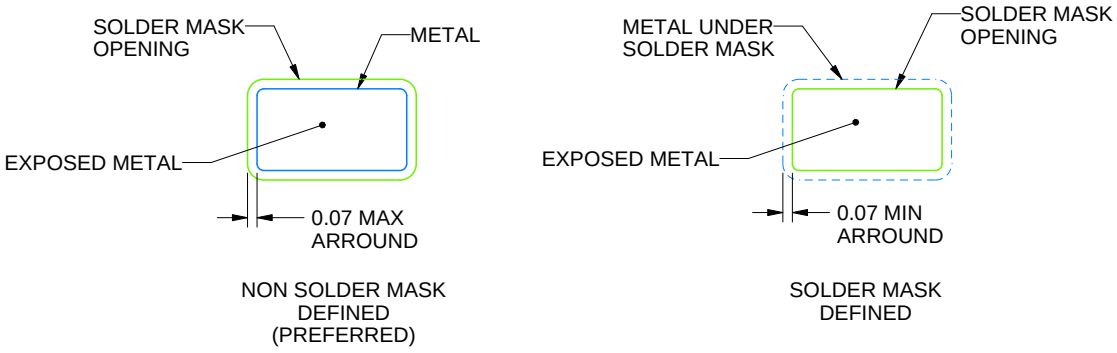
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

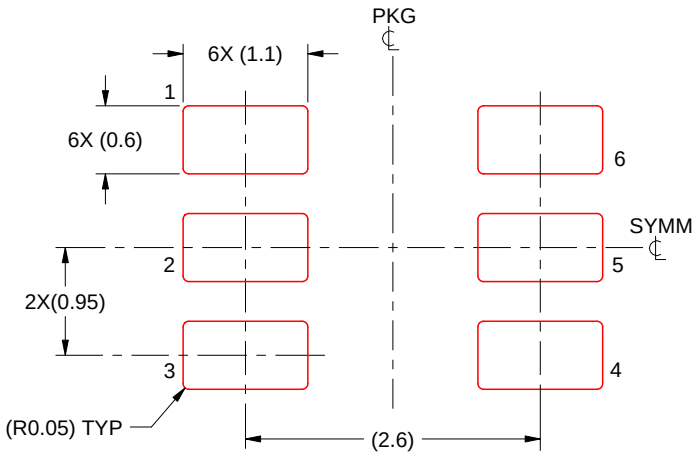


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月