采用微型 3 × 3 WQFN 封装的 DACx3608 八路 10 位或 8 位 I²C™ 接口缓冲电压输出 DAC

1 特性

- ±1LSB INL 和 DNL
- 宽工作范围
  - 电源电压：1.8V 至 5.5V
  - 温度范围：–40˚C 至 125˚C
- I²C™ 串行接口
  - 标准、快速和快速+ 模式
  - 2.4V，VIH（V_{DD} = 5.5V）
- 通过 $\overline{\text{LDAC}}$ 引脚实现同步输出更新
- 极低功耗：0.1mA/通道 (1.8V)
- 低功耗启动模式：输出断电至 10K 状态
- 微型封装
  - 16 引脚 WQFN (3mm × 3mm)

2 应用

- 可编程电源
- 可编程窗口比较器
- 显示面板中的 VCOM 偏置
- 多功能打印机中的激光驱动器
- 自动对焦数码相机镜头
- ATM 机、点钞机、条形码阅读器
- IP 网络摄像机、投影仪

3 说明

DAC53608 和 DAC43608 (DACx3608) 分别为 10 位和 8 位低功耗、电压输出、八通道数模转换器 (DAC)。DACx3608 根据设计在 1.8V 至 5.5V 的宽电源范围内具有单调性。DACx3608 使用外部基准，可提供 1.8V 至 5.5V 的满标度输出电压范围，同时每通道消耗的静态电流为 0.1mA。DACx3608 还包括基于每通道且用户可编程的断电寄存器。这些寄存器有助于 DAC 输出缓冲器以断电至 10K 的启动状态，并保持该状态，直到向这些输出缓冲器发出加电命令。

低静态电流、宽电源范围和每通道断电选项使 DACx3608 成为低功耗的电池供电型系统的理想选择。

这些器件通过 I²C™ 接口进行通信。这些器件支持 I²C™ 标准模式 (100kbps)、快速模式 (400kbps) 和快速+ 模式 (1Mbps)。这些器件还具有可用于同时进行 DAC 更新的载入 DAC ($\overline{\text{LDAC}}$) 引脚。

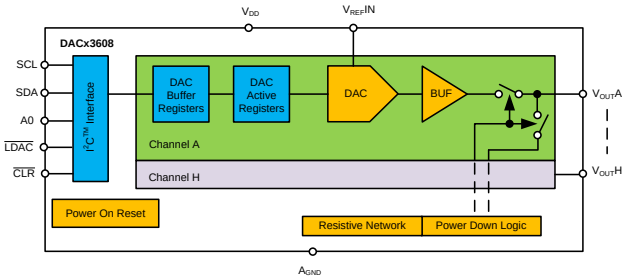
DACx3608 采用小型的 3mm × 3mm 16 引脚 WQFN 封装。这些器件的额定扩展工业温度范围为 –40°C 至 +125°C。

器件信息(1)

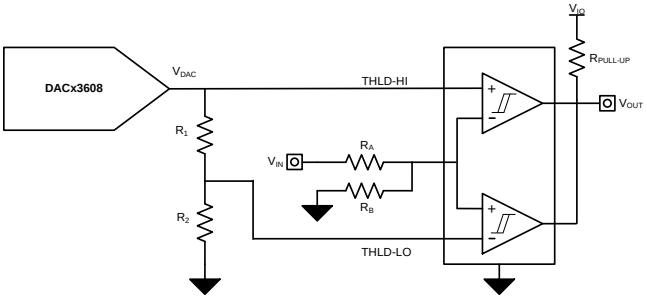
器件型号	封装	封装尺寸（标称值）
DAC53608	WQFN (16)	3.00mm × 3.00mm
DAC43608	WQFN (16)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

简化框图



可编程窗口比较器



本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。 有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。 TI 不保证翻译的准确性和有效性。 在实际设计之前，请务必参考最新版本的英文版本。

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 器件比较表 ... 3
6 引脚配置和功能 ... 3
7 规格 ... 4
7.1 绝对最大额定值 ... 4
7.2 ESD 额定值 ... 4
7.3 建议运行条件 ... 4
7.4 热性能信息 ... 4
7.5 电气特征 ... 5
7.6 时序要求：I²C™ 标准模式 ... 7
7.7 时序要求：I²C™ 快速模式 ... 7
7.8 时序要求：I²C™ 快速+ 模式 ... 8
7.9 时序要求：逻辑 ... 8
7.10 典型特性：1.8V ... 10
7.11 典型特性：5.5V ... 12
7.12 典型特性 ... 17
7.13 典型特性 ... 18
8 详细 说明 ... 19
8.1 概述 ... 19
8.2 功能框图 ... 19
8.3 特性 说明 ... 20
8.4 器件功能模式 ... 21
8.5 编程 ... 21
8.6 寄存器映射 ... 27
9 应用和实现 ... 30
9.1 应用信息 ... 30
9.2 典型 应用 ... 30
10 电源建议 ... 33
11 布局 ... 34
11.1 布局指南 ... 34
11.2 布局示例 ... 34
12 器件和文档支持 ... 35
12.1 文档支持 ... 35
12.2 相关链接 ... 35
12.3 接收文档更新通知 ... 35
12.4 社区资源 ... 35
12.5 商标 ... 35
12.6 静电放电警告 ... 35
12.7 术语表 ... 35
13 机械、封装和可订购信息 ... 36

4 修订历史记录

Changes from Original (October 2018) to Revision A **Page**

- 已更改 将“高级信息”更改为“生产数据” ... 1

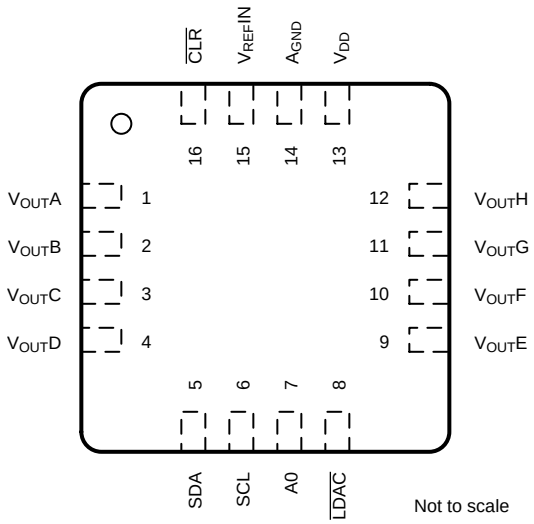
版权 © 2018, Texas Instruments Incorporated

5 器件比较表

器件	分辨率
DAC53608	10 位
DAC43608	8 位

6 引脚配置和功能

RTE 封装
16 引脚 WQFN
俯视图



引脚功能

引脚		I/O	说明
名称	编号		
A0	7	I	四态地址输入
A_{GND}	14	GND	此器件上用于所有电路的接地参考点。
$\overline{CLR}$	16	I	异步清除引脚（低电平有效）
$\overline{LDAC}$	8	I	用于同步输出更新的载入 DAC 引脚（低电平有效）
SCL	6	I	串行接口时钟
SDA	5	I/O	向输入寄存器中输入数据或从中输出数据。此引脚为双向开漏数据线，必须通过外部上拉电阻器连接到电源电压。
V_{DD}	13	PWR	模拟电源电压（1.8V 至 5.5V）。
$V_{OUT}A$	1	O	DAC A 的模拟输出电压
$V_{OUT}B$	2	O	DAC B 的模拟输出电压
$V_{OUT}C$	3	O	DAC C 的模拟输出电压
$V_{OUT}D$	4	O	DAC D 的模拟输出电压
$V_{OUT}E$	9	O	DAC E 的模拟输出电压
$V_{OUT}F$	10	O	DAC F 的模拟输出电压
$V_{OUT}G$	11	O	DAC G 的模拟输出电压
$V_{OUT}H$	12	O	DAC H 的模拟输出电压
$V_{REF}IN$	15	I/O	器件的参考输入

版权 © 2018, Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入电压	V_{DD}（至 A_{GND}）	-0.3	6	V
	$V_{REF}IN$（至 A_{GND}）	–0.3	V_{DD} + 0.3	
	A_{GND} 的数字输入	–0.3	V_{DD} + 0.3	
输出电压	V_{OUT}（至 A_{GND}）	–0.3	V_{DD} + 0.3	V
输入电流	任何引脚的输入电流	-10	10	mA
温度	结温，T_J	–40	150	°C
	贮存温度，T_{stg}	–65	150	

(1) 应力超出*绝对最大额定值* 下所列的值有可能会对器件造成永久损坏。这些列出的值仅仅是极端条件下的应力额定值，这并不表示器件在这些条件下以及在*建议运行条件* 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1)	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。[以下句子为可选；请参阅 Wiki。] 如果具备必要的预防措施，则可以在低于 500V HBM 时进行生产。[以下句子为可选；请参阅 Wiki。] 列为 ±WWW V 和/或 ±XXX V 的引脚实际上可能具有更高的性能。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。[以下句子为可选；请参阅 Wiki。] 如果具备必要的预防措施，则可以在低于 250V CDM 时进行生产。[以下句子为可选；请参阅 Wiki。] 列为 ±YYY V 和/或 ±ZZZ V 的引脚实际上可能具有更高的性能。

7.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD}（至 A_{GND}）	提供给接地端的正电源电压	1.8		5.5	V
$V_{REF}IN$（至 A_{GND}）	提供给接地端的基准输入电源电压	1.8		V_{DD}	V
VIH	数字输入高电压，1.8 ≤ V_{DD} ≤ 2.7	V_{DD} – 0.3			V
VIH	数字输入高电压，2.7 < V_{DD} ≤ 5.5	2.4			V
VIL	数字输入低电压			0.5	V
T_A	环境温度	–40		125	°C

7.4 热性能信息

热指标(1)		DACx3608 RTE (WQFN) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	49	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50	°C/W
$R_{\theta JB}$	结至电路板热阻	24.1	°C/W
Ψ_{JT}	结至顶部特征参数	1.1	°C/W
Y_{JB}	结至电路板特征参数	24.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	8.7	°C/W

(1) 有关传统和新热指标的更多信息，请参阅 *《半导体和 IC 封装热指标》应用报告。*

Copyright © 2018, Texas Instruments Incorporated

7.5 电气特征

所有最小/最大规格的条件为 T_A = –40°C 至 +125°C，所有典型规格的条件为 T_A = 25°C，1.8V ≤ V_{DD} ≤ 5.5V，V_{REF}IN = 2.5V (V_{DD} ≥ 2.7V) 或 V_{REF}IN = 1.8V (V_{DD} ≤ 2.7V)，R_L= 5kΩ（至 A_{GND}），C_L = 200pF（至 A_{GND}），且数字输入处于 V_{DD} 或 A_{GND}（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
	分辨率	DAC53608	10			位
		DAC43608	8			
INL	积分非线性(1)	DAC43608，2.7V ≤ V_{DD} ≤ 5.5V	-1		1	最低有效位 (LSB)
		DAC43608，1.8V ≤ V_{DD} ≤ 2.7V	-1		1	
		DAC53608，2.7V ≤ V_{DD} ≤ 5.5V	-1		1	
		DAC53608，1.8V ≤ V_{DD} ≤ 2.7V	-1		1	
DNL	微分非线性(1)	DAC43608，2.7V ≤ V_{DD} ≤ 5.5V	-1		1	LSB
		DAC43608，1.8V ≤ V_{DD} ≤ 2.7V	-1		1	
		DAC53608，2.7V ≤ V_{DD} ≤ 5.5V	-1		1	
		DAC53608，1.8V ≤ V_{DD} ≤ 2.7V	-1		1	
	零代码误差	2.7V ≤ V_{DD} ≤ 5.5V，将 0d 编码至 DAC		6	12	mV
		1.8V ≤ V_{DD} ≤ 2.7V，将 0d 编码至 DAC		6	12	
	零代码误差温度系数			±5		µV/°C
	偏移误差误差(1)	2.7V ≤ V_{DD} ≤ 5.5V	–0.5	0.25	0.5	%FSR
		1.8V ≤ V_{DD} ≤ 2.7V	–0.5	0.25	0.5	
	偏移误差误差温度系数(1)			±0.0003		%FSR/°C
	增益误差(1)	2.7V ≤ V_{DD} ≤ 5.5V	–0.5	0.25	0.5	%FSR
		1.8V ≤ V_{DD} ≤ 2.7V	–0.5	0.25	0.5	
	增益误差温度系数(1)			±0.0004		%FSR/°C
	满标度误差	2.7V ≤ V_{DD} ≤ 5.5V，将 1023d 编码至 DAC，无净空	–0.5	0.25	0.5	%FSR
		1.8V ≤ V_{DD} ≤ 2.7V，将 1023d 编码至 DAC，无净空	–1	0.5	1	
	满标度误差温度系数			±0.0004		%FSR/°C
输出特性						
V_{OUT}X	输出电压		0		5.5	V
C_L	容性负载(2)	R_L = 无限			1	nF
		R_L = 5kΩ			2	
	负载调节	DAC 位于中标度，-10mA ≤ I_{OUT} ≤ 10mA，V_{DD} = 5.5V		0.1		mV/mA
	短路电流	V_{DD} = 1.8V，（每通道）满标度输出短接至 A_{GND}，或零标度输出短接至 V_{DD}		10		mA
		V_{DD} = 2.7V，（每通道）满标度输出短接至 A_{GND}，或零标度输出短接至 V_{DD}		25		
		V_{DD} = 5.5V，（每通道）满标度输出短接至 A_{GND}，或零标度输出短接至 V_{DD}		50		
	输出电压净空	至 V_{DD}（DAC 输出为空载）		0.05		V
	输出电压净空(2)	至 V_{DD}（负载电流 = 10mA@V_{DD} = 5.5V，负载电流 = 3mA@V_{DD} = 2.7V，负载电流 = 1mA@V_{DD} = 1.8V），DAC 代码 = 满标度	10			%FSR

(1) 代码之间的端点匹配，代码 4 到代码 1016（10 位）或代码 1 到代码 251（8 位）
(2) 未经生产测试

Copyright © 2018, Texas Instruments Incorporated

电气特征 (continued)

所有最小/最大规格的条件为 T_A = –40°C 至 +125°C，所有典型规格的条件为 T_A = 25°C，1.8V ≤ V_{DD} ≤ 5.5V，V_{REF}IN = 2.5V (V_{DD} ≥ 2.7V) 或 V_{REF}IN = 1.8V (V_{DD} ≤ 2.7V)，R_L= 5kΩ（至 A_{GND}），C_L = 200pF（至 A_{GND}），且数字输入处于 V_{DD} 或 A_{GND}（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
Z_O	直流输出阻抗	DAC 位于中标度		0.25		Ω
		DAC 位于代码 4		0.25		
		DAC 位于代码 1016		0.26		
DC-PSRR	电源抑制比（直流）	DAC 位于中标度；V_{DD} = 5V ± 10%		0.25		mV/V
动态性能						
t_{sett}	输出电压建立时间	1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR，R_L = 5kΩ，C_L = 200pF，V_{DD} = 5.5V		10		µs
SR	压摆率	R_L = 5kΩ，C_L = 200pF，V_{DD} = 5.5V		0.6		V/µs
	加电毛刺幅度	R_L = 5kΩ，C_L = 200pF		110		mV
V_n	输出噪声	0.1Hz 至 10Hz，DAC 位于中标度，V_{DD} = 5.5V		40		μV_{pp}
V_n	输出噪声	0.1Hz 至 100kHz 带宽，DAC 位于中标度，V_{DD} = 5.5V		0.05		mV_{rms}
V_n	输出噪声密度	1kHz 下测得，DAC 位于中标度，V_{DD} = 5.5V		0.2		µV/√Hz
		10kHz 下测得，DAC 位于中标度，V_{DD} = 5.5V		0.2		
AC-PSRR	电源抑制比（交流）	200mV 50/60Hz 正弦波叠加在电源电压上，DAC 位于中标度		–71		dB
	通道至通道交流串扰	邻近通道上的满标度摆幅		1.5		nV-s
	通道至通道直流串扰	所有通道上的满标度摆幅，在零标度或满标度位置测量通道		0.05		LSB
	代码变化毛刺脉冲	中间代码周围 ±1LSB 变化（包括馈通）		10		nV-s
	代码变化毛刺脉冲幅度	中间代码周围 ±1LSB 变化（包括馈通）		25		mV
电压基准输入						
	基准输入阻抗	所有通道均加电		12.5		kΩ
	基准输入电容			50		pF
数字输入						
	数字馈通	在 SCL = 1MHz 时，DAC 输出静态位于中标度		20		nV-s
	引脚电容	每引脚		10		pF
电源要求						
IV_{DD}	流入 V_{DD} 的电流	正常模式，所有 DAC 均位于中标度。SPI 静态。		3	5	mA
IV_{DD}	流入 V_{DD} 的电流	所有 DAC 均断电		50		µA

Copyright © 2018, Texas Instruments Incorporated

7.6 时序要求：I²C™ 标准模式

所有输入信号的时间从 VIL 到 V_{DD} 的 70%，1.8V ≤ V_{DD} ≤ 5.5V，1.8V ≤ V_{REF}IN ≤ V_{DD}，–40°C ≤ T_A ≤ +125°C，Vpull up = V_{DD} (1.8V ≤ V_{DD} ≤ 2.7V) 或 Vpull up = 2.7V 或 V_{DD} (2.7V ≤ V_{DD} ≤ 5.5V)

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			0.1	MHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	4.7			µs
t_{HDSTA}	重复启动后的保持时间	4			µs
t_{SUSTA}	重复启动设置时间	4.7			µs
t_{SUSTO}	停止条件设置时间	4			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	250			ns
t_{LOW}	SCL 时钟低电平周期	4700			ns
t_{HIGH}	SCL 时钟高电平周期	4700			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			1000	ns

7.7 时序要求：I²C™ 快速模式

所有输入信号的时间从 VIL 到 V_{DD} 的 70%，1.8V ≤ V_{DD} ≤ 5.5V，1.8V ≤ V_{REF}IN ≤ V_{DD}，–40°C ≤ T_A ≤ +125°C，Vpull up = V_{DD} (1.8V ≤ V_{DD} ≤ 2.7V) 或 Vpull up = 2.7V 或 V_{DD} (2.7V ≤ V_{DD} ≤ 5.5V)

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			0.4	MHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			µs
t_{HDSTA}	重复启动后的保持时间	0.6			µs
t_{SUSTA}	重复启动设置时间	0.6			µs
t_{SUSTO}	停止条件设置时间	0.6			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	100			ns
t_{LOW}	SCL 时钟低电平周期	1300			ns
t_{HIGH}	SCL 时钟高电平周期	600			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			300	ns

Copyright © 2018, Texas Instruments Incorporated

7.8 时序要求：I²C™ 快速+ 模式

所有输入信号的时间从 VIL 到 V_{DD} 的 70%，1.8V ≤ V_{DD} ≤ 5.5V，1.8V ≤ V_{REF}IN ≤ V_{DD}，–40°C ≤ T_A ≤ +125°C，Vpull up = V_{DD} (1.8V ≤ V_{DD} ≤ 2.7V) 或 Vpull up = 2.7V 或 V_{DD} (2.7V ≤ V_{DD} ≤ 5.5V)

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			1	MHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	0.5			µs
t_{HDSTA}	重复启动后的保持时间	0.26			µs
t_{SUSTA}	重复启动设置时间	0.26			µs
t_{SUSTO}	停止条件设置时间	0.26			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	50			ns
t_{LOW}	SCL 时钟低电平周期	0.5			µs
t_{HIGH}	SCL 时钟高电平周期	0.26			µs
t_F	时钟和数据下降时间			120	ns
t_R	时钟和数据上升时间			120	ns

7.9 时序要求：逻辑

所有输入信号的时间从 VIL 到 V_{DD} 的 70%，1.8V ≤ V_{DD} ≤ 5.5V，1.8V ≤ V_{REF}IN ≤ V_{DD}，–40°C ≤ T_A ≤ +125°C，Vpull up = V_{DD} (1.8V ≤ V_{DD} ≤ 2.7V) 或 Vpull up = 2.7V 或 V_{DD} (2.7V ≤ V_{DD} ≤ 5.5V)

		最小值	标称值	最大值	单位
t_{LDACAH}	SCL 下降沿至 $\overline{\text{LDAC}}$ 上升沿，1.7V ≤ V_{DD} ≤ 2.7V	20			ns
t_{LDACAH}	SCL 下降沿至 $\overline{\text{LDAC}}$ 上升沿，2.7V < V_{DD} ≤ 5.5V	20			ns
t_{LDACAL}	$\overline{\text{LDAC}}$ 下降沿至 SCL 下降沿，1.7V ≤ V_{DD} ≤ 5.5V	10			时钟周期
t_{LDACSH}	SCL 下降沿至 $\overline{\text{LDAC}}$ 上升沿，1.7V ≤ V_{DD} ≤ 2.7V	80			ns
t_{LDACSH}	SCL 下降沿至 $\overline{\text{LDAC}}$ 上升沿，2.7V < V_{DD} ≤ 5.5V	50			ns
t_{LDACSL}	SCL 下降沿至 $\overline{\text{LDAC}}$ 下降沿，1.7V ≤ V_{DD} ≤ 2.7V	20			ns
t_{LDACSL}	SCL 下降沿至 $\overline{\text{LDAC}}$ 下降沿，2.7V < V_{DD} ≤ 5.5V	20			ns
t_{LDACW}	$\overline{\text{LDAC}}$ 低电平时间，1.7V ≤ V_{DD} < 2.7V	30			ns
t_{LDACW}	$\overline{\text{LDAC}}$ 低电平时间，2.7V ≤ V_{DD} ≤ 5.5V	60			ns
t_{CLRW}	$\overline{\text{CLR}}$ 低电平时间，1.7V ≤ V_{DD} < 2.7V	30			ns
t_{CLRW}	$\overline{\text{CLR}}$ 低电平时间，2.7V ≤ V_{DD} ≤ 5.5V	60			ns

版权 © 2018, Texas Instruments Incorporated

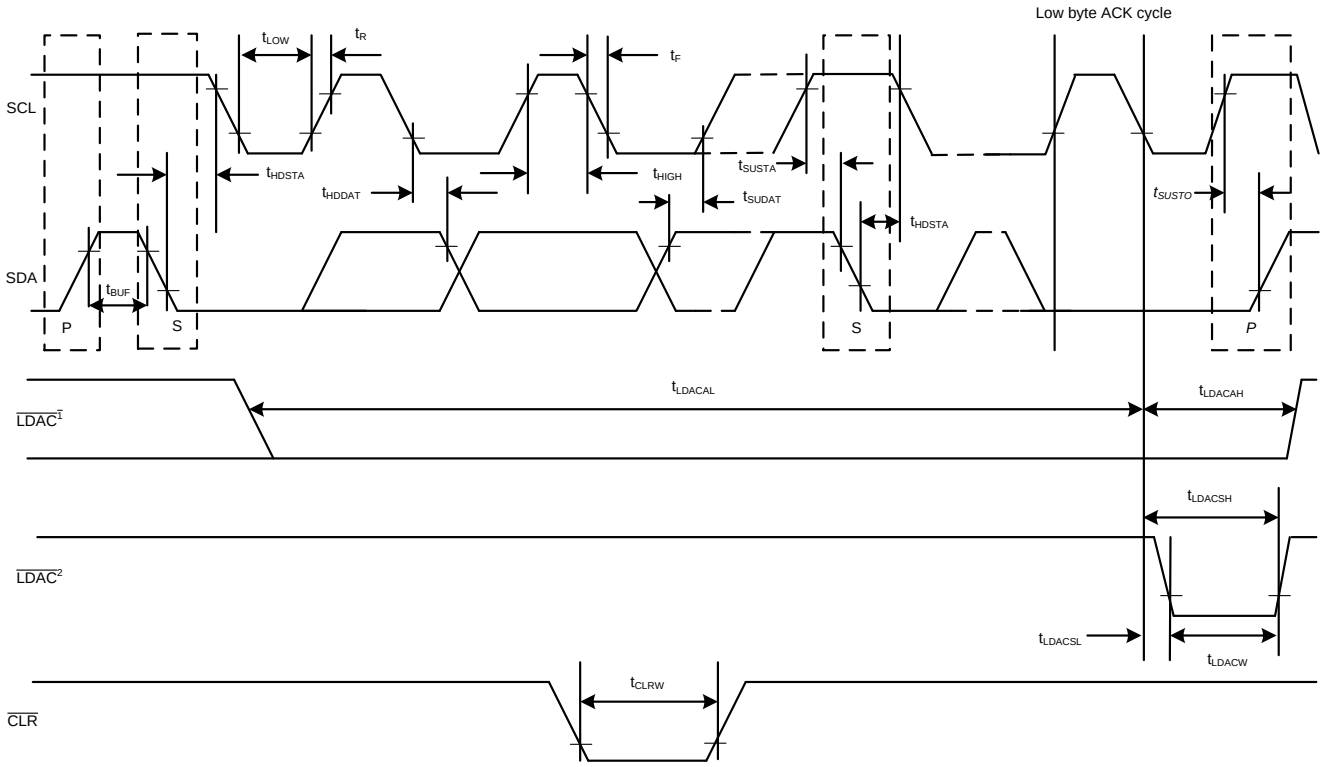

Low byte ACK cycle
SCL
SDA
tLOW
tR
tF
tHDSTA
tHDDAT
tHIGH
tSUSTA
tSUDAT
tHDSTA
tSUSTO
tBUF
P
S
S
P
tLDACAL
tLDACAH
LDAC1
tLDACSH
LDAC2
tLDACSL
tLDACW
tCLRW
CLR

图 **1.** 串行接口时序图

7.10 典型特性：1.8V

T_A = 25°C，V_{DD} = 1.8V，基准电压 = 1.8V，且 DAC 输出为空载（除非另有说明）

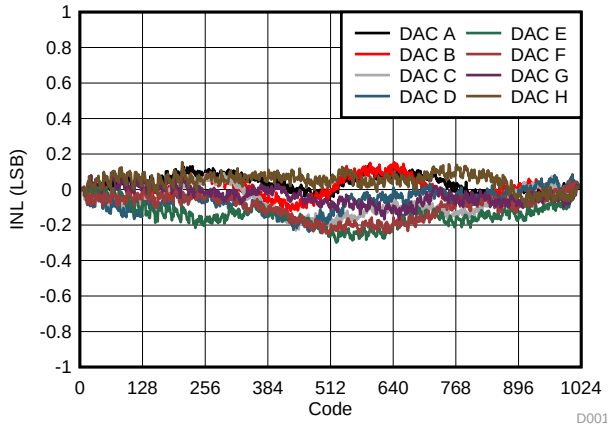


图 **2.** 积分线性误差与数字输入代码间的关系

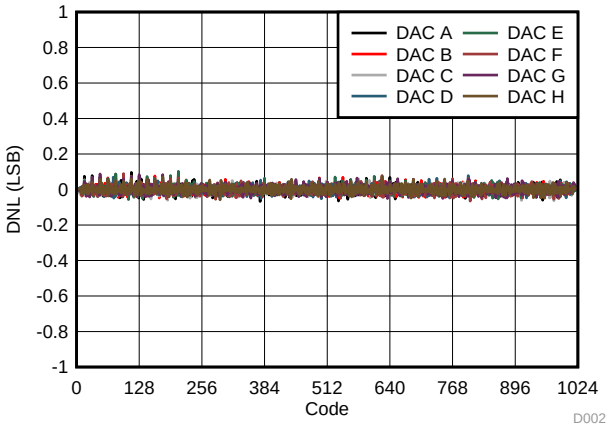


图 **3.** 差分线性误差与数字输入代码间的关系

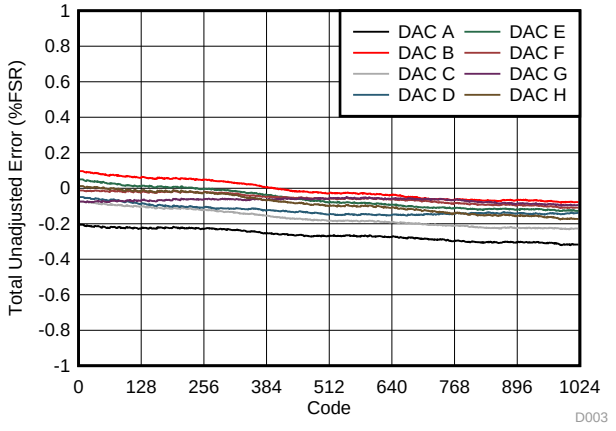


图 **4.** 总体未调整误差与数字输入代码间的关系

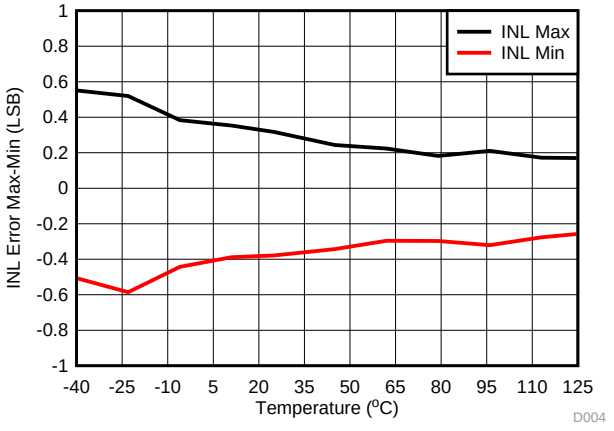


图 **5.** 积分线性误差与温度间的关系

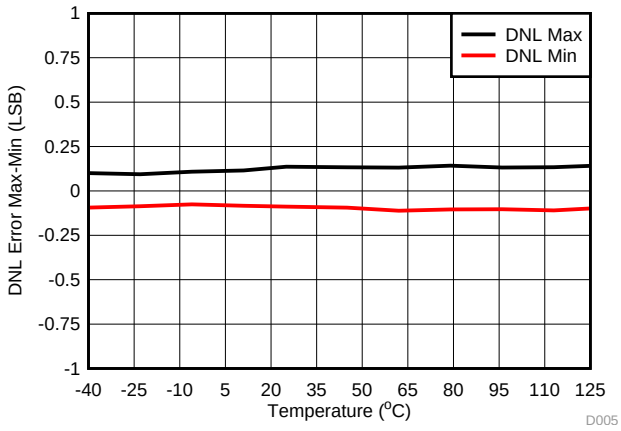


图 **6.** 差分线性误差与温度间的关系

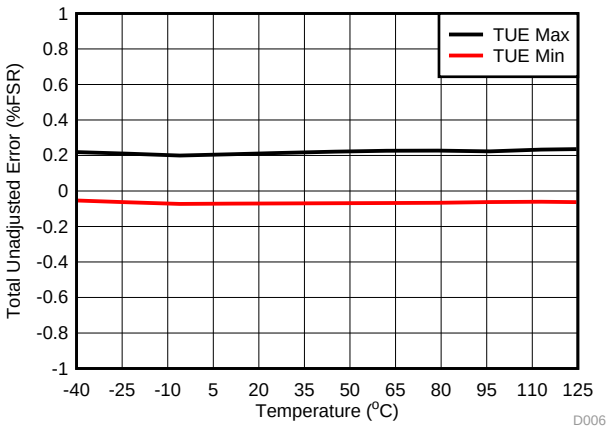


图 **7.** 总体未调整误差与温度间的关系

版权 © 2018, Texas Instruments Incorporated

典型特性：1.8V (接下页)

T_A = 25°C，V_{DD} = 1.8V，基准电压 = 1.8V，且 DAC 输出为空载（除非另有说明）

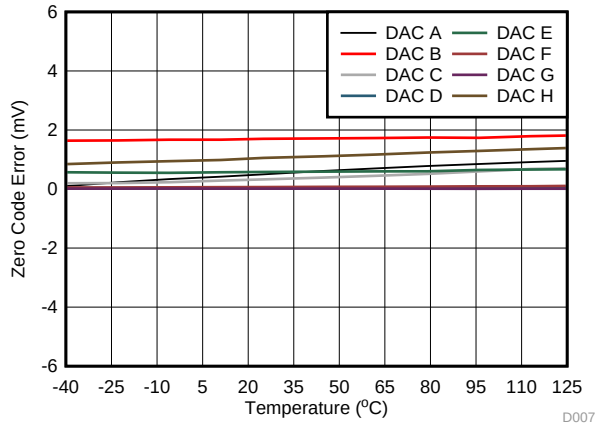


图 **8.** 零代码误差与温度间的关系

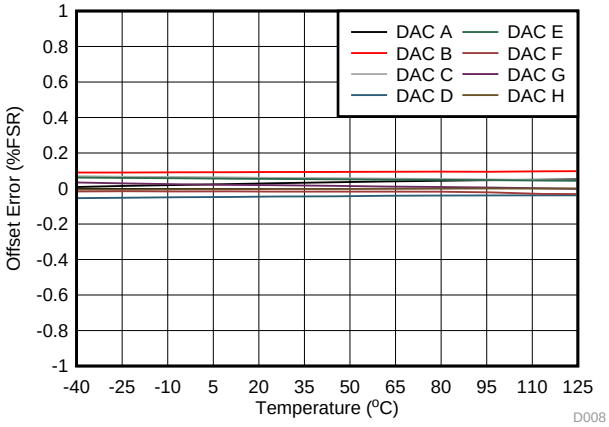


图 **9.** 偏移误差与温度间的关系

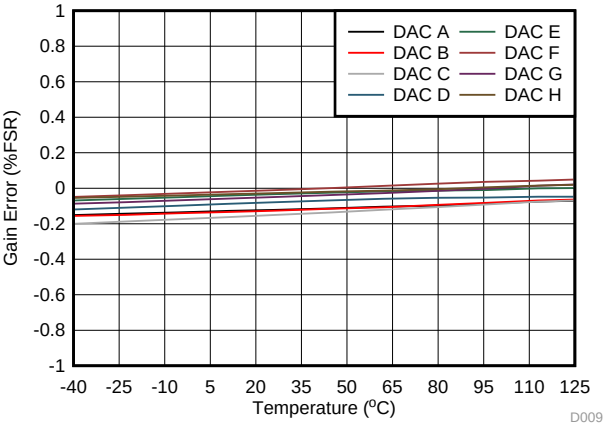


图 **10.** 增益误差与温度间的关系

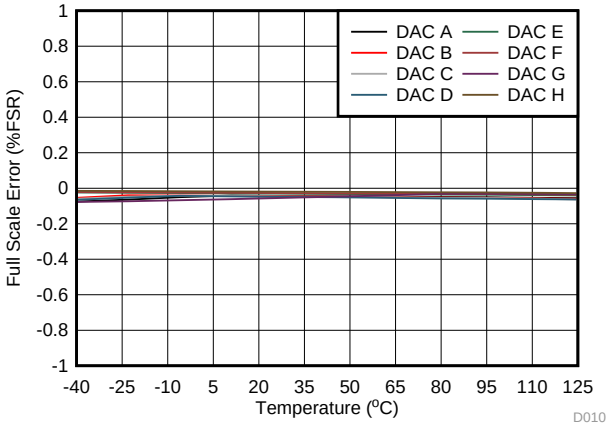


图 **11.** 满标度误差与温度间的关系

7.11 典型特性：5.5V

T_A = 25°C，V_{DD} = 5.5V，基准电压 = 5.5V，且 DAC 输出为空载（除非另有说明）

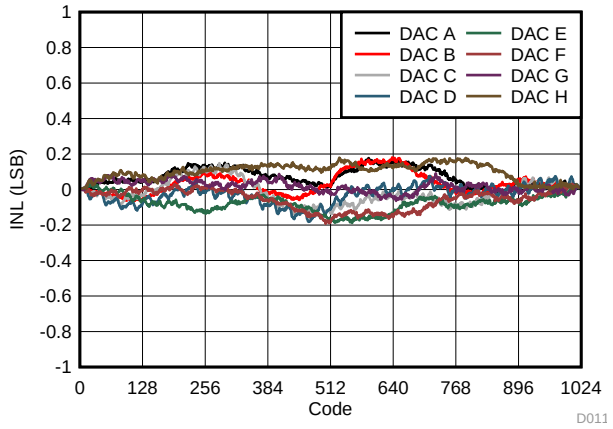


图 **12.** 积分线性误差与数字输入代码间的关系

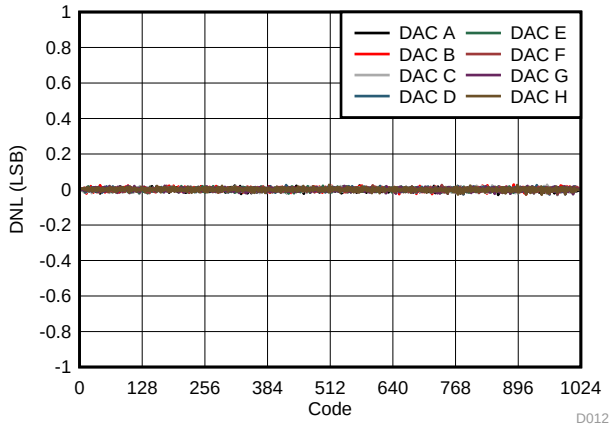


图 **13.** 差分线性误差与数字输入代码间的关系

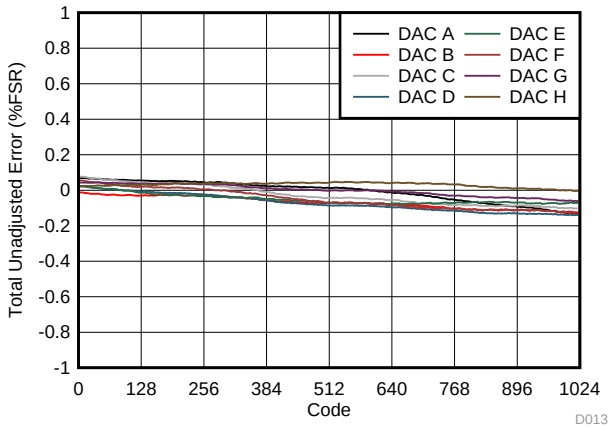


图 **14.** 总体未调整误差与数字输入代码间的关系

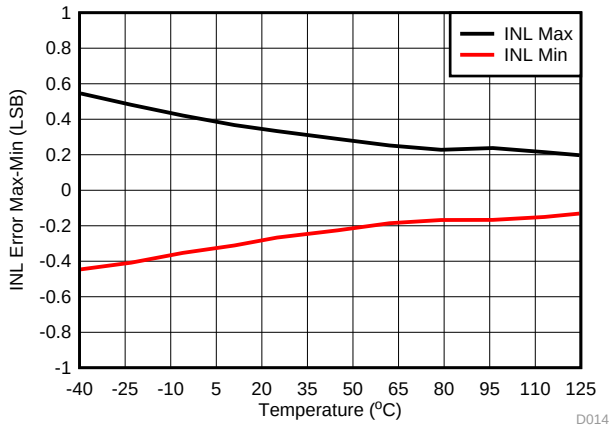


图 **15.** 积分线性误差与温度间的关系

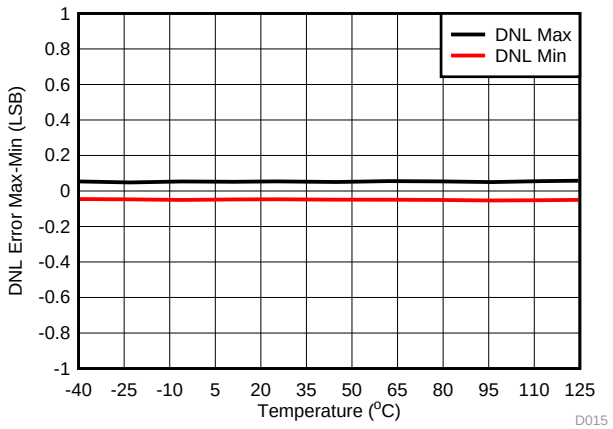


图 **16.** 差分线性误差与温度间的关系

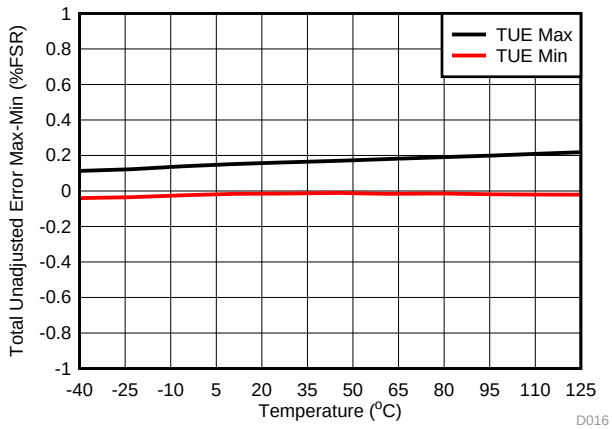


图 **17.** 总体未调整误差与温度间的关系

版权 © 2018, Texas Instruments Incorporated

典型特性：5.5V (接下页)

T_A = 25°C，V_{DD} = 5.5V，基准电压 = 5.5V，且 DAC 输出为空载（除非另有说明）

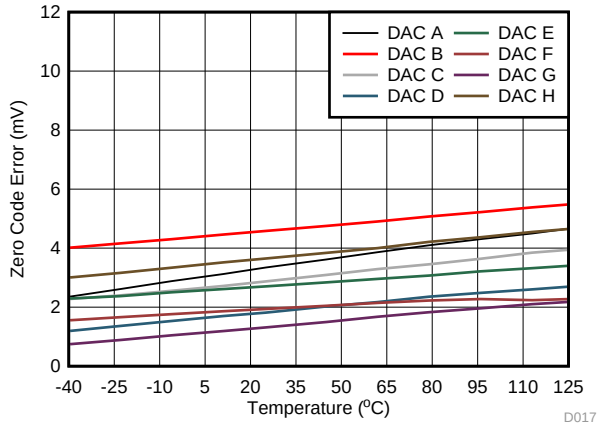


图 **18.** 零代码误差与温度间的关系

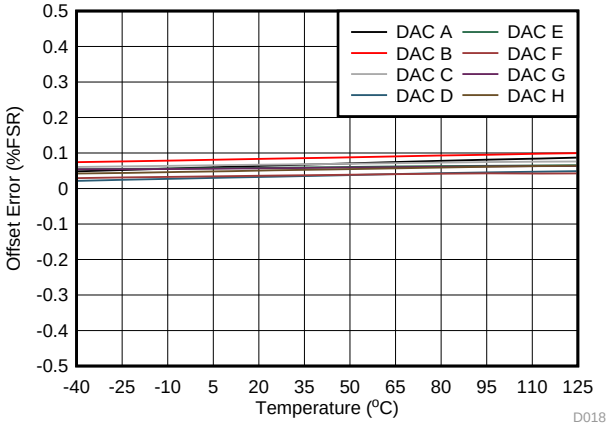


图 **19.** 偏移误差与温度间的关系

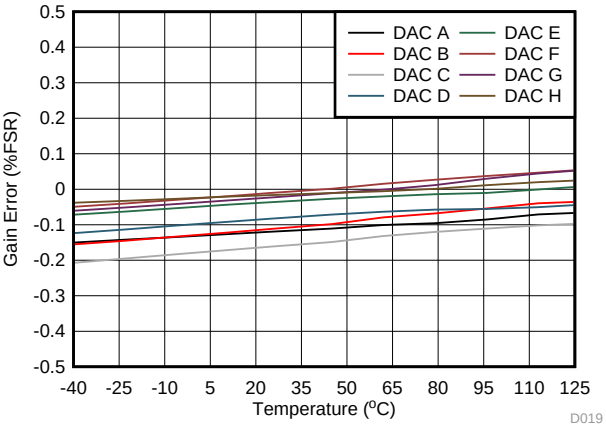


图 **20.** 增益误差与温度间的关系

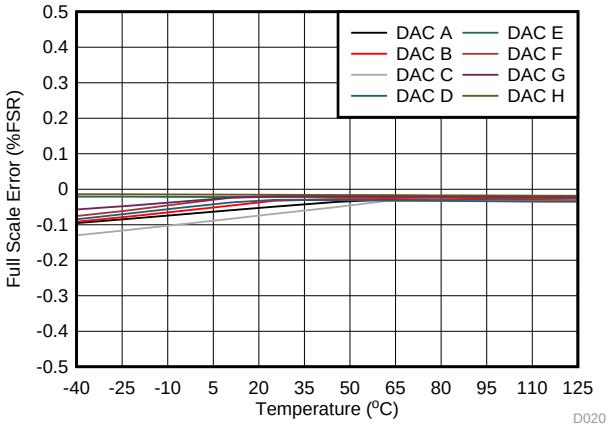


图 **21.** 满标度误差与温度间的关系

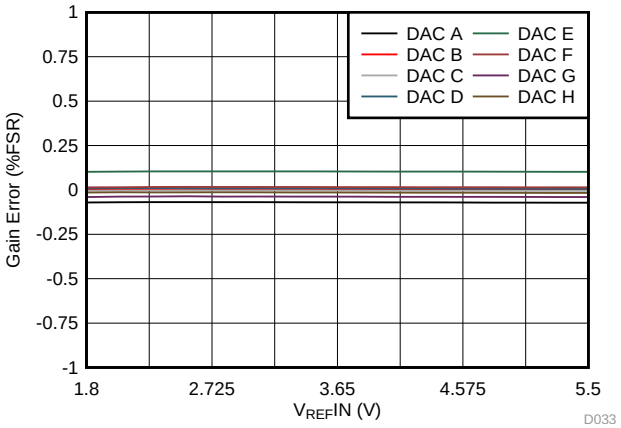


图 **22.** 增益误差与基准电压间的关系

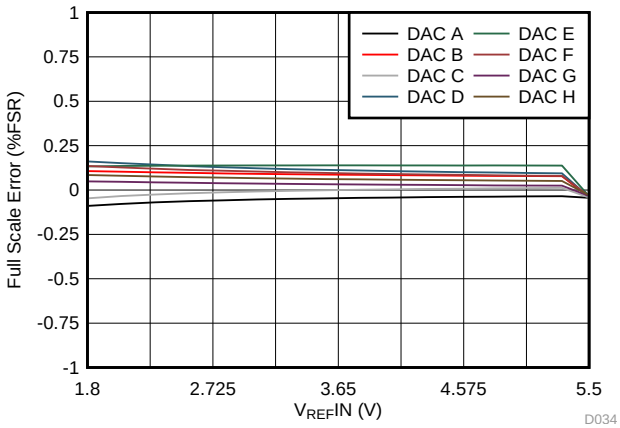
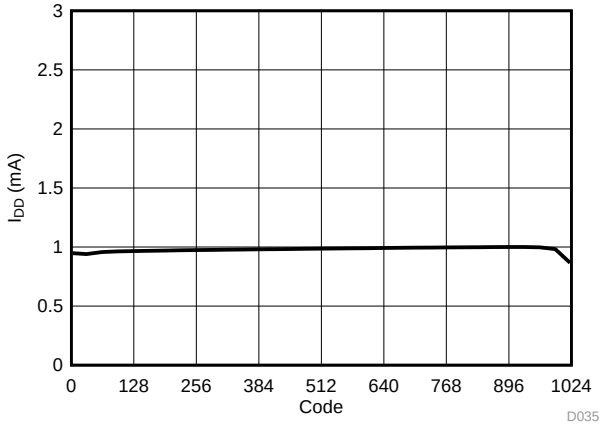


图 **23.** 满标度误差与基准电压间的关系

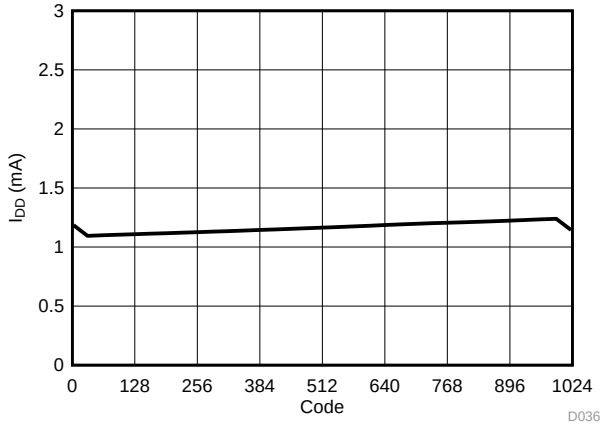
典型特性：5.5V (接下页)

T_A = 25°C，V_{DD} = 5.5V，基准电压 = 5.5V，且 DAC 输出为空载（除非另有说明）



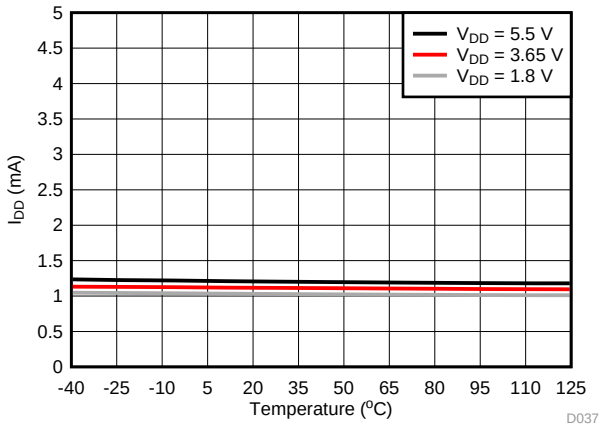
V_{DD} = 1.8V 且基准电压 = 1.8V

图 **24.** 电源电流与数字输入代码间的关系



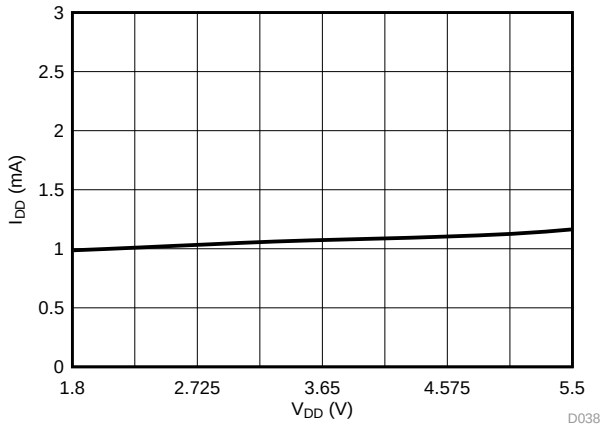
V_{DD} = 5.5V 且基准电压 = 5.5V

图 **25.** 电源电流与数字输入代码间的关系



DAC 代码位于中标度

图 **26.** 电源电流与温度间的关系



DAC 代码位于中标度且基准电压绑定到 V_{DD}

图 **27.** 电源电流与电源电压间的关系

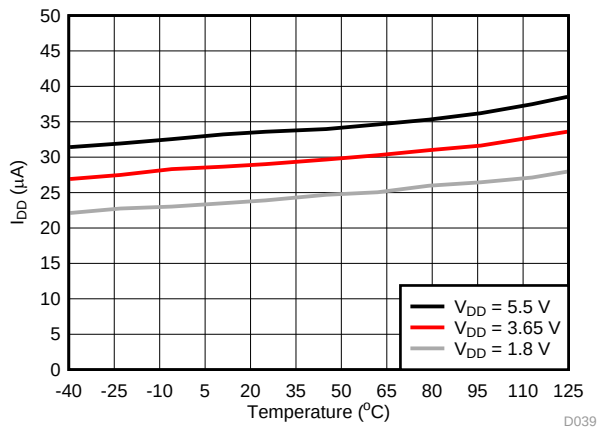
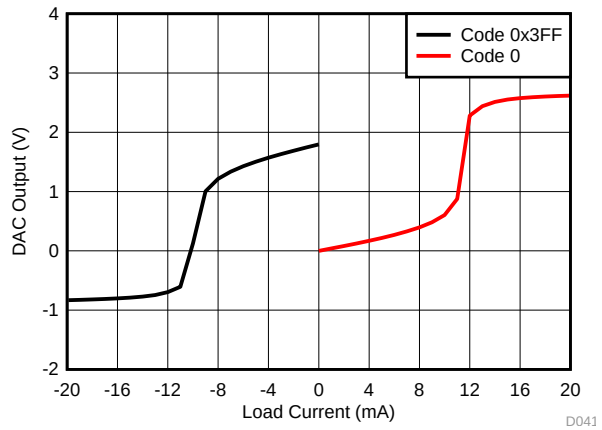


图 **28.** 断电电流与温度间的关系



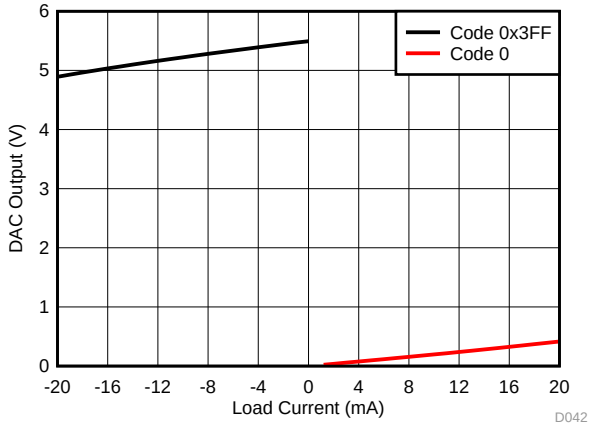
V_{DD} = 1.8V 且基准电压 = 1.8V

图 **29.** 拉电流和灌电流能力

版权 © 2018, Texas Instruments Incorporated

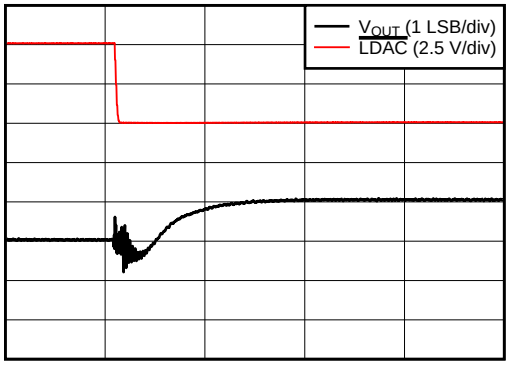
典型特性：5.5V (接下页)

T_A = 25°C，V_{DD} = 5.5V，基准电压 = 5.5V，且 DAC 输出为空载（除非另有说明）



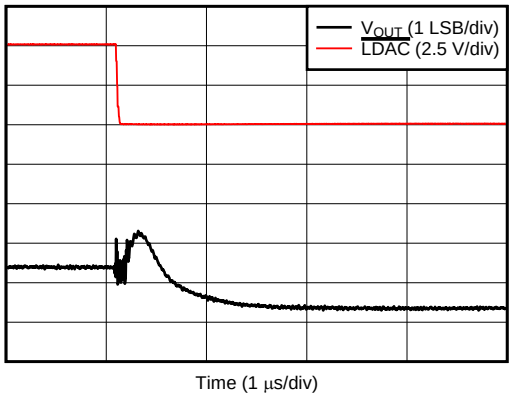
V_{DD} = 5.5V 且基准电压 = 5.5V

图 **30.** 拉电流和灌电流能力



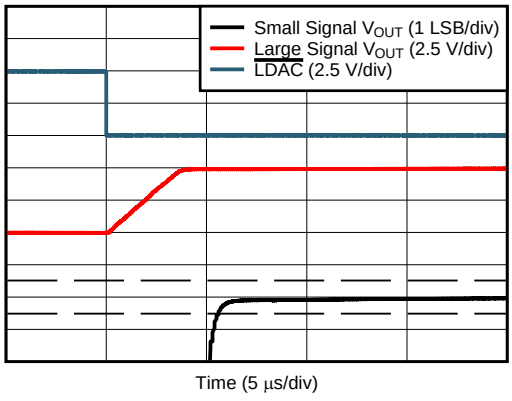
DAC 代码从中标度 – 1 转换到中标度，DAC 输出负载为 5kΩ//200pF

图 **31.** 干扰脉冲，上升沿，**1LSB** 步长



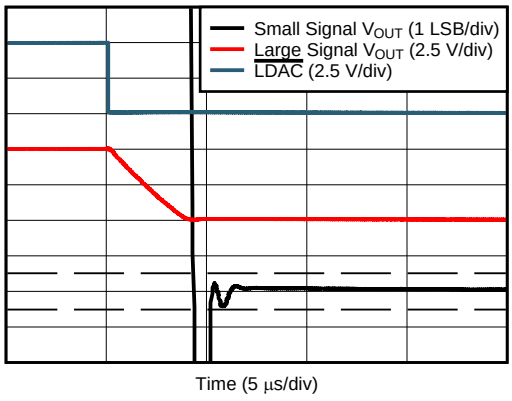
DAC 代码从中标度转换到中标度 – 1LSB，DAC 输出负载为 5kΩ//200pF

图 **32.** 毛刺脉冲，下降沿，**1LSB** 步长



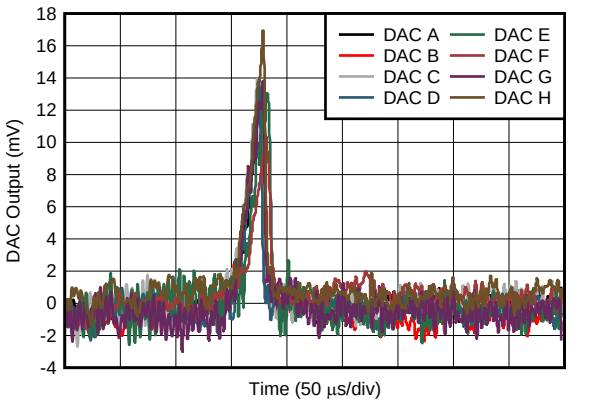
DAC 代码从 102d 转换到 922d，显示的是典型通道，DAC 输出负载为 5kΩ//200pF

图 **33.** 满标度建立时间，上升沿



DAC 代码从 922d 转换到 102d，显示的是典型通道，DAC 输出负载为 5kΩ//200pF

图 **34.** 满标度建立时间，下降沿

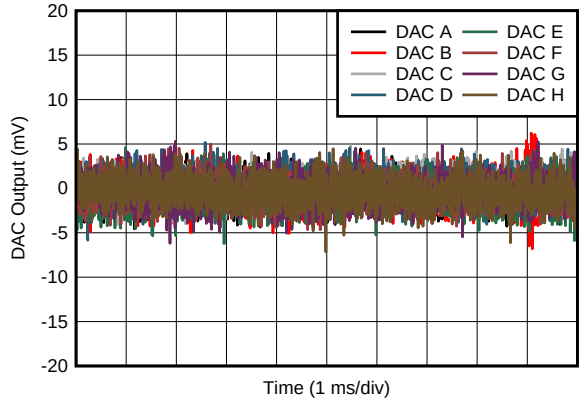


DAC 输出负载为 5kΩ//200pF

图 **35.** 加电毛刺

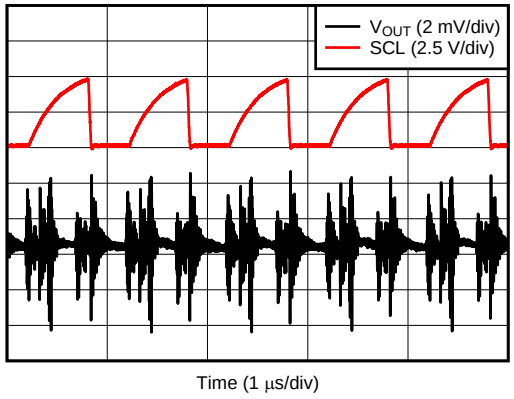
典型特性：5.5V (接下页)

T_A = 25°C，V_{DD} = 5.5V，基准电压 = 5.5V，且 DAC 输出为空载（除非另有说明）



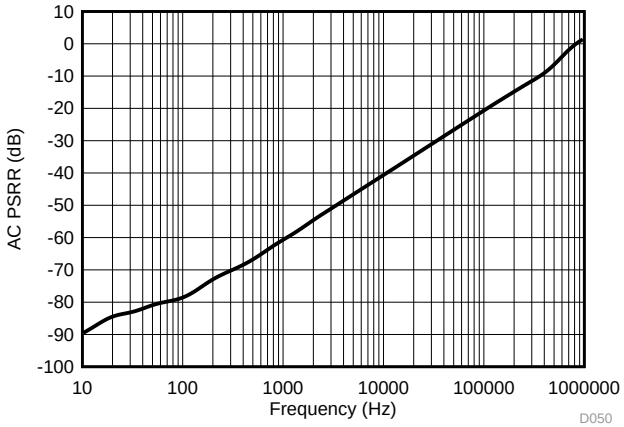
DAC 输出负载为 5kΩ//200pF

图 **36.** 断电毛刺



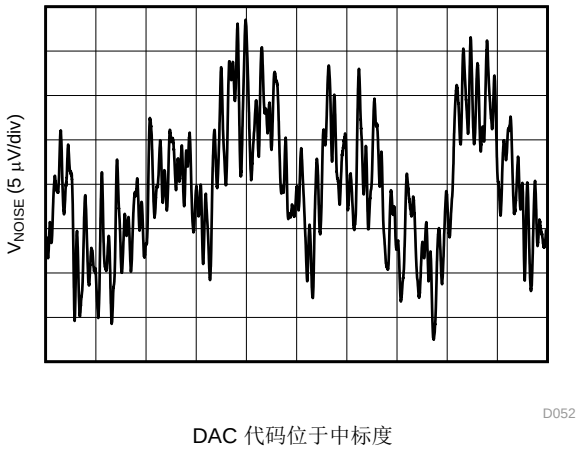
DAC 代码位于中标度，基准电压绑定到 V_{DD}，且输出负载为 5kΩ//200pF

图 **37. SCL = 1MHz** 时的时钟馈通



DAC 代码位于满标度，输出负载为 5kΩ//200pF，V_{DD} = 5.25V + 0.2V_{PP}，且 V_{REF}IN = 4.5V

图 **38. DAC** 输出交流 **PSRR** 与频率间的关系



DAC 代码位于中标度

图 **39. DAC** 输出噪声 **0.1Hz** 至 **10Hz**

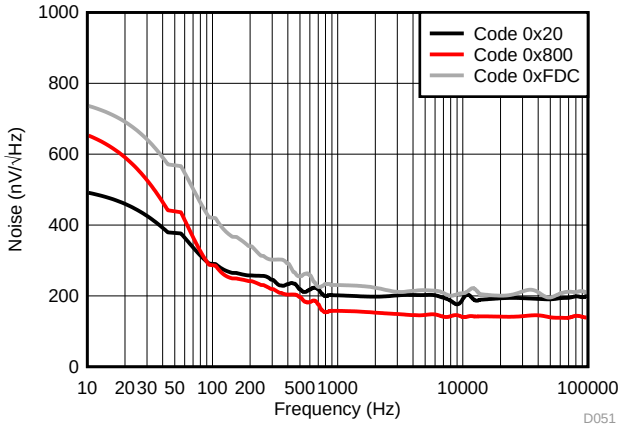


图 **40. DAC** 输出噪声频谱密度

版权 © 2018, Texas Instruments Incorporated

7.12 典型特性

T_A = 25°C，且 DAC 输出为空载（除非另有说明）

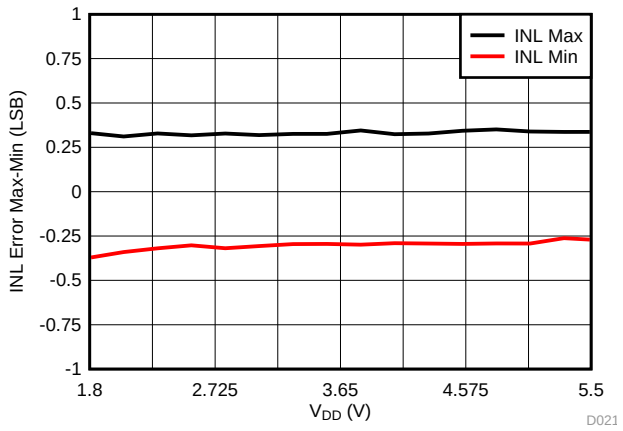


图 **41.** 积分线性误差与电源电压间的关系

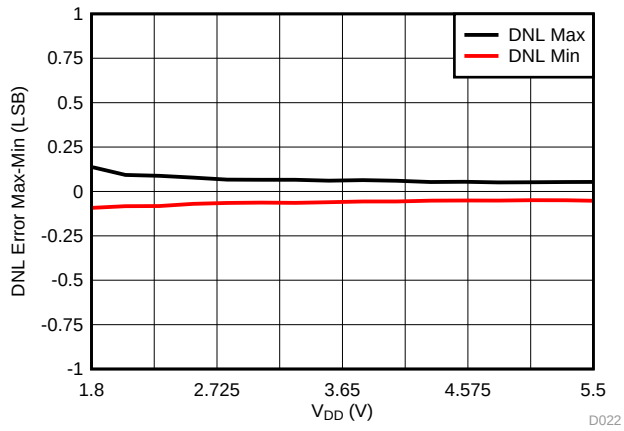


图 **42.** 差分线性误差与电源电压间的关系

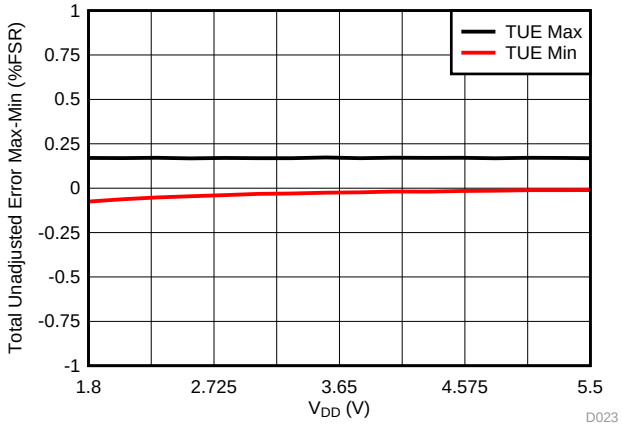


图 **43.** 总体未调整误差与电源电压间的关系

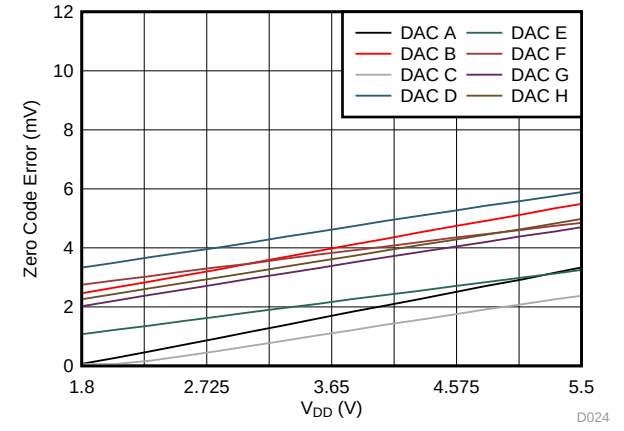


图 **44.** 零代码误差与电源电压间的关系

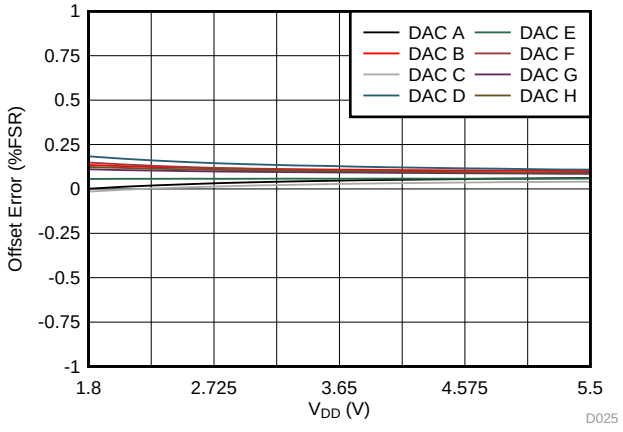


图 **45.** 偏移误差与电源电压间的关系

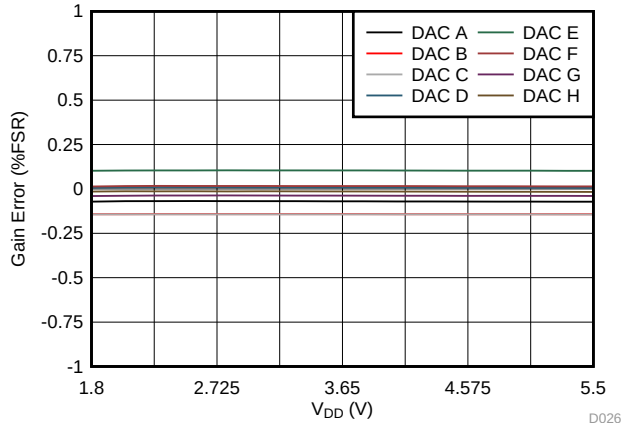


图 **46.** 增益误差与电源电压间的关系

版权 © 2018, Texas Instruments Incorporated

7.13 典型特性

T_A = 25°C，V_{DD} = 5.5V，且 DAC 输出为空载（除非另有说明）

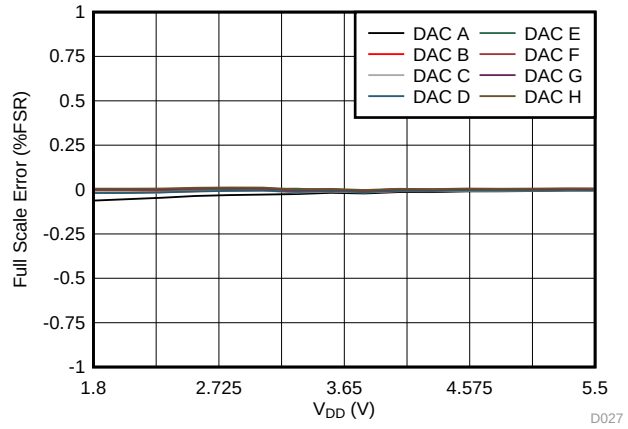


图 **47.** 满标度误差与电源电压间的关系

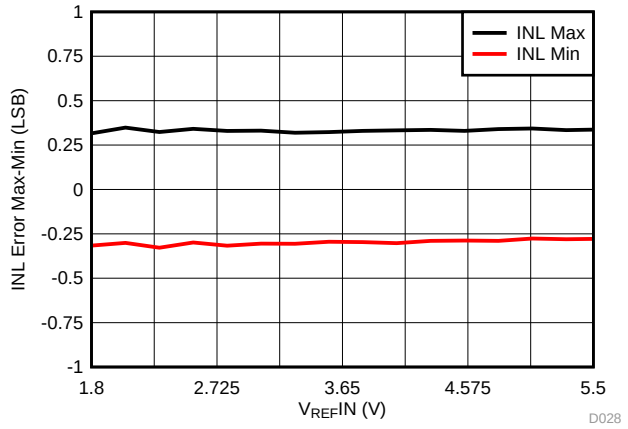


图 **48.** 积分线性误差与基准电压间的关系

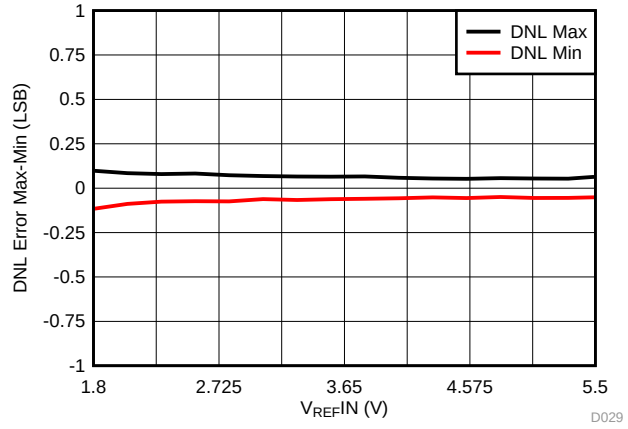


图 **49.** 差分线性误差与基准电压间的关系

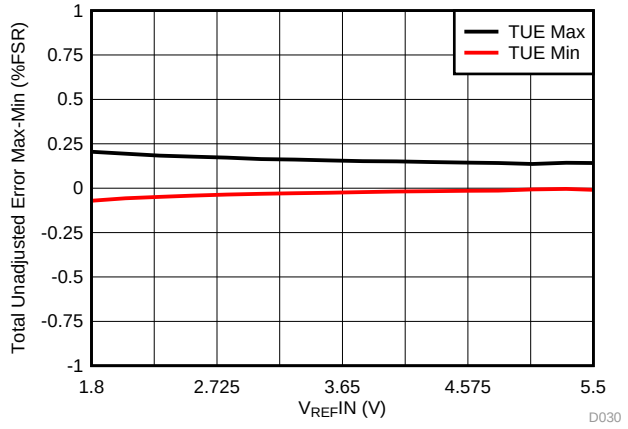


图 **50.** 总体未调整误差与基准电压间的关系

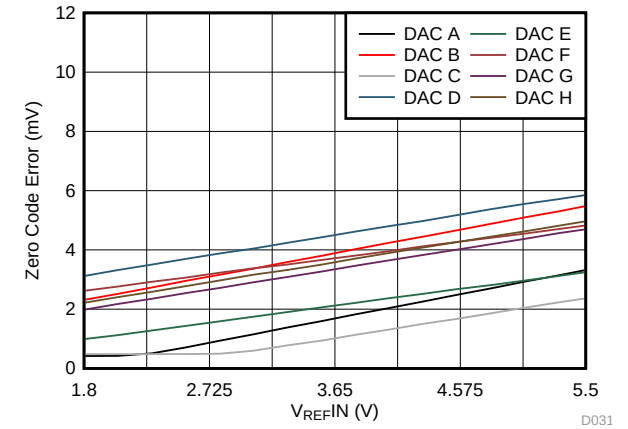


图 **51.** 零代码误差与基准电压间的关系

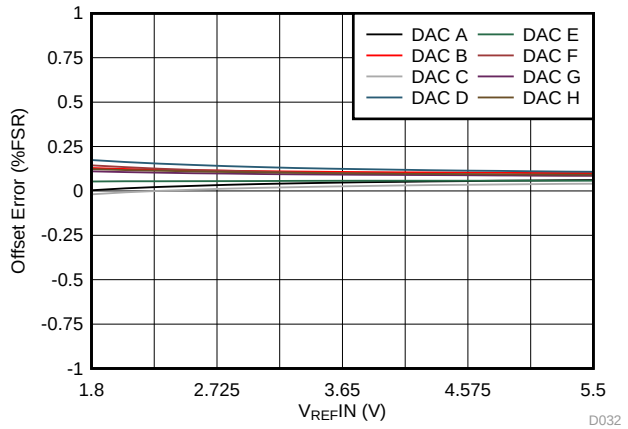


图 **52.** 偏移误差与基准电压间的关系

版权 © 2018, Texas Instruments Incorporated

8 详细 说明

8.1 概述

DAC53608 和 DAC43608 是引脚兼容的八通道缓冲电压输出数模转换器 (DAC) 系列，具有 10 位和 8 位分辨率。此系列的外部基准电压范围为 1.8V 至 5.5V，可实现 1.8V 至 5.5V 的满标度输出电压。这些器件在电源范围内保证具有单调性。

与器件之间的通信通过与 I²C™ 兼容的接口实现。这些器件支持 I²C™ 标准模式 (100kbps)、快速模式 (400kbps) 和快速+ 模式 (1Mbps)。这些器件包含用于同时进行 DAC 更新的负载 DAC ($\overline{\text{LDAC}}$) 引脚。

DACx3608 器件采用微型 QFN 封装，额定工作温度范围为 -40°C 至 +125°C。

8.2 功能框图

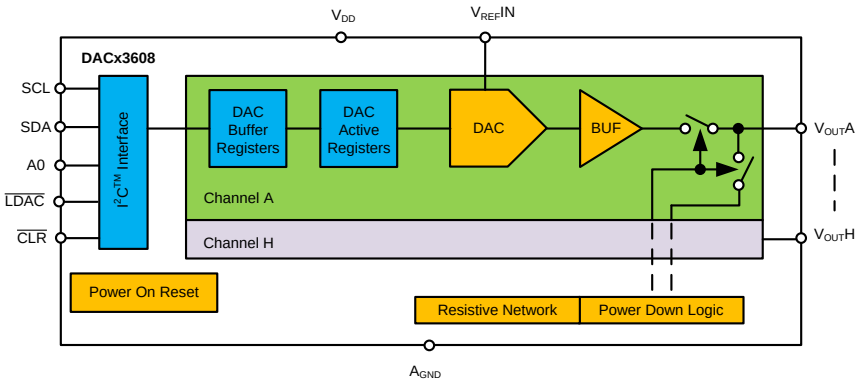


图 53. DACx3608 DAC 框图

8.3 特性 说明

8.3.1 数模转换器 (DAC) 架构

DACx3608 系列器件中的每个输出通道均包含具有输出缓冲放大器的串式架构。图 54 显示了 DAC 架构的框图。

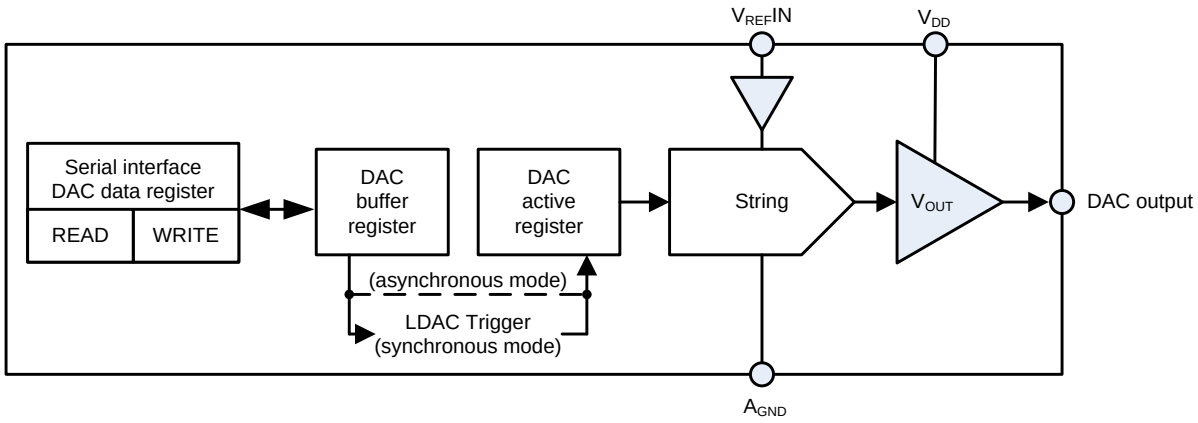


图 54. DACx3608 DAC 架构

8.3.1.1 DAC 传递函数

该器件以直接二进制格式将输入数据写入各个 DAC 数据寄存器。发生加电或复位事件后，该器件会将所有 DAC 寄存器设置为零代码。公式 1 显示了 DAC 传递函数。

$$V_{OUT}X = \frac{DACn_DATA}{2^N} \times V_{REF}IN \quad (1)$$

其中：

- N = 以位数表示的分辨率
  - 10 (DAC53608) 或 8 (DAC43608)
- DACn_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值
- DACn_DATA 范围为 0 至 $2^N - 1$
- $V_{REF}IN$ 是 DAC 基准电压

8.3.1.2 DAC 寄存器更新和 $\overline{LDAC}$ 功能

该器件将写入 DAC 数据寄存器的数据存储在 DAC 缓冲寄存器中。将 DAC 缓冲寄存器中的数据传输到 DAC 有效寄存器可以设置为立即发生（异步模式）或由 $\overline{LDAC}$ 触发器启动（同步模式）。更新 DAC 有效寄存器后，DAC 输出将更改为新值。

每个 DAC 通道的更新模式由 $\overline{LDAC}$ 引脚的状态决定。

在异步模式下（在执行 DAC 写命令之前，$\overline{LDAC}$ = 0），向 DAC 数据寄存器写入内容会导致在 I^2C^{TM} 帧结束时立即更新 DAC 有效寄存器和 DAC 输出。

在同步模式下（在执行 DAC 写命令之前，$\overline{LDAC}$ = 1），向 DAC 数据寄存器写入内容不会自动更新 DAC 输出。而是在 $\overline{LDAC}$ 拉至 0 后发生更新。同步更新模式支持同时更新所有 DAC 输出。

8.3.1.3 $\overline{CLR}$ 功能

$\overline{CLR}$ 引脚是 DAC 的异步输入引脚。此引脚被拉低（逻辑 0）时，DAC 缓冲器和 DAC 有效寄存器为零代码。

8.3.1.4 输出放大器

输出缓冲放大器在输出端产生轨至轨电压，使最大输出范围为 0V 至 V_{DD}。公式 1 表明 DAC 输出的满标度输出范围由 $V_{REF}IN$ 引脚上的电压决定

版权 © 2018, Texas Instruments Incorporated

特性 说明 (接下页)

8.3.2 基准

DACx3608 需要外部基准才能工作。但是，基准引脚 $V_{REF}IN$ 和电源引脚 V_{DD} 可以连接在一起。基准输入引脚电压范围为 1.8V 至 V_{DD}。所有通道都加电时，此引脚的典型输入阻抗为 12.5kΩ。

8.3.3 上电复位 (POR)

DACx3608 系列器件包含上电复位 (POR) 功能，可在加电时控制输出电压。在建立 V_{DD} 电源后，便会发出 POR 事件。POR 使所有寄存器初始化为默认值，只有在 V_{DD} 达到 DAC 工作范围后的 5ms 之后，与该器件的通信才有效。DAC 数据寄存器的默认值为零代码。DAC 输出保持为加电电压，直到向通道写入有效命令为止。

该器件加电时，POR 电路将器件设置为默认模式。POR 电路需要特定的 V_{DD} 电平（如图 55 所示）才能确保内部电容器在加电时放电并使器件复位。为了确保发生 POR，V_{DD} 小于 0.7V 的时间必须至少为 1ms。当 V_{DD} 降至低于 1.7V 但仍高于 0.7V（显示为未定义区域）时，该器件在所有指定的温度和电源条件下可能会也可能不会复位。在这种情况下，请启动 POR。当 V_{DD} 保持为大于 1.7V 时，不会发生 POR。

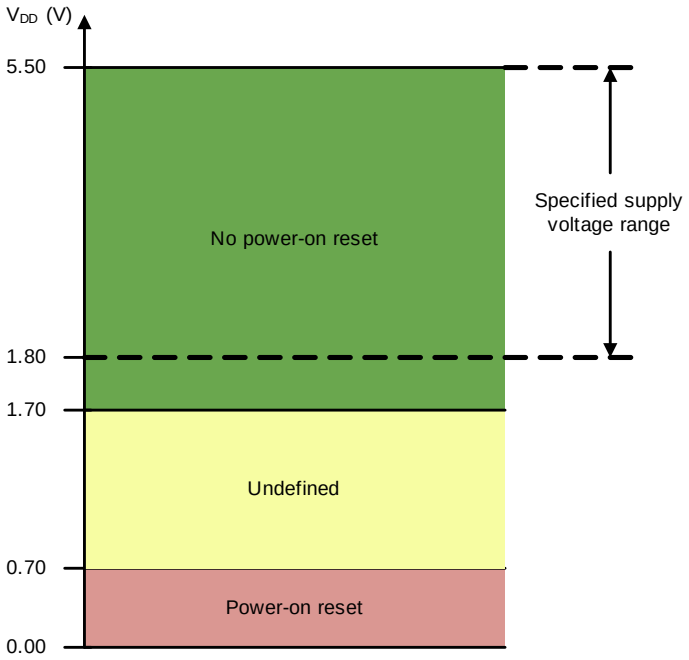


图 55. V_{DD} POR 电路的阈值电平

8.3.4 软件复位

通过将保留代码 1010b 写入 TRIGGER 寄存器（地址 02h）中的 SW-RST 位即可启动器件软件复位事件。

8.4 器件功能模式

DACx3608 有两种工作模式：正常模式和断电模式。

8.4.1 断电模式

DACx3608 DAC 输出放大器可通过 DEVICE_CONFIG 寄存器进行独立或全局关断（10K 至 A_{GND}）。在此状态下，该器件的电流消耗为 50μA (V_{DD} = 1.8V)。加电时，所有输出通道缓冲放大器在断电至 10K 模式下启动，直到通过将 0 写入每通道断电寄存器来发出加电命令为止。

8.5 编程

DACx3608 器件具有 2 线制串行接口：SCL、SDA 和一个地址引脚 A0，如引脚配置和功能中所示。I^2C^{TM} 总线由数据线 (SDA) 和带上拉结构的时钟线 (SCL) 组成。当总线空闲时，SDA 和 SCL 线都被拉高。所有与 I^2C^{TM} 兼容的器件通过开漏 I/O 引脚、SDA 和 SCL 连接到 I^2C^{TM} 总线。

版权 © 2018, Texas Instruments Incorporated

编程 (接下页)

I²C™ 规范规定控制通信的器件称为主器件，而由主器件控制的器件称为从器件。主器件产生 SCL 信号。主器件还在总线上生成特殊的时序条件（启动条件、重复启动条件和停止条件）来指示数据传输的开始或停止。器件寻址由主器件完成。I²C™ 总线上的主器件通常是微控制器或数字信号处理器 (DSP)。DACx3608 系列在 I²C™ 总线上充当从器件。从器件确认主器件的命令，并在主器件的控制下接收或发送数据。

通常，DACx3608 系列充当从接收器。主器件写入 DACx3608（从器件）。但是，如果主器件需要 DACx3608 内部寄存器数据，则 DACx3608 系列充当从发送器。在这种情况下，主器件从 DACx3608 读取。根据 I²C™ 术语，读和写指的是主器件。

DACx3608 系列是从器件，支持以下数据传输模式：

- 标准模式 (100kbps)
- 快速模式 (400kbps)
- 快速+ 模式 (1.0Mbps)

标准模式和快速模式的数据传输协议完全相同，因此在本文档中将它们称为 F/S 模式。快速+ 模式协议在数据传输速度方面受支持，但在输出电流方面不受支持。与标准和快速模式的情况类似，低电平输出电流为 3mA。DACx3608 系列支持 7 位寻址。不支持 10 位寻址模式。该器件支持通用呼叫复位功能。发送以下序列会启动器件内的软件复位：启动/重复启动、00h、06h、停止。在 ACK 位的上升沿（在第二个字节之后）在器件内进行复位置位。

除了特定的时序信号之外，I²C™ 接口还使用串行字节。在每个字节结束时，第九个时钟周期产生并检测确认信号。确认是指 SDA 线在第九个时钟周期的高电平期间被拉低。非确认是指 SDA 线在第九个时钟周期的高电平期间保持高电平，如图 56 所示。

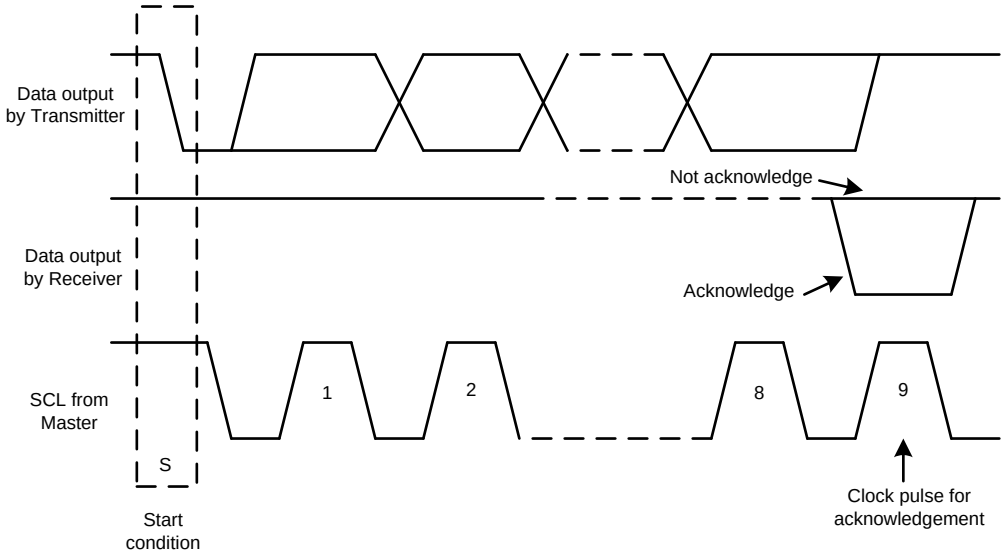


图 **56. I²C™ 总线上的确认和非确认**

8.5.1 F/S 模式协议

1. 主器件通过产生启动条件来启动数据传输。启动条件是当 SCL 为高电平时在 SDA 线上发生从高到低的转换，如图 57 所示。所有与 I²C™ 兼容的器件都会识别启动条件。

版权 © 2018, Texas Instruments Incorporated

编程 (接下页)

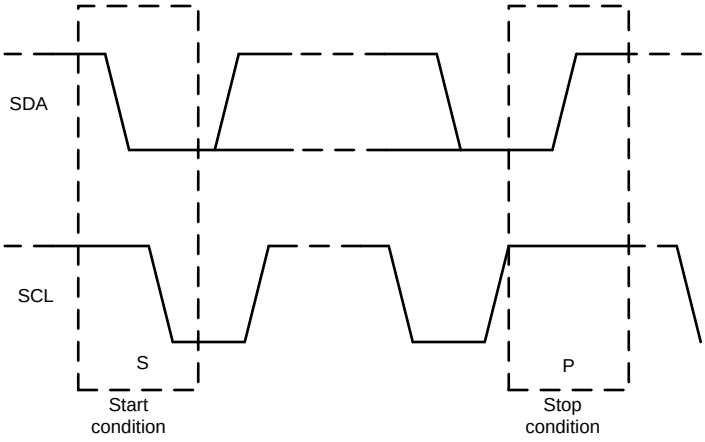


图 **57.** 启动和停止条件

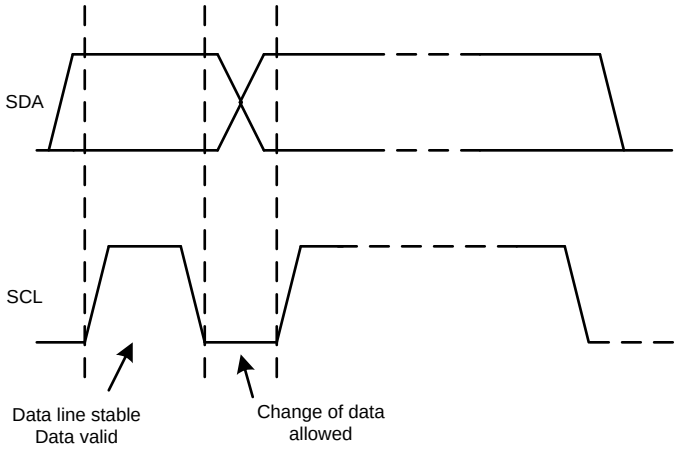


图 **58.** I^2C^{TM} 总线上的位传输

2. 主器件随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 (R/W)。在所有传输期间，主器件确保数据有效。有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定，如图 58 所示。所有器件都识别主器件发送的地址，并将其与内部固定地址进行比较。只有具有匹配地址的从器件才会通过在第 9 个 SCL 周期的整个高电平期间拉低 SDA 线来产生确认（如图 56 所示，在第 9 个 SCL 周期的整个高电平期间将 SDA 线拉低）。在检测到该确认时，主器件便知道已建立与从器件的通信链路。
3. 主器件产生更多的 SCL 周期，以便向从器件发送（R/W 位为 0）数据或接收（R/W 位为 1）数据。在任一种情况下，接收器都必须确认发送器发送的数据。因此，确认信号可由主器件或从器件生成，具体取决于哪一方是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，并可根据需要继续。
4. 为了用信号指示数据传输结束，主器件通过在 SCL 线处于高电平期间将 SDA 线从高电平拉低来产生停止条件（请参阅 图 57）。此操作将释放总线并停止与寻址的从器件之间的通信链路。所有与 I^2C^{TM} 兼容的器件都会识别停止条件。在收到停止条件后，将释放总线，然后所有从器件等待启动条件，接着是匹配的地址。

版权 © 2018, Texas Instruments Incorporated

编程 (接下页)

8.5.2 DACx3608 I²C™ 更新序列

对于单次更新，DACx3608 需要一个启动条件、一个有效的 I²C™ 地址字节、一个命令字节和两个数据字节（最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)），如表 1 所示。

表 1. 更新序列

MSB	....	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
地址 (A) 字节				命令字节				MSDB				LSDB			
DB [32:24]				DB [23:16]				DB [15:8]				DB [7:0]			

收到每个字节后，DACx3608 系列通过在单个时钟脉冲的高电平期间拉低 SDA 线来确认该字节，如图 59 所示。这四个字节和确认周期构成了单次更新所需的 36 个时钟周期。一个有效的 I²C™ 地址字节可选择 DACx3608 器件。

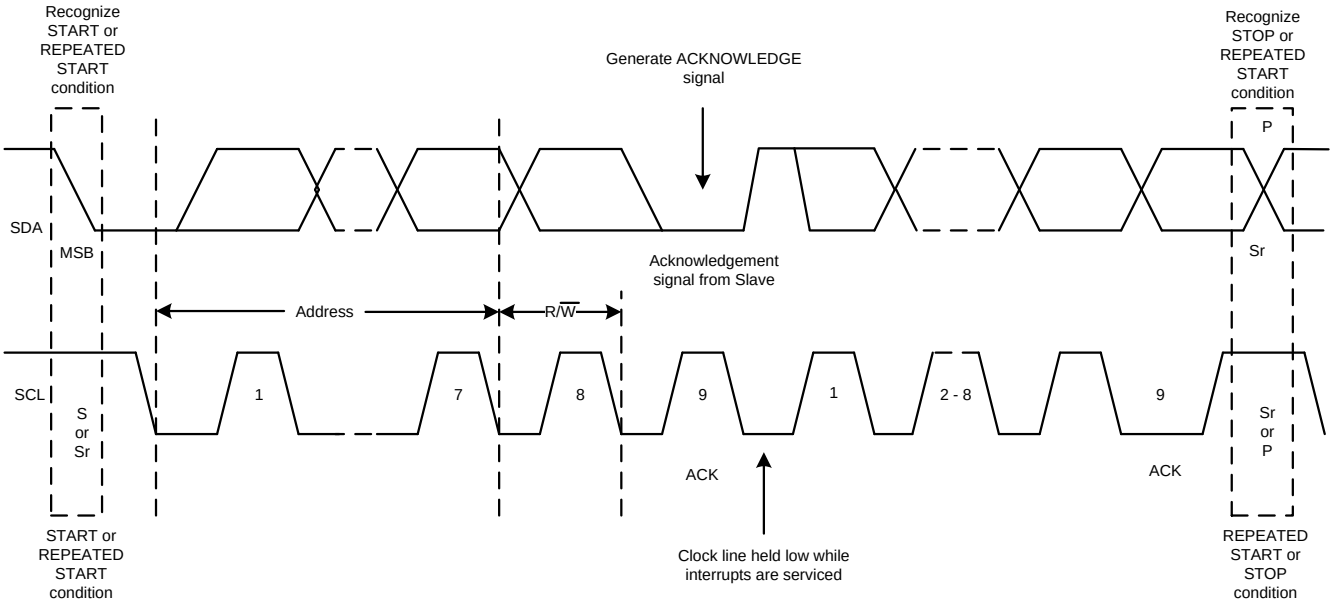


图 59. I²C™ 总线协议

命令字节可设置所选 DACx3608 器件的工作模式。通过该字节选择工作模式时，DACx3608 系列必须接收两个数据字节，即最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)，才能进行数据更新。DACx3608 器件在 LSDB 之后的确认信号下降沿执行更新。

使用快速模式（时钟 = 400kHz）时，最大 DAC 更新速率限制为 22.22kSPS。使用快速+ 模式（时钟 = 1MHz）时，最大 DAC 更新速率限制为 55.55kSPS。收到停止条件后，DACx3608 系列将释放 I²C™ 总线并等待新的启动条件。

8.5.3 DACx3608 地址字节

地址字节（如表 2 所示）是在启动条件之后从主器件接收的第一个字节。地址的前四位 (MSB) 出厂预设为 1001b。地址的接下来 3 位由 A0 引脚控制。A0 引脚输入可以连接到 V_{DD}、A_{GND}、SCL 或 SDA。在每个数据帧的第一个字节期间对 A0 引脚进行采样以确定地址。该器件会锁存地址引脚的值，因此将根据表 3 响应该特定地址。

DACx3608 系列支持广播寻址。广播寻址可用于同步更新或关闭多个 DACx3608 器件。DACx3608 系列旨在与该系列的其他成员协同工作，从而支持多芯片同步更新。无论地址引脚的状态如何，DACx3608 器件都使用广播地址进行响应。仅在写入模式下支持广播。

版权 © 2018, Texas Instruments Incorporated

表 **2. DACx3608** 地址字节

注释	MSB							LSB
	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R/$\overline{W}$
一般地址	1	0	0	1	请参阅表 3（从器件地址列）			0 或 1
广播地址	1	0	0	0	1	1	1	0

表 **3.** 地址格式

从器件地址	**A0** 引脚
1001 000	A_{GND}
1001 001	V_{DD}
1001 010	SDA
1001 011	SCL

8.5.4 DACx3608 命令字节

DACx3608 命令字节（如表 4 所示）控制在写入或读取 DACx3608 系列时执行的命令和访问的寄存器。

表 4. DACx3608 命令字节

B23	B22	B21	B20	B19	B18	B17	B16	注释
0	0	0	0	0	0	0	1	DEVICE_CONFIG
0	0	0	0	0	0	1	0	STATUS/TRIGGER
0	0	0	0	0	0	1	1	BRDCAST
0	0	0	0	1	0	0	0	DACA_DATA
0	0	0	0	1	0	0	1	DACB_DATA
0	0	0	0	1	0	1	0	DACC_DATA
0	0	0	0	1	0	1	1	DACD_DATA
0	0	0	0	1	1	0	0	DACE_DATA
0	0	0	0	1	1	0	1	DACF_DATA
0	0	0	0	1	1	1	0	DACG_DATA
0	0	0	0	1	1	1	1	DACH_DATA

8.5.5 DACx3608 数据字节（MSDB 和 LSDB）

MSDB 和 LSDB 包含传递给命令字节所指定的寄存器的数据（如表 5 所示）。DACx3608 系列在 LSDB[0] 位之后的确认信号下降沿执行更新。

表 5. DACx3608 数据字节

命令位	数据位												
	MSDB				LSDB								
B19 - B16	B15 - B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
DEVICE_CONFIG	x	0	0	0	PDN-All	PDNH	PDNG	PDNF	PDNE	PDND	PDNC	PDNB	PDNA
STATUS/TRIGGER	x	DEVICE_ID						x	x	SW_RST			
BRDCAST	x	BRDCAST_DATA[9:0] / BRDCAST_DATA[7:0] – MSB 左对齐										x	x
DACA_DATA	x	DACA_DATA[9:0] / DACA_DATA[7:0] – MSB 左对齐										x	x
DACB_DATA	x	DACB_DATA[9:0] / DACB_DATA[7:0] – MSB 左对齐										x	x
DACC_DATA	x	DACC_DATA[9:0] / DACC_DATA[7:0] – MSB 左对齐										x	x
DACD_DATA	x	DACD_DATA[9:0] / DACD_DATA[7:0] – MSB 左对齐										x	x
DACE_DATA	x	DACE_DATA[9:0] / DACE_DATA[7:0] – MSB 左对齐										x	x
DACF_DATA	x	DACF_DATA[9:0] / DACF_DATA[7:0] – MSB 左对齐										x	x
DACG_DATA	x	DACG_DATA[9:0] / DACG_DATA[7:0] – MSB 左对齐										x	x
DACH_DATA	x	DACH_DATA[9:0] / DACAH_DATA[7:0] – MSB 左对齐										x	x

8.5.6 DACx3608 I²C™ 读取序列

要读取任何寄存器，必须使用以下命令序列：

1. 发送启动或重复启动命令（使用从器件地址并将 R/$\overline{W}$ 位设置为 0 以进行写入）。该器件将确认此事件。
2. 针对要读取的寄存器发送一个命令字节。该器件将再次确认此事件。
3. 发送重复启动命令（使用从器件地址并将 R/$\overline{W}$ 位设置为“1”以进行读取）。该器件将确认此事件。
4. 该器件将写入寻址到的寄存器的 MSDB 字节。主器件必须确认此字节。
5. 最后，该器件将写出寄存器的 LSDB。

另一种读取方法允许读回写入的最后一个寄存器的值。顺序是使用从器件地址且 R/$\overline{W}$ 位设置为 1 的情况下启动或重复启动，然后读出最后一个寄存器的两个字节。除 SW-RST 寄存器外，DACx3608 系列中的所有寄存器均可读出。表 5 显示了读取命令集。

请注意，这种方法不能使用广播地址进行读取。

版权 © 2018, Texas Instruments Incorporated

表 6. 读取序列

S	MSB	…	R/W (0)	ACK	MSB	…	LSB	ACK	Sr	MSB	…	R/W (1)	ACK	MSB	…	LSB	ACK	MSB	…	LSB	ACK
	地址字节				命令字节				Sr	地址字节				MSDB				LSDB			
从主器件				从器件	从主器件			从器件	从主器件				从器件	从从器件			主器件	从从器件			主器件

8.6 寄存器映射

Table 7. 寄存器地址

B23	B22	B21	B20	B19	B18	B17	B16	注释
0	0	0	0	0	0	0	1	DEVICE_CONFIG
0	0	0	0	0	0	1	0	STATUS/TRIGGER
0	0	0	0	0	0	1	1	BRDCAST
0	0	0	0	1	0	0	0	DACA_DATA
0	0	0	0	1	0	0	1	DACB_DATA
0	0	0	0	1	0	1	0	DACC_DATA
0	0	0	0	1	0	1	1	DACD_DATA
0	0	0	0	1	1	0	0	DACE_DATA
0	0	0	0	1	1	0	1	DACF_DATA
0	0	0	0	1	1	1	0	DACG_DATA
0	0	0	0	1	1	1	1	DACH_DATA

Table 8. 寄存器映射

命令位	数据位												
	MSDB				LSDB								
B19 - B16	B15 - B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
DEVICE_CONFIG	x	0	0	0	PDN-All	PDNH	PDNG	PDNF	PDNE	PDND	PDNC	PDNB	PDNA
STATUS/TRIGGER	x	DEVICE_ID						x	x	SW_RST			
BRDCAST	x	BRDCAST_DATA[9:0] / BRDCAST_DATA[7:0] – MSB 左对齐										x	x
DACA_DATA	x	DACA_DATA[9:0] / DACA_DATA[7:0] – MSB 左对齐										x	x
DACB_DATA	x	DACB_DATA[9:0] / DACB_DATA[7:0] – MSB 左对齐										x	x
DACC_DATA	x	DACC_DATA[9:0] / DACC_DATA[7:0] – MSB 左对齐										x	x
DACD_DATA	x	DACD_DATA[9:0] / DACD_DATA[7:0] – MSB 左对齐										x	x
DACE_DATA	x	DACE_DATA[9:0] / DACE_DATA[7:0] – MSB 左对齐										x	x
DACF_DATA	x	DACF_DATA[9:0] / DACF_DATA[7:0] – MSB 左对齐										x	x
DACG_DATA	x	DACG_DATA[9:0] / DACG_DATA[7:0] – MSB 左对齐										x	x
DACH_DATA	x	DACH_DATA[9:0] / DACAH_DATA[7:0] – MSB 左对齐										x	x

表 9. DACx3608 寄存器名称

偏移	首字母缩写词	寄存器名称	章节
01h	DEVICE_CONFIG	器件配置寄存器	DEVICE_CONFIG 寄存器（偏移 = 01h）[复位 = 00FFh]
02h	STATUS/TRIGGER	状态和触发寄存器	STATUS/TRIGGER 寄存器（偏移 = 02h）[对于 DAC53608，复位 = 0300h，对于 DAC43608，复位 = 0500h]
03h	BRDCAST	广播数据寄存器	BRDCAST 寄存器（偏移 = 03h）[复位 = 0000h]

版权 © 2018, Texas Instruments Incorporated

表 9. DACx3608 寄存器名称 (接下页)

偏移	首字母缩写词	寄存器名称	章节
08h - 0Fh	DACn_DATA	DACn 数据寄存器	DACn_DATA 寄存器（偏移 = 08h 至 0Fh）[复位 = 0000h]

8.6.1 DEVICE_CONFIG 寄存器（偏移 = 01h）[复位 = 00FFh]

图 60. DEVICE_CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
不用考虑				0	0	0	PDN-AIII	PDNH	PDNG	PDNF	PDNE	PDND	PDNC	PDNB	PDNA
W							R/W								

表 10. DEVICE_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-12	不用考虑	W	0h	不用考虑
11-9	保留	W	00	保留
8	PDN-All	R/W	0	全局断电位，当设置为“1”时，所有通道和所有偏置模块都断电
7-0	PDNn	R/W	FFh	此位设置为“1”（默认值）时，DACn 处于断电模式（输出缓冲器断电 10K 至 A_{GND}）。加电时，所有输出通道缓冲放大器在断电至 10K 模式下启动，直到通过将 0 写入这些寄存器来发出加电命令为止。

8.6.2 STATUS/TRIGGER 寄存器（偏移 = 02h）[对于 DAC53608，复位 = 0300h，对于 DAC43608，复位 = 0500h]

图 61. STATUS/TRIGGER 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
不用考虑				DEVICE_ID						不用考虑	不用考虑	SW_RST			
W				R						W	W	W			

表 11. STATUS/TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-12	不用考虑	W	0h	不用考虑
11-6	DEVICE_ID	R	DAC53608: 001100 DAC43608: 010100	器件标识号 DAC53608: 001100b DAC43608: 010100b
5-4	不用考虑	W	0h	不用考虑
3-0	SW_RST	W	0h	此寄存器设置为 1010b 时，器件复位为默认值

8.6.3 BRDCAST 寄存器（偏移 = 03h）[复位 = 0000h]

图 62. BRDCAST 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
不用考虑				BRDCAST_DATA[9:0] / BRDCAST_DATA[7:0] – MSB 左对齐										不用考虑	不用考虑
W				W										W	W

版权 © 2018, Texas Instruments Incorporated

表 12. BRDCAST 寄存器字段说明

位	字段	类型	复位	说明
15-12	不用考虑	W	0h	不用考虑
11-2	BRDCAST_DATA[9:0] / BRDCAST_DATA[7:0]	W	000h	向 BRDCAST 寄存器写入内容会强制 DAC 通道将其有效寄存器数据更新为 BRDCAST_DATA 数据。 数据以直接二进制格式进行 MSB 对齐，并遵循以下格式： DAC53608：{ DATA[9:0] } DAC43608：{ DATA[7:0], x, x } x – 不用考虑位
1-0	不用考虑	W	00	不用考虑

8.6.4 DACn_DATA 寄存器（偏移 = 08h 至 0Fh）[复位 = 0000h]

图 63. DACn_DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
不用考虑				BRDCAST_DATA[9:0] / BRDCAST_DATA[7:0] – MSB 左对齐										不用考虑	不用考虑
W				W										W	W

表 13. DACn_DATA 寄存器字段说明

位	字段	类型	复位	说明
15-12	不用考虑	W	0h	不用考虑
11-2	DACn_DATA[9:0] / DACn_DATA[7:0]	W	000h	向 DACn_DATA 寄存器写入内容会强制相应的 DAC 通道将其有效寄存器数据更新为 DACn_DATA。 数据以直接二进制格式进行 MSB 对齐，并遵循以下格式： DAC53608：{ DATA[9:0] } DAC43608：{ DATA[7:0], x, x } x – 不用考虑位
1-0	不用考虑	W	00	不用考虑

版权 © 2018, Texas Instruments Incorporated

9 应用和实现

注

以下 应用 部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

DACx3608 是一款缓冲输出、8 通道、低功耗 DAC，采用微型 3X3 封装。该 DAC 具有多通道、低功耗和小型封装特性，因此适用于 各种 终端设备的通用应用。该器件的一些最常见 应用 包括多功能打印机中的 LED 偏置、带可编程比较器的电源监控、精密电路中的失调电压和增益调整以及电源裕度调节。

9.2 典型 应用

9.2.1 可编程 LED 偏置

诸如多功能打印机、投影仪和电子销售终端 (EPOS) 之类的终端设备需要来自 LED 的稳定发光强度。图 64 显示了使用 DACx3608 对 LED 进行偏置的简化电路图。

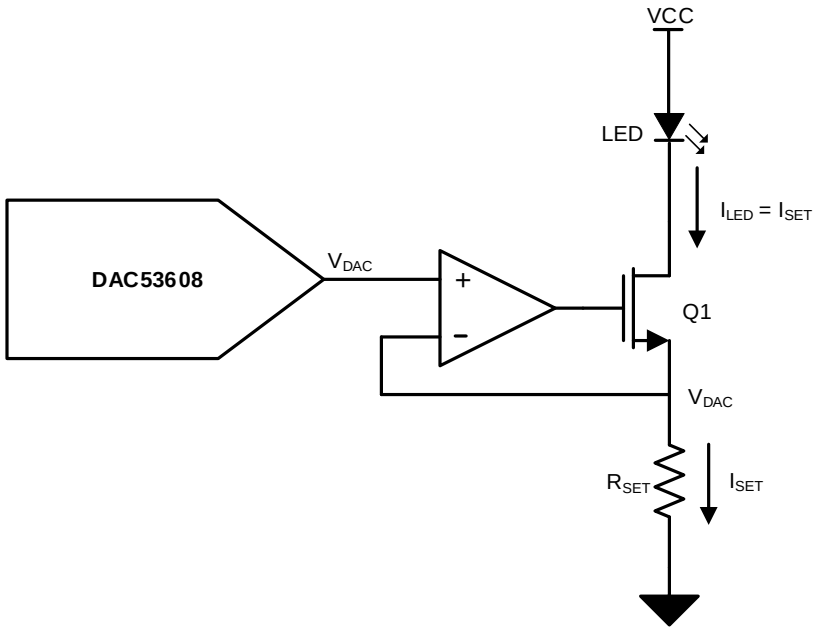


图 64. LED 偏置

9.2.1.1 设计要求

- 可编程恒定电流在连接到一端电源的 LED 中流过
- DAC 输出范围：0 – 5V
- LED 电流范围：0 – 20mA

9.2.1.2 详细设计流程

DAC 用于通过单位增益缓冲器设置 MOSFET 的拉电流，如图 64 所示。LED 连接在电源和 MOSFET 的漏极之间。该配置允许 DAC 控制或设置流过 LED 的电流量。DAC 后面的缓冲器可控制反馈环路内 MOSFET 的栅极-源极电压，从而补偿由于 MOSFET 温度、电流和老化引起的这种下降和相应漂移。流过 LED 并由 DAC 设置的电流可以用公式 2 计算得出。为了在 0 – 5V DAC 输出范围内产生 0 – 20mA 电流，需要 250Ω 的 R_{SET}。

版权 © 2018, Texas Instruments Incorporated

典型 应用 **(**接下页**)**

$$I_{SET} = \frac{V_{DAC}}{R_{SET}} \quad (2)$$

下面给出了开始使用 LED 偏置应用所需的伪代码。

```
//SYNTAX: WRITE <REGISTER NAME(Hex Code)>, <DATA>
//Power-up the device and channels
WRITE DEVICE_CONFIG(0x01), 0x0000
//Program mid code (or the desired voltage) on all channels
WRITE DACA_DATA(0x08), 0x07FC //10-bit MSB aligned
WRITE DACB_DATA(0x09), 0x07FC //10-bit MSB aligned
WRITE DACC_DATA(0x0A), 0x07FC //10-bit MSB aligned
WRITE DACD_DATA(0x0B), 0x07FC //10-bit MSB aligned
WRITE DACE_DATA(0x0C), 0x07FC //10-bit MSB aligned
WRITE DACF_DATA(0x0D), 0x07FC //10-bit MSB aligned
WRITE DACG_DATA(0x0E), 0x07FC //10-bit MSB aligned
WRITE DACH_DATA(0x0F), 0x07FC //10-bit MSB aligned
```

9.2.1.3 应用曲线

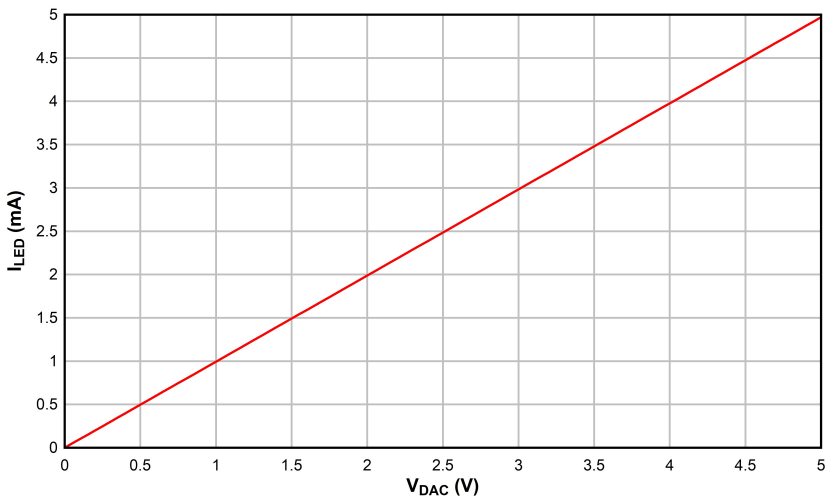


图 **65. LED** 偏置电路的直流传输特性

9.2.2 可编程窗口比较器

使用集中式电源的终端设备（如网络服务器、光模块等）需要监控电源总线以便保护组件。这种监视或监控是使用窗口比较器完成的。窗口比较器可监控信号输入是否存在违反上限阈值和下限阈值的情况。发生违反阈值的情况时会生成触发信号。为了监控模块中的所有可用电源，需要进行多通道监控。DACx3608 提供了方便易用且占用空间很小的方法来满足此要求。

典型 应用 (接下页)

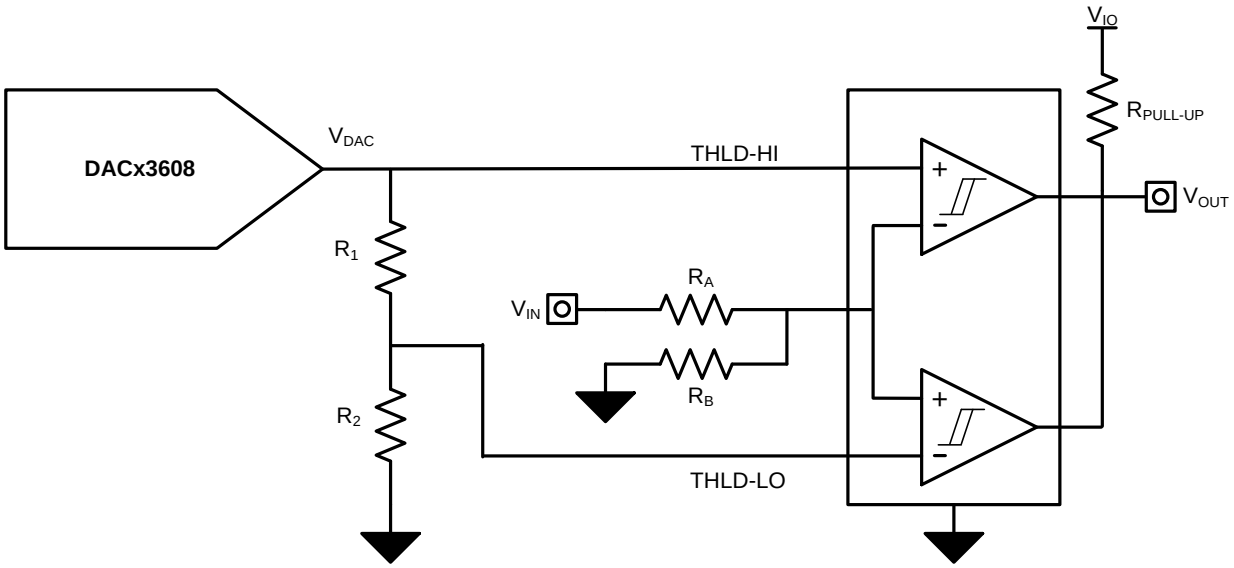


图 66. 可编程窗口比较器

9.2.2.1 设计要求

- 要监控的电压：5V
- 高阈值：5V + 10%
- 低阈值：5V – 10%
- 触发输出：3.3V 漏极开路单输出

9.2.2.2 详细设计流程

图 66 提供的示例使用单个 DAC 通道来比较高阈值和低阈值。如图所示，每个 DAC 通道使用一个双路比较器。由电阻器 R_A 和 R_B 形成的分压器用于使信号电平保持在 DAC 范围内。另一对电阻器 R_1 和 R_2 用于将低阈值设置为高阈值的因子。此配置允许使用单个 DAC 通道来监控高阈值电平和低阈值电平。比较器应作为漏极开路以便提供以下优势。

- 生成适合监控处理器的逻辑输出电平
- 允许短接两个输出以生成单个触发器

在图 66 所示的电路中，只要信号输入保持在高和低阈值电平内，电路的输出就保持高电平。在违反任何一个阈值时，输出就会变为低电平。公式 3 提供了由 DAC 设置的高阈值导出的低阈值电压。

$$V_{THLD\text{-}LO} = V_{DAC} \times \left(\frac{R_2}{R_1 + R_2} \right) \quad (3)$$

为了在 ±10% 范围内监控 5V 电源，建议将标称值置于 DAC 中间代码。DACx3608 的输出范围为 0 – 5V，因此中间代码电压输出为 2.5V。所以，可通过选择 R_A 和 R_B，使要比较的电压为 2.5V。对于此示例，R_A 等于 R_B，两者均可使用 10kΩ 电阻器。DACx3608 的一个通道必须编程为 $V_{THLD\text{-}HI}$，例如 2.5V + 5% = 2.625V。这对应于 10 位 DAC 代码 ($2^{10} \div 5V$) × 2.625V = 537.6 (0x21AH)。为了从 2.625V 产生 $V_{THLD\text{-}LO}$（例如，2.5V – 5% = 2.405V），可使用公式 3 将 R_1 和 R_2 的值分别计算为 7.5kΩ 和 82kΩ。下面给出了开始使用具有期望 DAC 值的可编程窗口比较器应用所需的伪代码。

```
//SYNTAX: WRITE <REGISTER NAME(Hex Code)>, <DATA>
//Power-up the device and channels
WRITE DEVICE_CONFIG(0x01), 0x0000
//Program 2.625V on channel A
WRITE DACA_DATA(0x08), 0x0868 //10-bit MSB aligned
```


版权 © 2018, Texas Instruments Incorporated

典型 应用 **(接下页)**

9.2.2.3 应用曲线

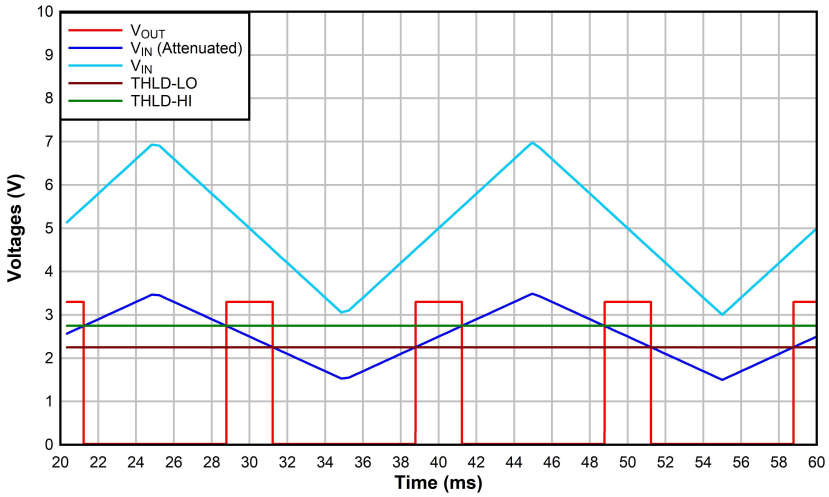


图 **67.** 可编程比较器输出波形

10 电源建议

DACx3608 系列器件不需要特定的电源定序。它需要单个电源 V_{DD}。V_{DD} 引脚建议使用 0.1µF 去耦电容器。

11 布局

11.1 布局指南

DACx3608 引脚布局将模拟、数字和电源引脚分开以实现优化布局。为了保证信号完整性，建议将数字和模拟走线分开，并将去耦电容器放置在器件引脚附近。

11.2 布局示例

图 68 显示了具有去耦电容器和上拉电阻器的示例布局图。

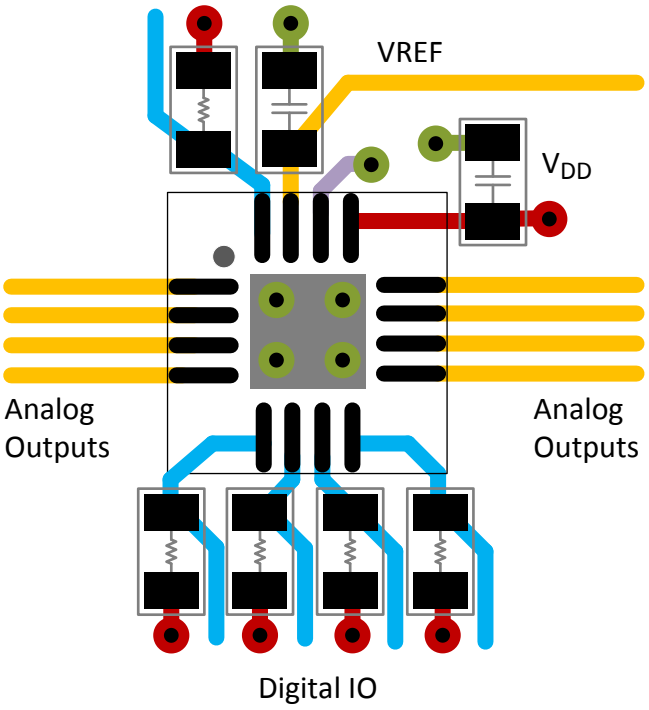


图 **68.** 布局示例

版权 © 2018, Texas Instruments Incorporated

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅如下相关文档：《*DAC53608EVM 用户指南*》(SLAU790)

12.2 相关链接

下表列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **14.** 相关链接

器件	产品文件夹	立即订购	技术文档	工具与软件	支持和社区
DAC53608	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
DAC43608	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.3 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的*通知我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

12.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.6 静电放电警告

ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。 精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.7 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

版权 © 2018, Texas Instruments Incorporated

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

版权 © 2018, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC43608RTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D43608
DAC43608RTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D43608
DAC43608RTERG4	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D43608
DAC43608RTERG4.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D43608
DAC43608RTET	Active	Production	WQFN (RTE) | 16	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	D43608
DAC43608RTET.A	Active	Production	WQFN (RTE) | 16	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	D43608
DAC53608RTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	D53608
DAC53608RTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	D53608
DAC53608RTET	Active	Production	WQFN (RTE) | 16	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	D53608
DAC53608RTET.A	Active	Production	WQFN (RTE) | 16	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	D53608

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

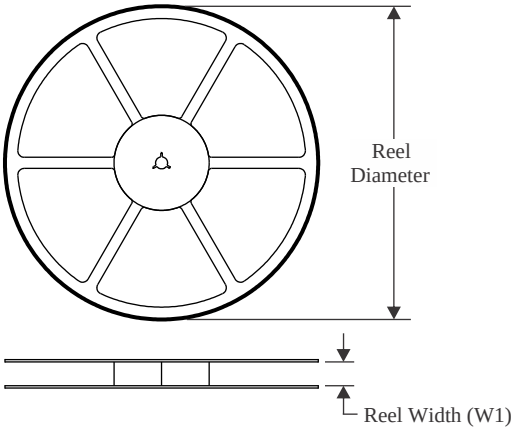
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

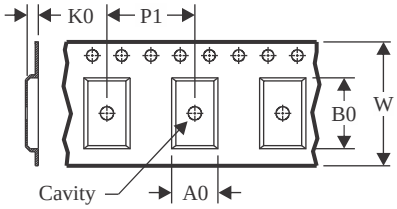
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

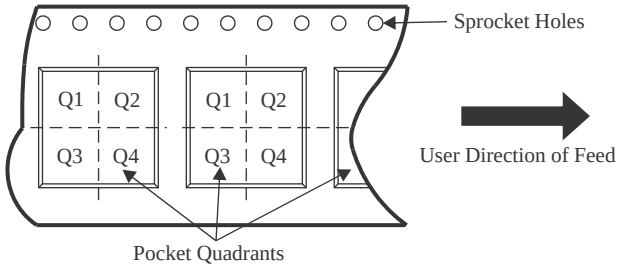


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

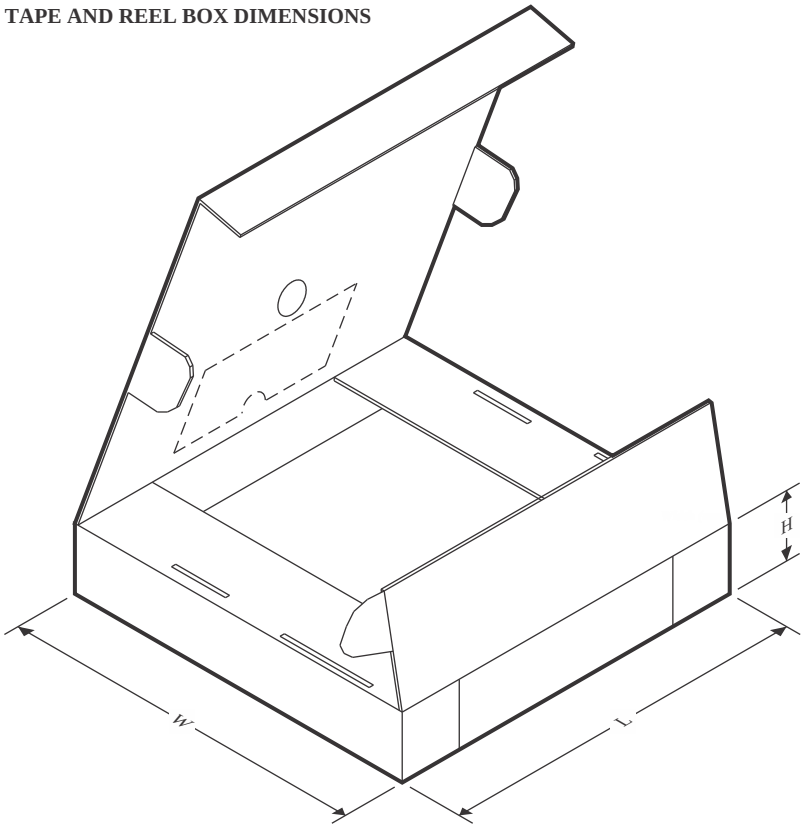
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC43608RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DAC43608RTERG4	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DAC43608RTET	WQFN	RTE	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DAC53608RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DAC53608RTET	WQFN	RTE	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC43608RTER	WQFN	RTE	16	3000	360.0	360.0	36.0
DAC43608RTERG4	WQFN	RTE	16	3000	367.0	367.0	35.0
DAC43608RTET	WQFN	RTE	16	250	210.0	185.0	35.0
DAC53608RTER	WQFN	RTE	16	3000	360.0	360.0	36.0
DAC53608RTET	WQFN	RTE	16	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

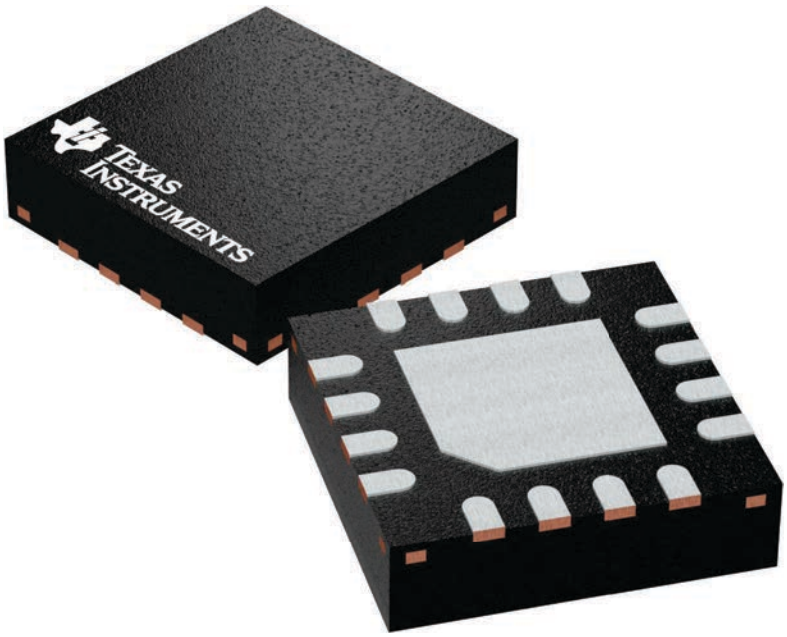
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

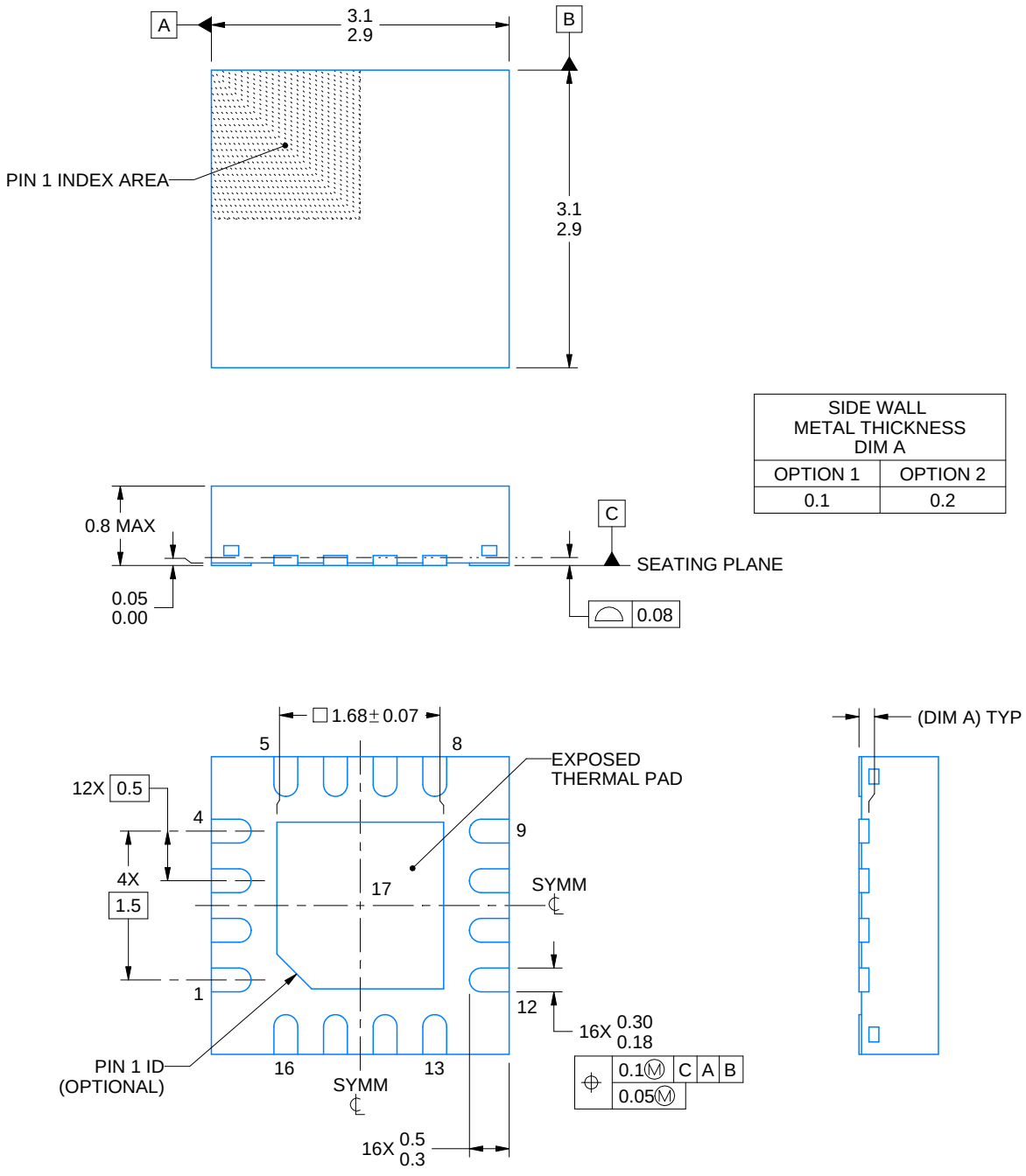


RTE0016C

PACKAGE OUTLINE

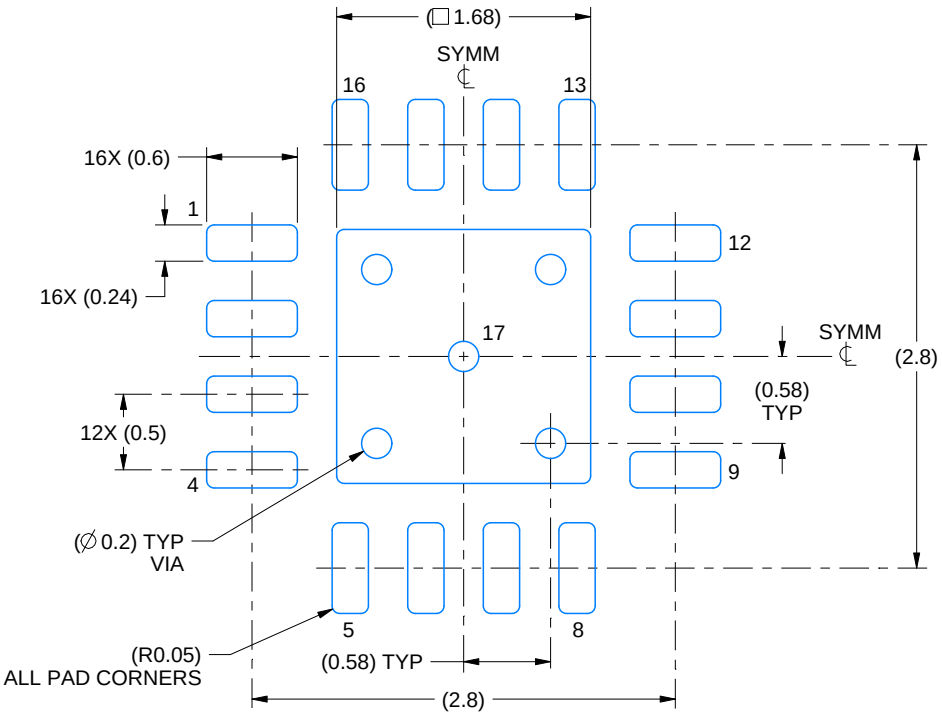
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

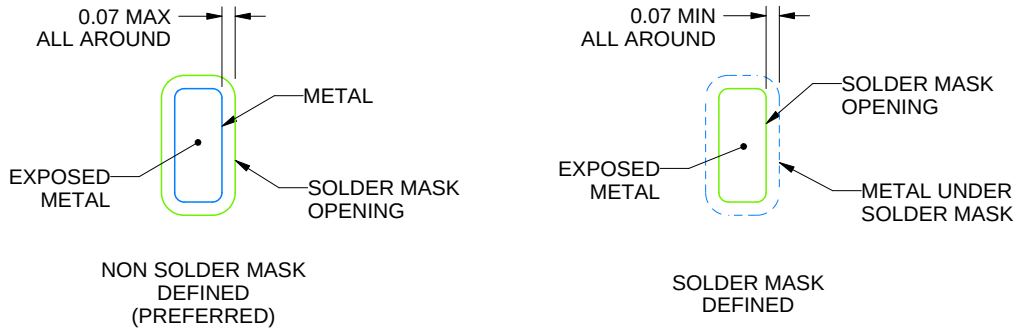


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

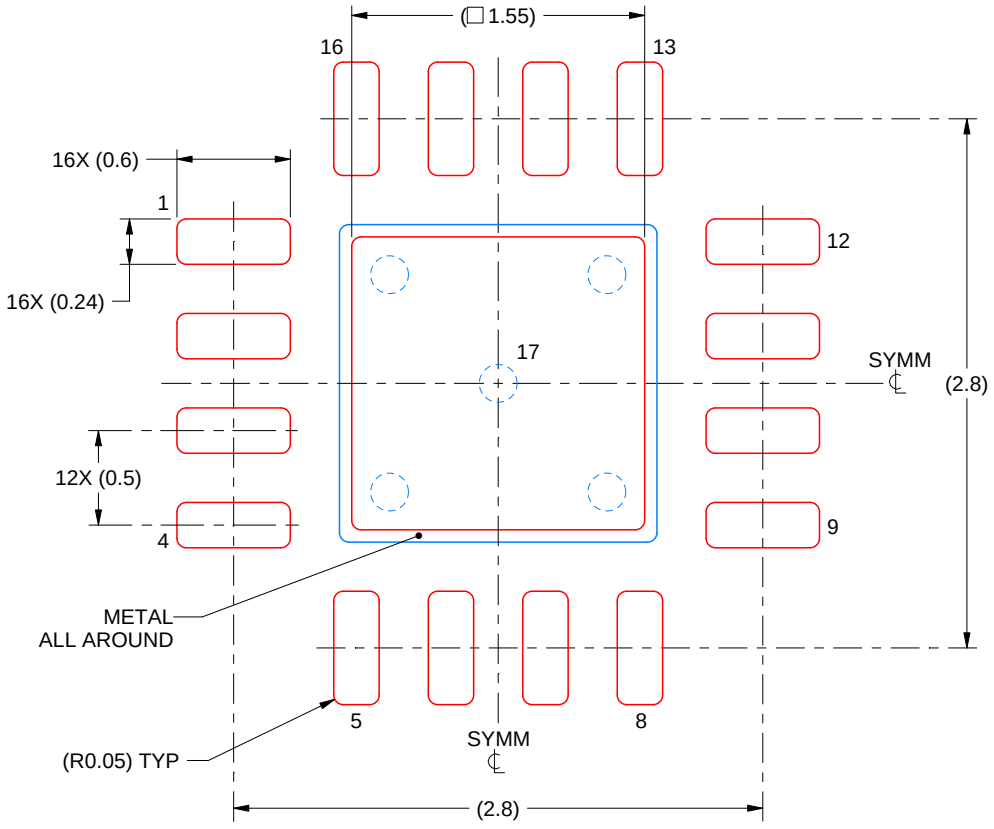


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月