OPAx316 10MHz，低功率，低噪声，轨到轨输入输出 (RRIO)，1.8V CMOS 运算放大器

1 特性

- 单位增益带宽：10MHz
- 低 I_Q：每通道 400μA
- 宽电源电压范围：1.8V 至 5.5V
- 低噪声：1kHz 时为 11nV/√Hz
- 低输入偏置电流 ：±5pA
- 偏移电压：±0.5mV
- 单位增益稳定
- 内部射频干扰 (RFI)/电磁干扰 (EMI) 滤波器
- 停产版本：OPA2316S
- 扩展温度范围：–40°C 至 +125°C

2 应用

- 电池供电仪器：
  - 消费类应用、工业应用、医疗应用
  - 笔记本电脑、便携式媒体播放器
- 传感器信号调节
- 汽车 应用
- 条形码扫描器
- 有源滤波器
- 音频

3 说明

OPAx316 系列单路、双路和四路运算放大器代表新一代通用低功耗运算放大器。由于采用轨至轨输入和输出摆幅以及低静态电流（典型值为 400μA/通道），同时兼具 10MHz 宽带宽和极低噪声（1kHz 时为 11nV/√Hz）等特性，此系列成为对于各种 应用 而言非常具有吸引力。低输入偏置电流支持那些将在具有 兆欧姆级源阻抗 的应用中使用的运算放大器。

OPAx316 器件采用稳健耐用的设计，方便电路设计人员使用，具有单位增益稳定的集成 RFI/EMI 抑制滤波器，在过驱条件下不出现反相，并且带有高静电放电 (ESD) 保护 (4kV HBM)。

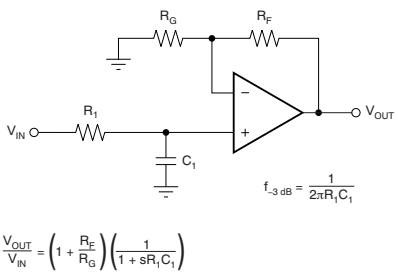
此类器件经过优化，适合在 1.8V (±0.9V) 至 5.5V (±2.75V) 的低电压状态下工作。这款最新补充的低压 CMOS 运算放大器与 OPAx313 和 OPAx314 搭配，为用户提供了广泛的带宽、噪声和功率选择，可以满足各种应用的 广泛需求的理想之选。

器件信息(1)

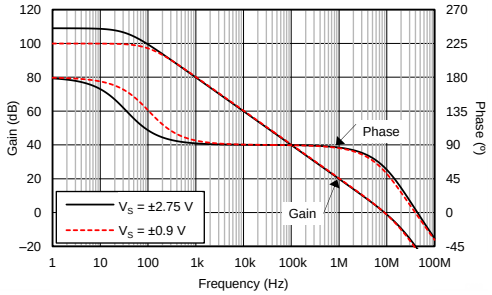
器件编号	封装	封装尺寸（标称值）
OPA316	SC-70 (5)	1.25mm × 2.00mm
	SOT-23 (5)	1.60mm x 2.90mm
OPA2316	DFN (8)	3.00mm × 3.00mm
	MSOP、VSSOP (8)	3.00mm x 3.00mm
	SOIC (8)	3.91mm × 4.90mm
OPA2316S	MSOP、VSSOP (10)	3.00mm × 3.00mm
	X2QFN (10)	1.50mm x 2.00mm
OPA4316	TSSOP (14)	4.40mm × 5.00mm
	SOIC (14)	8.65mm × 3.91mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

单极低通滤波器



10MHz 带宽下的低电源电流（400μA/通道）



目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 4
6 规格 ... 6
6.1 绝对最大额定值 ... 6
6.2 ESD 额定值 ... 6
6.3 建议运行条件 ... 6
6.4 热性能信息：OPA316 ... 6
6.5 热性能信息：OPA2316 ... 7
6.6 热性能信息：OPA2316S ... 7
6.7 热性能信息：OPA4316 ... 7
6.8 电气特征 ... 9
6.9 典型特性 ... 12
7 详细 说明 ... 18
7.1 概述 ... 18
7.2 功能方框图 ... 18
7.3 特性 说明 ... 18
7.4 器件功能模式 ... 20
8 应用和实施 ... 21
8.1 应用信息 ... 21
8.2 典型应用 ... 21
9 电源建议 ... 25
10 布局 ... 26
10.1 布局指南 ... 26
10.2 布局示例 ... 26
11 器件和文档支持 ... 27
11.1 文档支持 ... 27
11.2 相关链接 ... 27
11.3 接收文档更新通知 ... 27
11.4 社区资源 ... 27
11.5 商标 ... 27
11.6 静电放电警告 ... 27
11.7 术语表 ... 27
12 机械、封装和可订购信息 ... 27

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision E (May 2016) to Revision F — **Page**

- 已添加 SOIC (14) / OPA4316 尺寸信息至*器件信息*表 ... 1
- Added D 封装至 PW 封装引脚图 ... 4
- Added 将 D (SOIC) 热性能信息添加到*热性能信息*：OPA4316 表 ... 7

Changes from Revision D (December 2014) to Revision E — **Page**

- 已添加新的“*RUG*”封装 ... 1

Changes from Revision C (October 2014) to Revision D — **Page**

- 将*关断*部分添加至“电气特征”表 ... 11
- 添加了*相关文档*部分 ... 27

Changes from Revision B (August 2014) to Revision C — **Page**

- 已更新*器件信息*表中的器件和封装 ... 1
- 增加了有关 OPA2316S 和 OPA4316 ... 7

Changes from Revision A (April 2014) to Revision B — **Page**

- 已添加 OPA2316 至*器件信息*表 ... 1
- 增加了有关 OPA2316 ... 7
- 在*电气特征*中添加了通道分离 ... 9
- 在*电气特征*中添加了 GBP 而不是 UGB ... 9
- 已添加通道分离与频率间的关系 ... 17

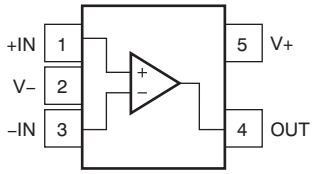
版权 © 2014–2016, Texas Instruments Incorporated

Changes from Original (April 2014) to Revision A **Page**

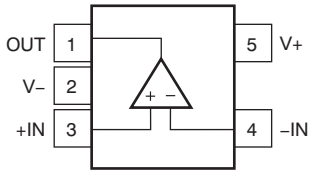
- 已将状态从产品预览更改为量产数据 1

5 引脚配置和功能

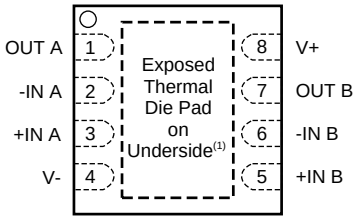
DCK 封装
5 引脚 SC70
俯视图



DBV 封装
5 引脚 SOT-23
俯视图



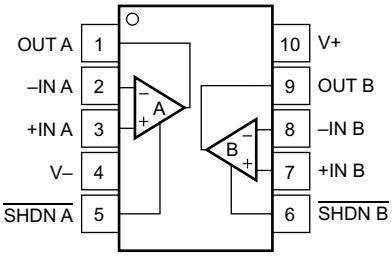
DRG 封装
8 引脚 DFN
俯视图



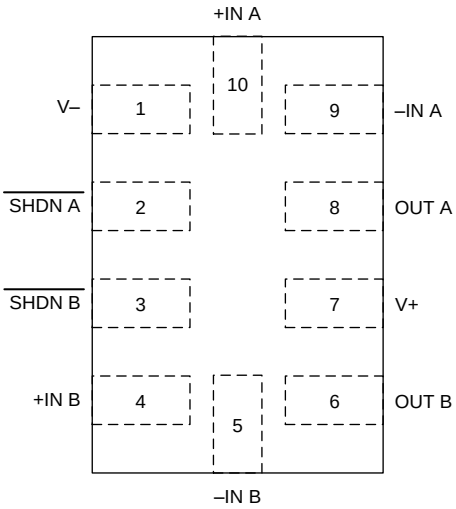
间距：0.5mm。

将散热焊盘连接至 V–。焊盘尺寸：2.00mm × 1.20mm。

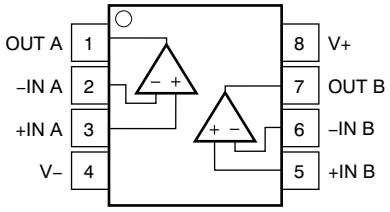
DGS 封装
10 引脚 MSOP
俯视图



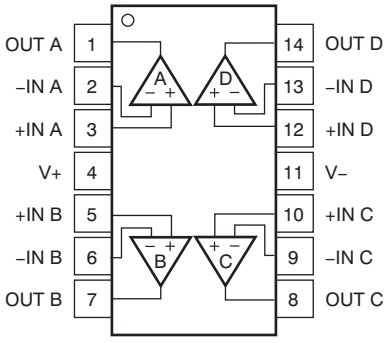
RUG 封装
10 引脚 QFN
俯视图



D、DGK 封装
8 引脚 MSOP、SO
俯视图



D、PW 封装
14 引脚 SOIC、TSSOP
俯视图



Copyright © 2014–2016, Texas Instruments Incorporated

引脚功能

名称	引脚							说明
	OPA316		OPA2316	OPA2316S		OPA4316		
	DBV	DCK	D、DGK、DRG	DGS	RUG	PW	D	
+IN	3	1	—	—	—	—	—	同相输入
+IN A	—	—	3	3	10	3	3	同相输入
+IN B	—	—	5	7	4	5	5	同相输入
+IN C	—	—	—	—	—	10	10	同相输入
+IN D	—	—	—	—	—	12	12	同相输入
–IN	4	3	—	—	—	—	—	反相输入
–IN A	—	—	2	2	9	2	2	反相输入
–IN B	—	—	6	8	5	6	6	反相输入
–IN C	—	—	—	—	—	9	9	反相输入
–IN D	—	—	—	—	—	13	13	反相输入
OUT	1	4	—	—	—	—	—	输出
OUT A	—	—	1	1	8	1	1	输出
OUT B	—	—	7	9	6	7	7	输出
OUT C	—	—	—	—	—	8	8	输出
OUT D	—	—	—	—	—	14	14	输出
SHDN A	—	—	—	5	2	—	—	关断（逻辑低电平），启用（逻辑高电平）
SHDN B	—	—	—	6	3	—	—	关断（逻辑低电平），启用（逻辑高电平）
V+	5	5	8	10	7	4	4	正电源
V–	2	2	4	4	1	11	11	负电源或接地（对于单电源供电）

Copyright © 2014–2016, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风温度下测得（除非另有说明）(1)

			最小值	最大值	单位
电源电压				7	V
信号输入引脚	电压(2)	共模	(V–) – 0.5	(V+) + 0.5	V
		差模		(V+) – (V–) + 0.2	V
	电流(2)		-10	10	mA
输出短路(3)			持续		
T_A	工作温度		–55	150	°C
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入引脚被二极管钳制至电源轨。对于摆幅能超过电源轨 0.5V 的输入信号，应将其电流限制在 10mA 或者更低。
(3) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

在自然通风温度范围内测得（除非另有说明）。

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±4000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）。

		最小值	最大值	单位
V_S	电源电压	1.8	5.5	V
	额定温度范围	–40	125	°C

6.4 热性能信息：OPA316

热指标(1)		OPA316		单位
		DBV (SOT23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻(2)	221.7	263.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻(3)	144.7	75.5	°C/W
$R_{\theta JB}$	结至电路板热阻(4)	49.7	51	°C/W
ψ_{JT}	管结至顶部的特征参数(5)	26.1	1	°C/W
ψ_{JB}	管结至电路板的特征参数(6)	49	50.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻(7)	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅*《半导体和 IC 封装热指标》*(SPRA953)。
(2) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻抗。
(3) 通过在封装顶部进行冷板测试仿真来获得结至外壳（顶部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。
(4) 结至板热阻，可按照 JESD51-8 中的说明在使用环形冷板夹具来控制 PCB 温度的环境中进行仿真来获得。
(5) 结点至顶部特性参数 ψ_{JT} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(6) 结点至电路板特性参数 ψ_{JB} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(7) 通过在外露（电源）焊盘上进行冷板测试仿真来获得结至外壳（底部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。

Copyright © 2014–2016, Texas Instruments Incorporated

6.5 热性能信息：OPA2316

热指标(1)的热性能信息		OPA2316			单位
		D (SO)	DGK (MSOP)	DRG (DFN)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻(2)	127.2	186.6	56.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻(3)	71.6	78.8	72.2	°C/W
$R_{\theta JB}$	结至电路板热阻(4)	68.2	107.9	31	°C/W
ψ_{JT}	管结至顶部的特征参数(5)	22	15.5	2.3	°C/W
ψ_{JB}	管结至电路板的特征参数(6)	67.6	106.3	21.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻(7)	不适用	不适用	10.9	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》(SPRA953)。
(2) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻抗。
(3) 通过在封装顶部进行冷板测试仿真来获得结至外壳（顶部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。
(4) 结至板热阻，可按照 JESD51-8 中的说明在使用环形冷板夹具来控制 PCB 温度的环境中进行仿真来获得。
(5) 结点至顶部特性参数 ψ_{JT} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(6) 结点至电路板特性参数 ψ_{JB} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(7) 通过在外露（电源）焊盘上进行冷板测试仿真来获得结至外壳（底部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。

6.6 热性能信息：OPA2316S

热指标(1)的热性能信息		OPA2316S		单位
		DGS (MSOP)	QFN (RUG)	
		10 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻(2)	189.6	158	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻(3)	73.9	52	°C/W
$R_{\theta JB}$	结至电路板热阻(4)	110.7	88	°C/W
ψ_{JT}	管结至顶部的特征参数(5)	13.4	1	°C/W
ψ_{JB}	管结至电路板的特征参数(6)	109.1	87	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻(7)	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》(SPRA953)。
(2) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻抗。
(3) 通过在封装顶部进行冷板测试仿真来获得结至外壳（顶部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。
(4) 结至板热阻，可按照 JESD51-8 中的说明在使用环形冷板夹具来控制 PCB 温度的环境中进行仿真来获得。
(5) 结点至顶部特性参数 ψ_{JT} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(6) 结点至电路板特性参数 ψ_{JB} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(7) 通过在外露（电源）焊盘上进行冷板测试仿真来获得结至外壳（底部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。

6.7 热性能信息：OPA4316

热指标(1)		OPA4316		单位
		PW (TSSOP)	D (SOIC)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻(2)	117.2	87.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻(3)	46.2	44.4	°C/W
$R_{\theta JB}$	结至电路板热阻(4)	58.9	41.7	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》(SPRA953)。
(2) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻抗。
(3) 通过在封装顶部进行冷板测试仿真来获得结至外壳（顶部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。
(4) 结至板热阻，可按照 JESD51-8 中的说明在使用环形冷板夹具来控制 PCB 温度的环境中进行仿真来获得。

Copyright © 2014–2016, Texas Instruments Incorporated

热性能信息：OPA4316 (continued)

热指标(1)		OPA4316		单位
		PW (TSSOP)	D (SOIC)	
		14 引脚	14 引脚	
ψ_{JT}	管结至顶部的特征参数(5)	4.9	11.6	°C/W
ψ_{JB}	管结至电路板的特征参数(6)	58.3	41.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻(7)	不适用	不适用	°C/W

(5) 结点至顶部特性参数 ψ_{JT} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(6) 结点至电路板特性参数 ψ_{JB} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(7) 通过在外露（电源）焊盘上进行冷板测试仿真来获得结至外壳（底部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。

Copyright © 2014–2016, Texas Instruments Incorporated

6.8 电气特征

V_S（总电源电压）= (V+) – (V–) = 1.8 V 至 5.5 V。
T_A = 25°C 时，R_L = 10 kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	V_S = 5V		±0.5	±2.5	mV
		V_S = 5V，T_A = –40°C 至 125°C			±3.5	mV
dV_{OS}/dT	漂移	V_S = 5V，T_A = –40°C 至 125°C		±2	±10	µV/°C
电源抑制比 (PSRR)	与电源的关系	V_S = 1.8 V – 5.5 V，V_{CM} = (V–)		±30	±150	µV/V
		V_S = 1.8 V – 5.5 V，V_{CM} = (V–)，T_A = –40°C 至 125°C			±250	µV/V
	通道分离，直流	在直流		10		µV/V 时
输入电压范围						
V_{CM}	共模电压	V_S = 1.8V 至 2.5V	(V–) – 0.2		(V+)	V
		V_S = 2.5V 至 5.5V	(V-)-0.2		(V+)+0.2	V
CMRR	共模抑制比	V_S = 1.8V，(V–) – 0.2V < V_{CM} < (V+) – 1.4 V，T_A= –40°C 至 125°C	70	86		dB
		V_S = 5.5V，(V–) – 0.2V < V_{CM} < (V+) – 1.4V，T_A= –40°C 至 125°C	76	90		dB
		V_S = 1.8V，V_{CM} = –0.2V 至 1.8V，T_A= –40°C 至 125°C	57	72		dB
		V_S = 5.5V，V_{CM} = –0.2V 至 5.7V，T_A= –40°C 至 125°C	65	80		dB
输入偏置电流						
I_B	输入偏置电流			±5	±15	pA
		T_A= –40°C 至 125°C			±15	nA
I_{OS}	输入偏移电流			±2	±15	pA
		T_A= –40°C 至 125°C			±8	nA
噪声						
E_n	输入电压噪声（峰峰值）	V_S = 5V，f = 0.1Hz 至 10Hz		3		μV_{PP}
e_n	输入电压噪声密度	V_S = 5V，f = 1kHz		11		$nV/\sqrt{Hz}$
i_n	输入电流噪声密度	f = 1kHz		1.3		$fA/\sqrt{Hz}$
输入阻抗						
Z_{ID}	差分			2 || 2		$10^{16}\Omega$ || pF
Z_{IC}	共模			2 || 4		$10^{11}\Omega$ || pF
开环增益						
A_{OL}	开环电压增益	V_S = 1.8V，(V–) + 0.04V < V_O < (V+) – 0.04V，R_L = 10kΩ	94	100		dB
		V_S = 5.5V，(V–) + 0.05V < V_O < (V+) – 0.05V，R_L = 10kΩ	104	110		dB
		V_S = 1.8V，(V–) + 0.1V < V_O < (V+) – 0.1V，R_L = 2kΩ	90	96		dB
		V_S = 5.5V，(V–) + 0.15V < V_O < (V+) – 0.15V，R_L = 2kΩ	100	106		dB
		V_S = 5.5V，(V–) + 0.05V < V_O < (V+) – 0.05V，R_L = 10kΩ，T_A= –40°C 至 125°C	86			dB
		V_S = 5.5V，(V–) + 0.15V < V_O < (V+) – 0.15V，R_L = 2kΩ，T_A= –40°C 至 125°C	84			dB
频率响应						
GBP	增益带宽积	V_S = 5V，G = +1		10		MHz
φ_m	相位裕度	V_S = 5V，G = +1		60		度
SR	压摆率	V_S = 5V，G = +1		6		V/µs
t_S	建立时间	精度达到 0.1%，V_S = 5V，2V 阶跃，G = +1，C_L = 100pF		1		µs
		精度达到 0.01%，V_S = 5V，2V 阶跃，G = +1，C_L = 100pF		1.66		µs
t_{OR}	过载恢复时间	V_S = 5V，V_{IN} × 增益 = V_S		0.3		µs

Copyright © 2014–2016, Texas Instruments Incorporated

电气特征 (continued)

V_S（总电源电压）= (V+) – (V–) = 1.8 V 至 5.5 V。
T_A = 25°C 时，R_L = 10 kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。

参数	测试条件	最小值	典型值	最大值	单位
THD + N　总谐波失真 + 噪声 (1)	V_S = 5V，V_O = 0.5V_{RMS}，G = +1，f = 1kHz		0.0008%		

(1)　三阶滤波器；-3dB 时的带宽 = 80kHz。

Copyright © 2014–2016, Texas Instruments Incorporated

电气特征 (continued)

V_S（总电源电压）= (V+) – (V–) = 1.8 V 至 5.5 V。
T_A = 25°C 时，R_L = 10 kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。

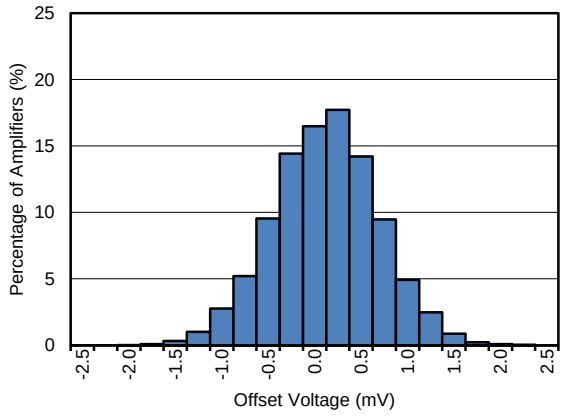
参数		测试条件	最小值	典型值	最大值	单位
输出						
V_O	相对于电源轨的电压输出摆幅	V_S = 1.8V，R_L = 10kΩ，T_A= –40°C 至 125°C			15	mV
		V_S = 5.5V，R_L = 10kΩ，T_A= –40°C 至 125°C			30	mV
		V_S = 1.8V，R_L = 2kΩ，T_A= –40°C 至 125°C			60	mV
		V_S = 5.5V，R_L = 2kΩ，T_A= –40°C 至 125°C			120	mV
I_{SC}	短路电流	V_S = 5V		±50		mA
Z_O	开环输出阻抗	V_S = 5V，f = 10MHz		250		Ω
电源						
V_S	额定电压		1.8		5.5	V
I_Q	每个放大器的静态电流	V_S = 5V，I_O = 0mA，T_A= –40°C 至 125°C		400	500	μA
	开通时间	V_S = 0V 至 5.5V		200		μs
关断（V_S = 1.8V 至 5.5V）(2)						
I_{QSD}	每个器件的静态电流	所有放大器均已禁用，$\overline{SHDN}$ = $V_{S–}$		0.01	1	μA
		已禁用一个放大器 (OPA2316S)		345		μA
V_{IH}	高压（已启用）	已启用放大器	(V+) – 0.5			V
V_{IL}	低电压（已禁用）	已禁用放大器			(V–) + 0.2	V
t_{ON}	放大器启用时间 (3)	完全关断，G = 1，V_{OUT} = 0.9 × V_S / 2 (4)		13		μs
		部分关断，G = 1，V_{OUT} = 0.9 × V_S / 2 (4)		10		μs
t_{OFF}	放大器禁用时间 (3)	G = 1，V_{OUT} = 0.1 × V_S / 2		5		μs
	$\overline{SHDN}$ 引脚输入偏置电流（每个引脚）	V_{IH} = 5V		3.5		pA
		V_{IL} = 0V		2.5		pA
温度						
	额定温度范围		–40		125	°C
T_A	工作温度		–55		150	°C
T_{stg}	贮存温度		-65		150	°C

(2) 由设计和特征确保；未经生产测试。
(3) 启用时间 (t_{ON}) 和禁用时间 (t_{OFF}) 是指施加给 $\overline{SHDN}$ 引脚的信号为 50% 时到输出电压达到 10%（禁用）或 90%（启用）电平时之间的时间。
(4) 完全关断是指双通道 OPA2316S 的通道 A 和 B 均处于禁用状态 ($\overline{SHDN_A}$ = $\overline{SHDN_B}$ = $V_{S–}$)。部分关断是指仅使用一个 $\overline{SHDN}$ 引脚；在这种模式下，内部偏置和振荡器保持工作状态，并且启用时间更短。

Copyright © 2014–2016, Texas Instruments Incorporated

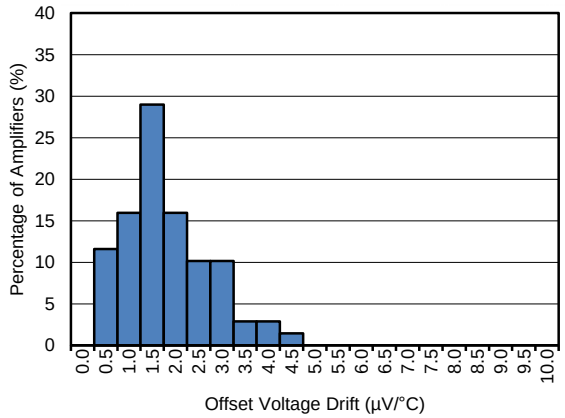
6.9 典型特性

T_A = 25°C时，V_S = 5.5V，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。



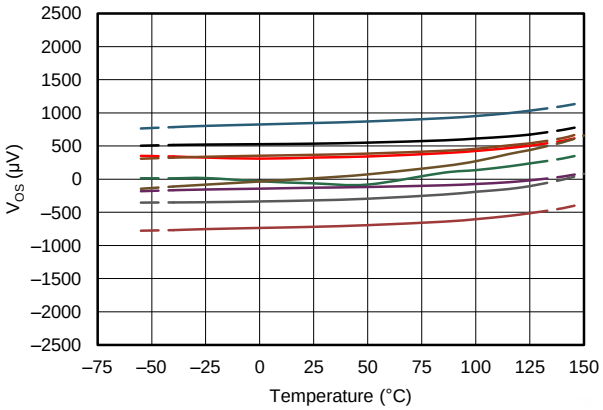
根据 12551 个放大器得出的分布图

Figure 1. 失调电压分布



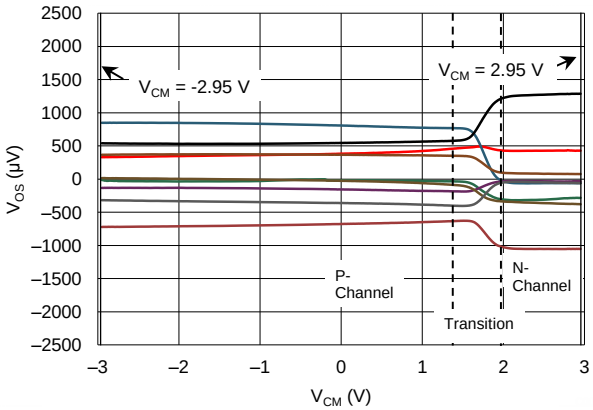
T_A = –40°C 至 +125°C，根据 70 个放大器得出的分布图

Figure 2. 失调电压漂移分布图



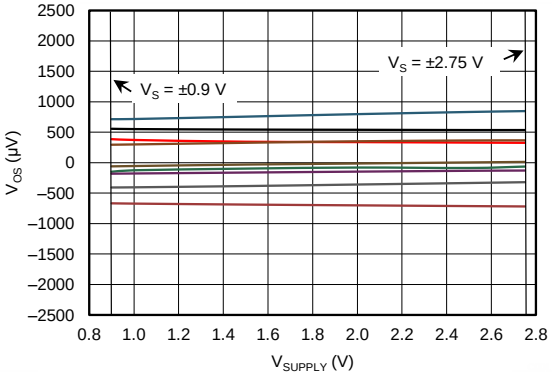
显示 9 个典型单元

Figure 3. 失调电压与温度间的关系



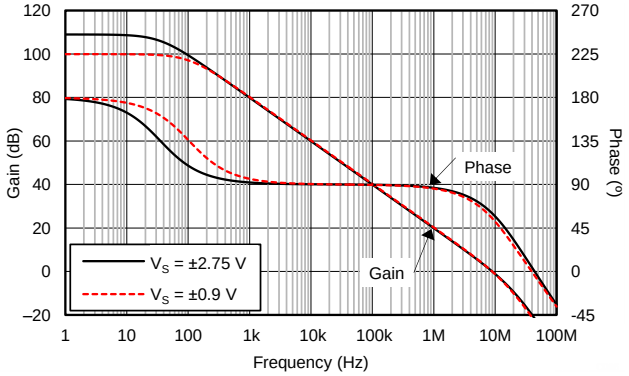
V+ = 2.75 V，V– = –2.75 V，显示 9 个典型单元

Figure 4. 失调电压与共模电压间的关系



V+ = 0.9 V 至 2.75V，V– = –0.9V 至 –2.75V，显示 9 个典型单元

Figure 5. 失调电压与电源间的关系



V_{CM} < (V+) – 1.4V

Figure 6. 开环增益和相位与频率间的关系

Copyright © 2014–2016, Texas Instruments Incorporated

典型特性 (continued)

T_A = 25°C时，V_S = 5.5V，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。

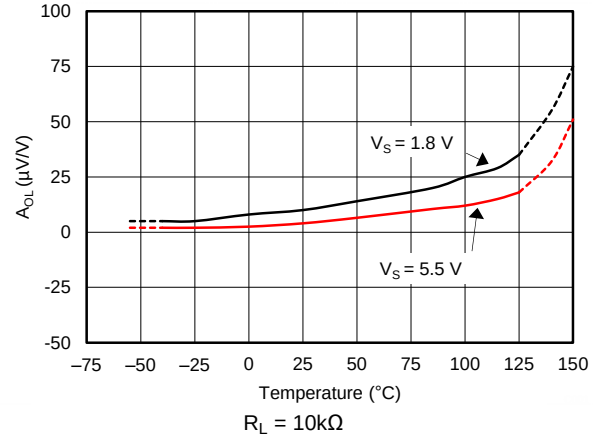


Figure 7. 开环增益与温度间的关系

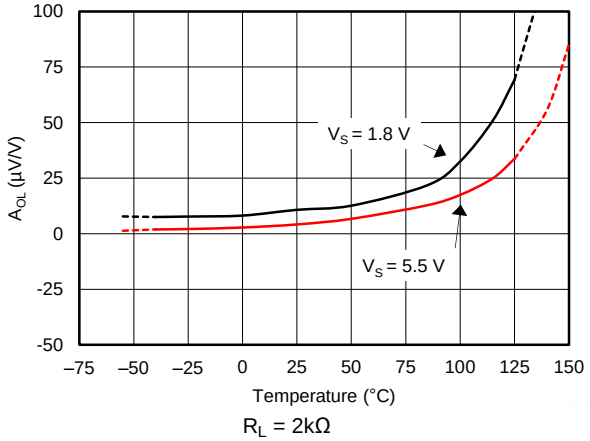


Figure 8. 开环增益与温度间的关系

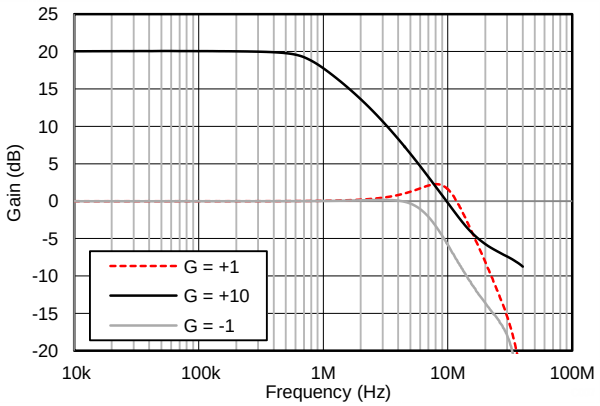


Figure 9. 闭环增益与频率间的关系

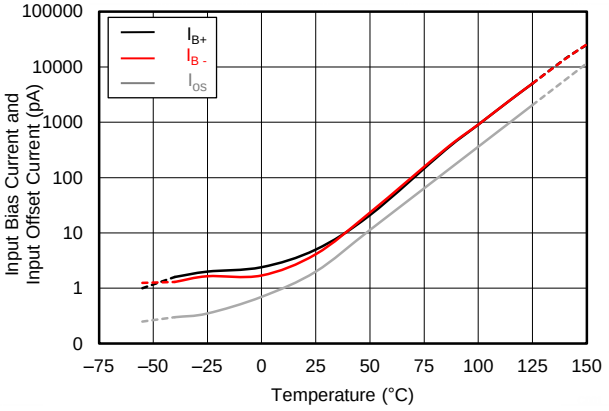


Figure 10. 输入偏置和偏移电流与温度间的关系

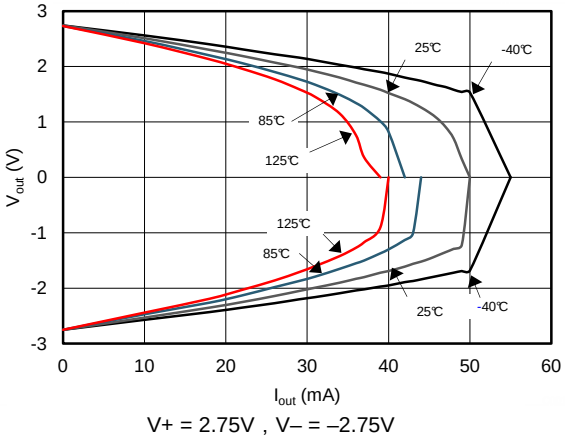


Figure 11. 输出电压摆幅与输出电流间的关系

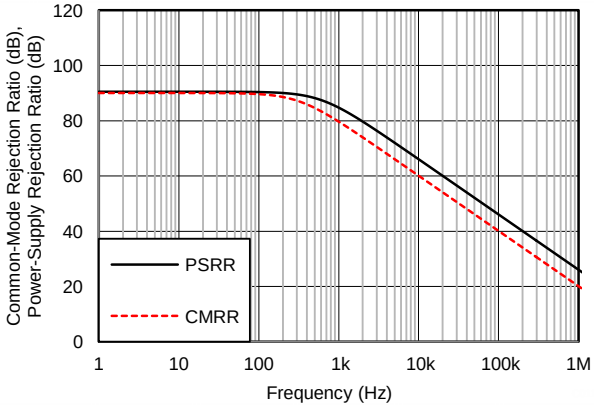


Figure 12. CMRR 和 PSRR 与频率间的关系（以输入为参考）

Copyright © 2014–2016, Texas Instruments Incorporated

典型特性 (continued)

T_A = 25°C时，V_S = 5.5V，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。

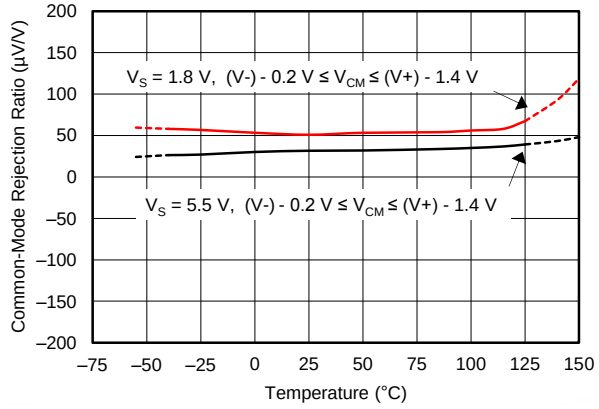


Figure 13. CMRR 与温度间的关系（窄范围）

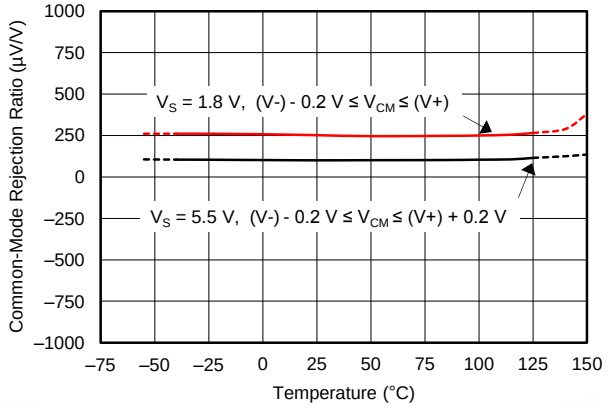


Figure 14. CMRR 与温度间的关系（宽范围）

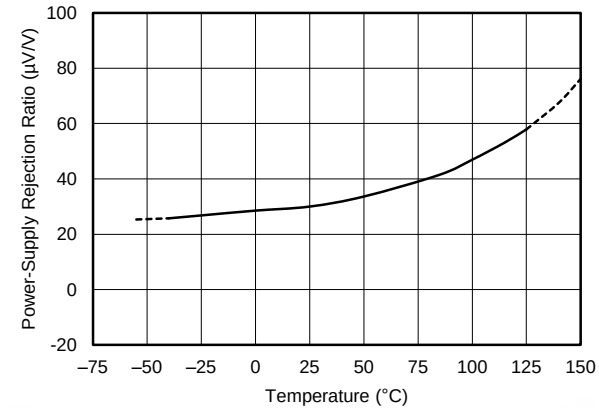


Figure 15. PSRR 与温度间的关系

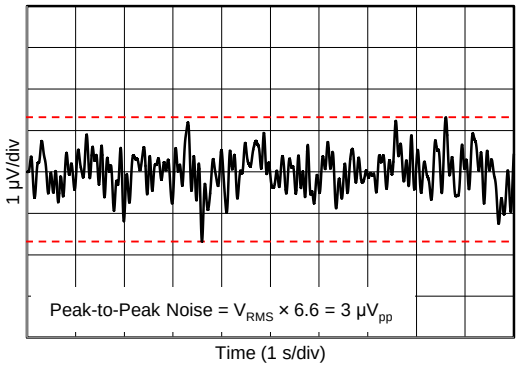


Figure 16. 0.1Hz 至 10Hz 输入电压噪声

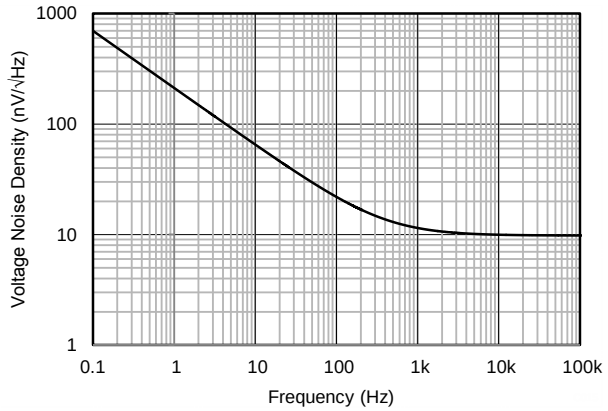


Figure 17. 输入电压噪声频谱密度与频率间的关系

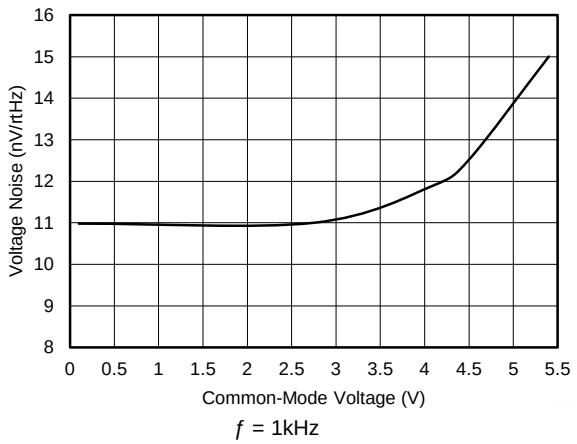
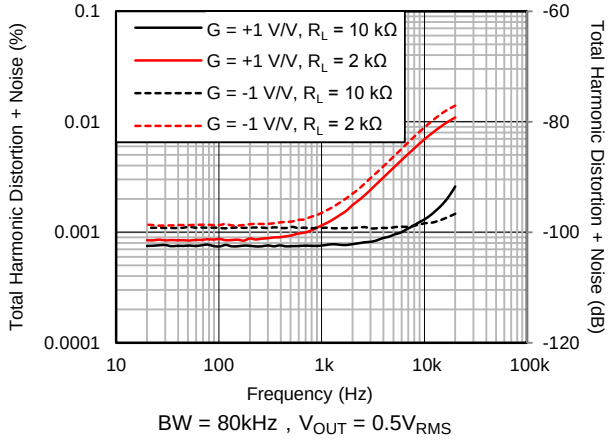


Figure 18. 输入电压噪声与共模电压间的关系

Copyright © 2014–2016, Texas Instruments Incorporated

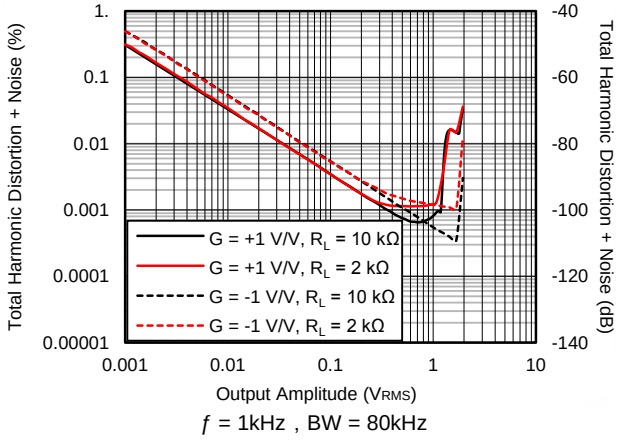
典型特性 (continued)

T_A = 25°C时，V_S = 5.5V，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。



BW = 80kHz，V_{OUT} = 0.5V_{RMS}

Figure 19. THD + N 与频率间的关系



f = 1kHz，BW = 80kHz

Figure 20. THD + N 与幅度间的关系

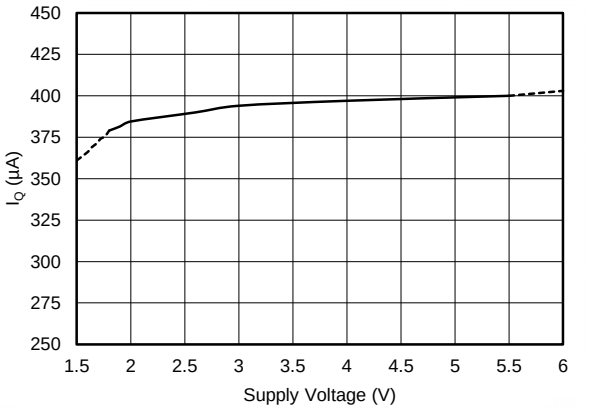


Figure 21. 静态电流与电源电压间的关系

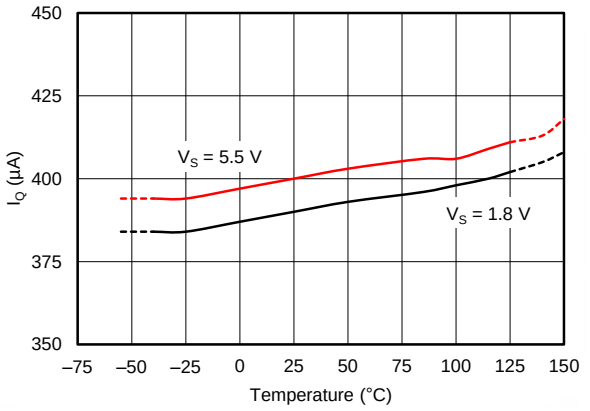


Figure 22. 静态电流与温度间的关系

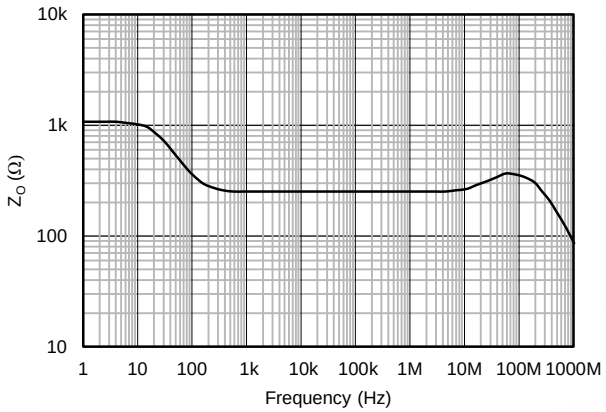
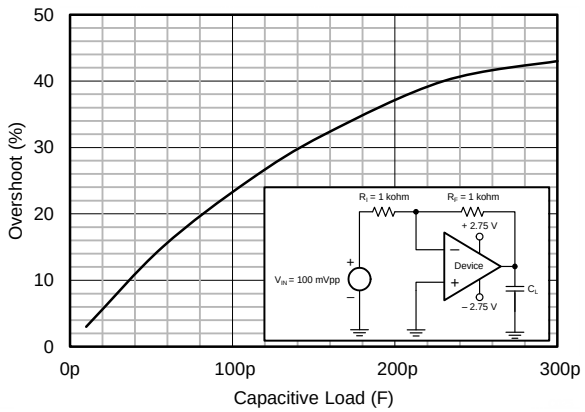


Figure 23. 开环输出阻抗与频率间的关系

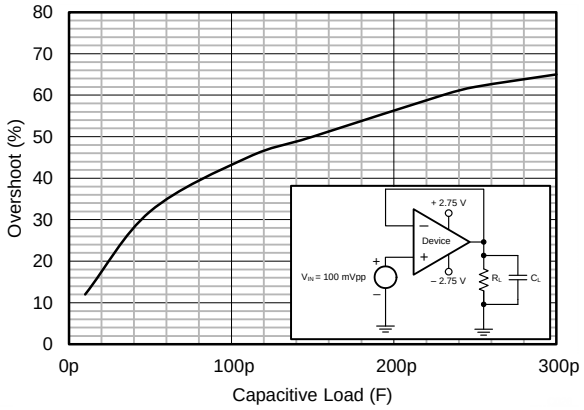


V+ = 2.75V，V– = –2.75V，G = –1V/V

Figure 24. 小信号过冲与负载电容间的关系

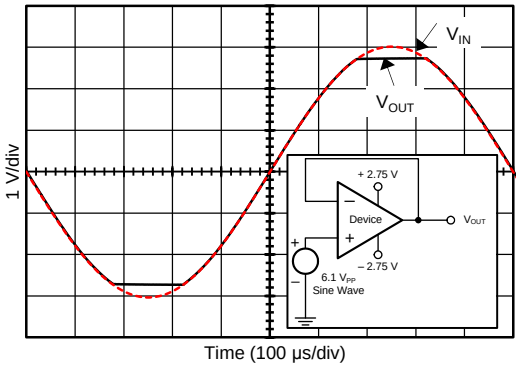
典型特性 (continued)

T_A = 25°C时，V_S = 5.5V，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。



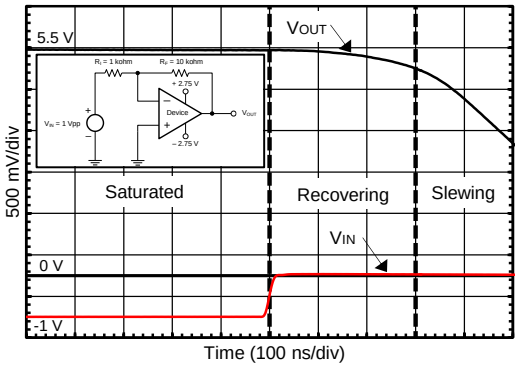
V+ = 2.75V，V– = –2.75V，G = +1V/V，R_L = 1kΩ

Figure 25. 小信号过冲与负载电容间的关系



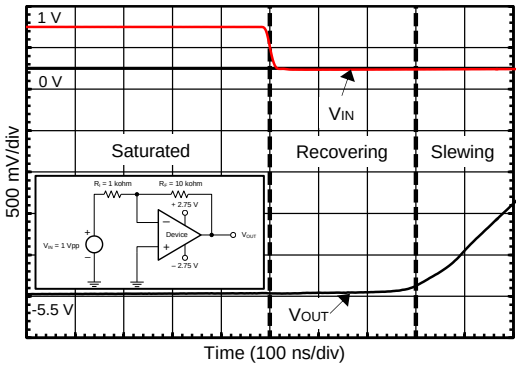
V+ = 2.75V，V– = –2.75V

Figure 26. 无相位反转



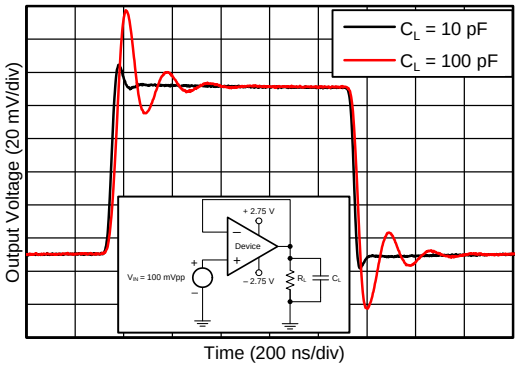
V+ = 2.75V，V– = –2.75V，G = –10V/V

Figure 27. 正过载恢复



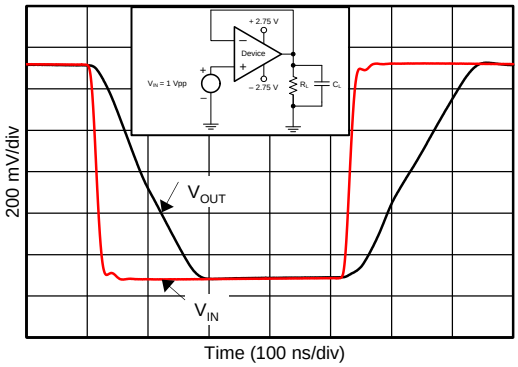
V+ = 2.75V，V– = –2.75V，G = –10V/V

Figure 28. 负过载恢复



V+ = 2.75V，V– = –2.75V，G = +1V/V

Figure 29. 小信号阶跃响应



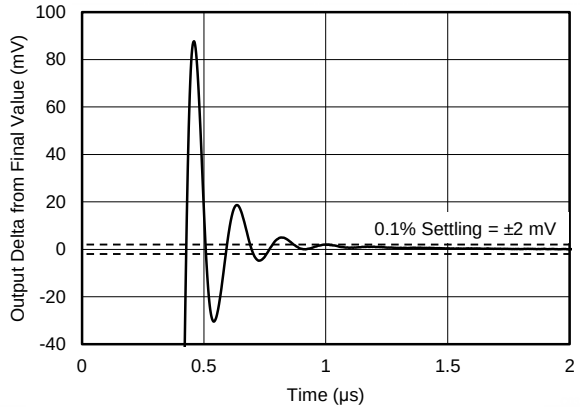
V+ = 2.75V，V– = –2.75V，C_L = 100pF，G = +1V/V

Figure 30. 大信号阶跃响应

Copyright © 2014–2016, Texas Instruments Incorporated

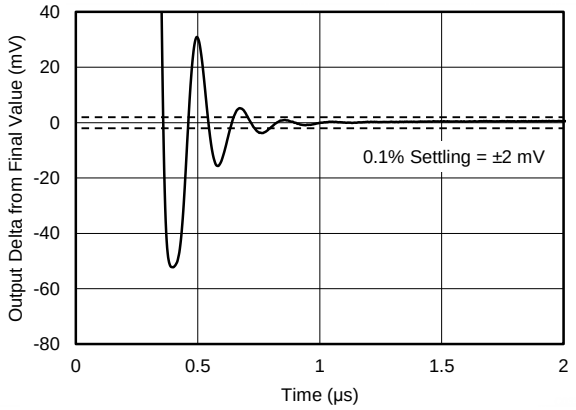
典型特性 (continued)

T_A = 25°C时，V_S = 5.5V，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2，且 V_{OUT} = V_S / 2（除非另有说明）。



C_L = 100pF，G = +1V/V

Figure 31. 正极性大信号趋稳时间



C_L = 100pF，G = +1V/V

Figure 32. 负极性大信号趋稳时间

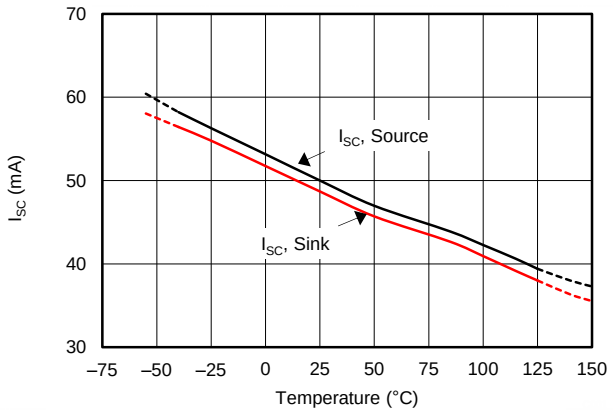


Figure 33. 短路电流与温度间的关系

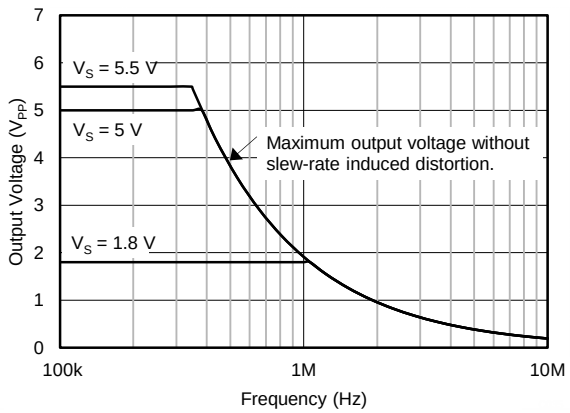
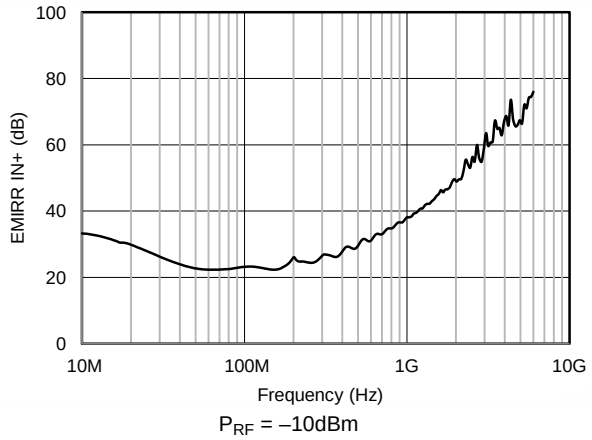
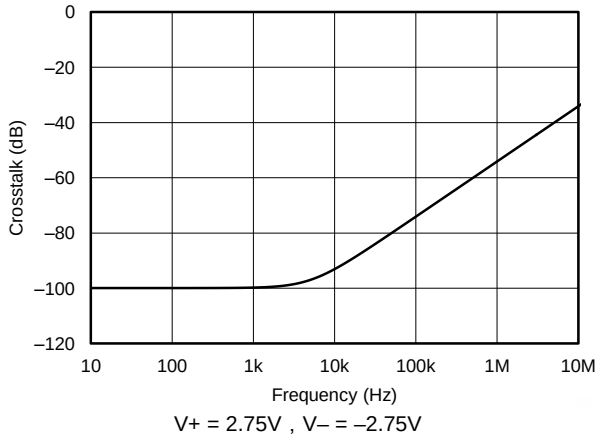


Figure 34. 最大输出电压与频率和电源电压间的关系



P_{RF} = –10dBm

Figure 35. 以同相输入为参考的电磁干扰抑制比 (EMIRR IN+) 与频率间的关系



V+ = 2.75V，V– = –2.75V

Figure 36. 通道分离与频率间的关系

Copyright © 2014–2016, Texas Instruments Incorporated

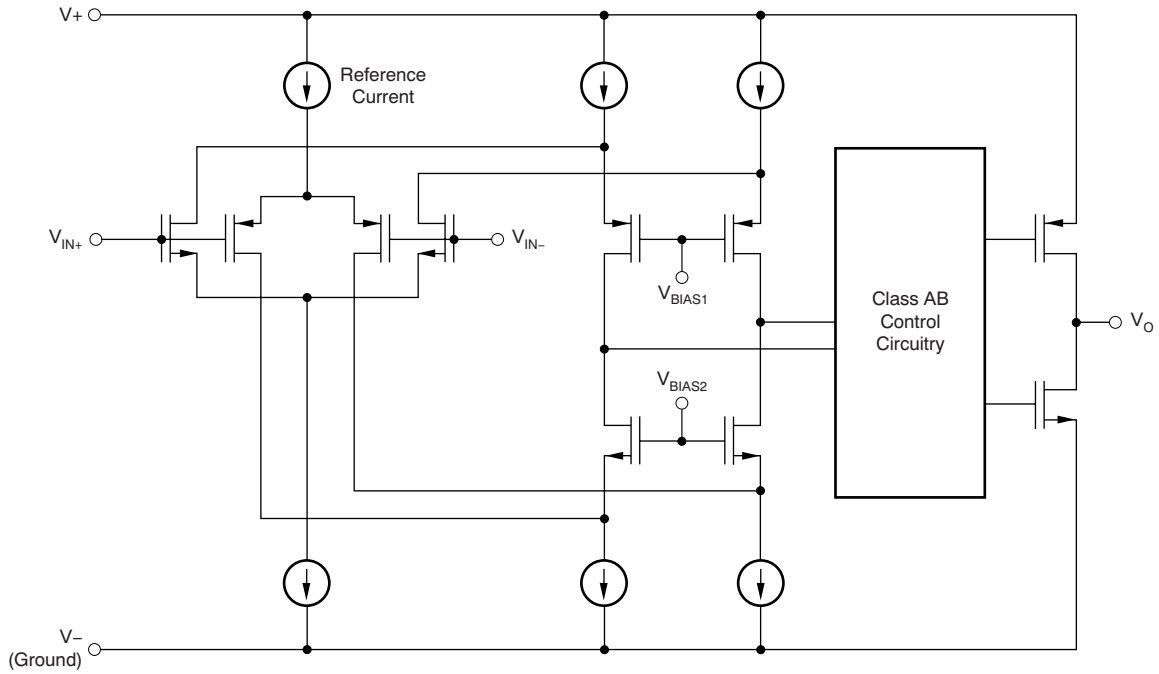
7 详细 说明

7.1 概述

OPA316 是一系列具有低功耗、轨至轨输入和输出的运算放大器。这些器件的工作电压范围为 1.8V 至 5.5V，具有单位增益稳定特性，并且适用于各种通用 应用。的理想之选。AB 类输出级能够驱动连接至 V+ 和接地间任一点的小于或等于 10kΩ 的负载。输入共模电压范围包括两个电源轨，并支持将 OPA316 系列器件用于几乎任何单电源应用。轨至轨输入和输出摆幅可大幅扩大动态范围（尤其在低电源 应用中），因此这些器件成为了驱动采样模数转换器 (ADC) 的理想之选。

OPA316 系列 消除 10MHz 宽带和 6V/μs 转换率，且每个通道仅有 400μA 的电源电流，从而在功耗极低的情况下提供良好的交流电性能。在直流 应用 中也具有良好性能，其输入噪声电压极低（在 1kHz 时为 11nV/√Hz），输入偏置电流低 (5pA)，且输入失调电压为 0.5mV（典型值）。

7.2 功能方框图



7.3 特性 说明

7.3.1 工作电压

OPAx316 运算放大器在 1.8V 至 5.5V 的电压范围内可安全无虞地运行。此外，许多规格在 –40°C 至 +125°C 温度下适用。*典型特性* 图表中说明了随工作电压或温度变化而显著变化的参数。

7.3.2 轨至轨输入

OPAx316 系列的输入共模电压范围在电源轨基础上向外扩展了 200mV，从而支持高于 2.5V 的电源电压。此性能由一个互补输入级实现：一个 N 通道输入差分对和一个 P 通道差分对并联，如 *功能方框图* 所示。当输入电压靠近正轨（通常在 (V+) – 1.4V 到高于正电源电压 200mV 之间）时，N 沟道对有效；而当输入在低于负电源电压 200mV 到大约 (V+) – 1.4V 之间时，P 沟道对有效。在一个通常介于 (V+) – 1.2V 到 (V+) – 1V 之间的小转换区域内，两个通道对都会打开。此 200mV 转换区域可能会随工艺不同而发生变化，最高可达 200mV。因此，此转换区域（两个级都打开）在低端上的范围为 (V+)-1.4V 至 (V+)-1.2V，在高端上的范围高达 (V+)-1 V 至 (V+)-0.8V。与器件在此区域外运行相比，器件在此转换区域内运行时，PSRR、CMRR、失调电压、温漂和 THD 会降级。

Copyright © 2014–2016, Texas Instruments Incorporated

特性 说明 (continued)

7.3.3 输入和 ESD 保护

OPAx316 在所有引脚上均整合了内部 ESD 保护电路。在输入和输出引脚的情况下，这种保护主要包括连接在输入和电源引脚间的导流二极管。只要电流如*绝对最大额定值*中所述不超过 10mA，这些 ESD 保护二极管便还能提供电路内输入过驱保护。Figure 37 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，该值必须保持在最低 值中，该值应保持在最低值。

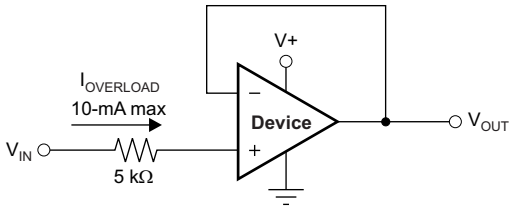


Figure 37. 输入电流保护

7.3.4 共模抑制比 (CMRR)

OPAx316 的 CMRR 是以多种方式指定的，因此对于给定的应用，用户可以使用最佳匹配项；请参阅*电气特征*。首先，数据表给出了低于转换区域 [V_{CM} < (V+) – 1.4V] 的共模范围内的器件 CMRR。当应用需要使用其中一个差分输入对时，此规格最能说明器件的能力。其次，指定了在 V_{CM} = –0.2V 至 5.7V 时（对于 V_S = 5.5V）整个共模范围的 CMRR。最后这个值包含整个转换区域内的变化，如Figure 4 所示。

7.3.5 EMI 敏感性和输入滤波

运算放大器随着器件对于电磁干扰 (EMI) 的易感性而发生变化。如果传导 EMI 进入运算放大器，放大器输出中观察到的直流偏移值在有 EMI 时可能偏离其标称值。这个偏离是由与内部半导体结相关的信号修整引起的。虽然所有的运算放大器引脚功能都会受到 EMI 的影响，但是信号输入引脚可能是最易受影响的。OPA316 运算放大器系列整合了内部输入低通滤波器，该滤波器可减少放大器对 EMI 的响应。此滤波器提供共模和差分模式滤波。此滤波器针对大约 80MHz (-3dB) 的截止频率而设计，具有每十倍频 20dB 的下降率。

TI 已经开发出在 10MHz 至 6GHz 的宽频谱范围内精确测量和量化运算放大器抗扰度的功能。EMI 抑制比 (EMIRR) 指标允许按 EMI 抗扰性直接比较运算放大器。Figure 35 说明了针对 OPA316 系列执行的此测试的结果。有关更多信息，请参阅*《运算放大器的 EMI 抑制比》*(SBOA128)。

7.3.6 轨至轨输出

OPAx316 器件是一种低功耗、低噪声运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管 AB 类输出级被用于实现完全轨到轨输出摆幅功能。对于 10kΩ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 30mV 以内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力；请参阅典型特性图*输出电压摆幅与输出电流间的关系* (Figure 11)。

7.3.7 电容负载和稳定性

OPAx316 旨在用于 需要驱动 容性负载的应用。与所有运算放大器一样，可能存在会使 OPAx316 变得不稳定的特定情况。在确定特定运算放大器的运行是否稳定时，需要考虑放大器电路配置、布局、增益和输出负载等因素。在单位增益
(+1V/V) 缓冲器配置下驱动电容负载的运算放大器比在更高噪声增益下工作的放大器更容易出现不稳定的情况。电容负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相补角降级的极点。相位裕量的减小随着容性负载的增加而增加。保守而言，最佳做法是设计 25% 的过冲（40° 相补角），这样可在流程变化期间提供更高的稳定性。某些较大的电容器（C_L 大于 1μF）的等效串联电阻 (ESR) 足以改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。当在更高电压增益上观察放大器的过冲响应时，这个增加的驱动能力会十分明显。请参阅典型特性图：*小信号过冲与电容负载间的关系* (Figure 24，G = –1V/V) 和*小信号过冲与电容负载间的关系* (Figure 25，G = +1V/V)。

放大器在单位增益配置下运行时增大电容负载驱动能力的一种方法就是串行插入一个小电阻器（一般为 10Ω 到 20Ω），与输出串联（如 Figure 38 中所示）。这个电阻器大大减少了与大电容负载相关的过冲和振铃。然而，这个技巧的一个可能问题是这个增加的串联电阻和任一与负载电容并联的连接电阻会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

Copyright © 2014–2016, Texas Instruments Incorporated

特性 说明 (continued)

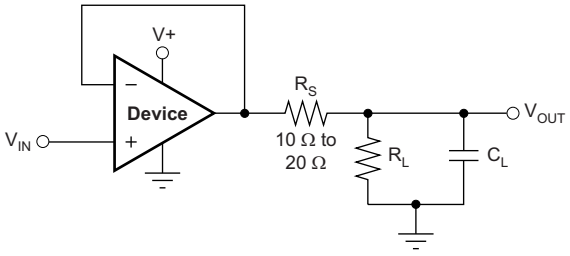


Figure 38. 改进容性负载驱动

7.3.8 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。OPAx316 的过载恢复时间大约为 300ns。

7.3.9 DFN 封装

OPA2316（双通道版本）器件使用 DFN 样式封装（也称为 SON）；此封装是一种仅在封装底部两侧有触点的 QFN 封装。这种无引线封装最大限度增加了印刷电路板 (PCB) 空间，并通过外露散热焊盘来增强散热和电气特征。DFN 封装的主要优点之一是它的高度 (0.9-mm) 较低。DFN 封装物理尺寸小，具有更小的布线面积、更高的散热性能以及更低的电气寄生，并且所采用的引脚分配机制与其他常用封装（如 SOIC 和 MSOP）一致。此外，无外部引线也消除了引线弯曲问题。

对于 DFN 封装，可使用标准 PCB 组装技巧轻松安装。请参阅*《QFN/SON PCB 连接》* (SLUA271) 和*《方形扁平无引脚逻辑封装》*(SCBA017)。

NOTE

将 DFN 封装底部的外露引线框芯片垫连接至最低负电位 (V–)。

7.4 器件功能模式

OPA316、OPA2316 和 OPA4316 器件会在连接电源时通电。这些器件可根据应用情况作为单电源运算放大器或双电源放大器使用。

OPA2316S 器件具有 SHDN（启用）引脚功能，以运算放大器的负电源电压为基准。逻辑高电平将启用运算放大器。有效逻辑高电平是指施加到 SHDN 引脚上的电压 [(V+) – 0.1V]，最大为 (V+)。有效逻辑低电平是指施加到使能引脚上的电压 [(V–) + 0.1 V]，最低为 (V–)。施加到 SHDN 的最大允许电压相对于负电源为 5.5V（与正电源电压无关）。将该引脚连接至有效的高电压、低电压或者被驱动，而不是保留开路。

逻辑输入是高阻抗 CMOS 输入。对于这两个输入，将独立控制。对于电池供电的 应用，这种特性可以用于大幅降低平均电流并延长电池使用寿命。

Copyright © 2014–2016, Texas Instruments Incorporated

8 应用和实施

NOTE

以下应用部分中的 信息 不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 应用信息

8.1.1 一般配置

当接收到低电平信号时，器件通常需要限制即将进入系统的信号的带宽。建立这个受限带宽的最简单方法是在放大器的同相引脚上放置一个 RC 滤波器，如Figure 39 中所示。

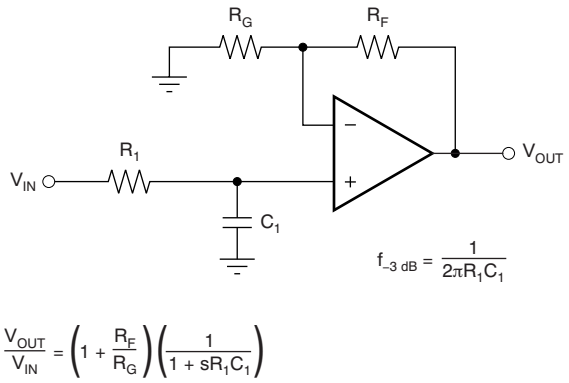


Figure 39. 单极低通滤波器

如果需要更多衰减，器件需要多极点滤波器。Sallen-Key 滤波器可用于完成此项任务，如Figure 40 所示。为了获得最佳结果，放大器的带宽必须是滤波器频率带宽的 8 到 10 倍。不遵守这一准则可能导致放大器出现相移。

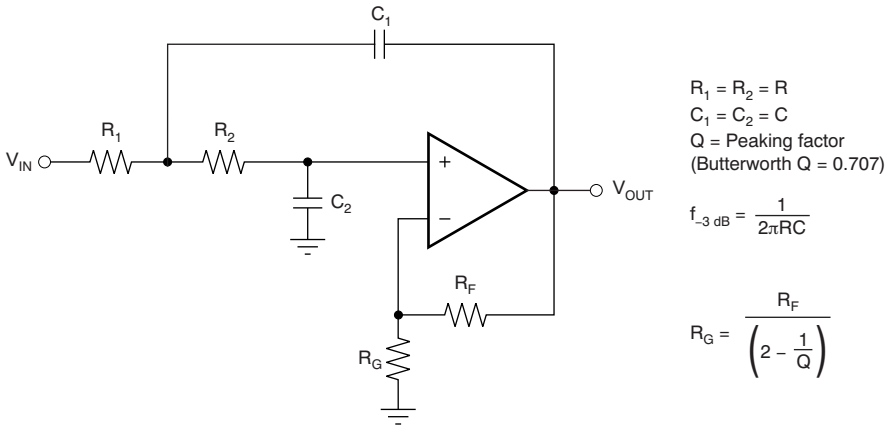


Figure 40. 两极低通 Sallen-Key 滤波器

8.2 典型应用

有些 应用 需要差分信号。 Figure 41 显示，简单电路可利用一个 2.7V 的电源将 0.1V 至 2.4V 的单端输入转换为 ±2.3V 的差分输出。本示例有意限制输出范围以实现线性最大化。电路由两个放大器构成。一个放大器充当缓冲器并产生 VOUT+ 电压。另一个放大器使输入反相并添加参考电压以生成 VOUT–。VOUT+ 和 VOUT– 范围为 0.1V 至 2.4V。差异 VDIFF 是指 VOUT+ 和 VOUT– 之间的差异，这导致差异输出电压范围为 2.3 V。

Copyright © 2014–2016, Texas Instruments Incorporated

典型应用 (continued)

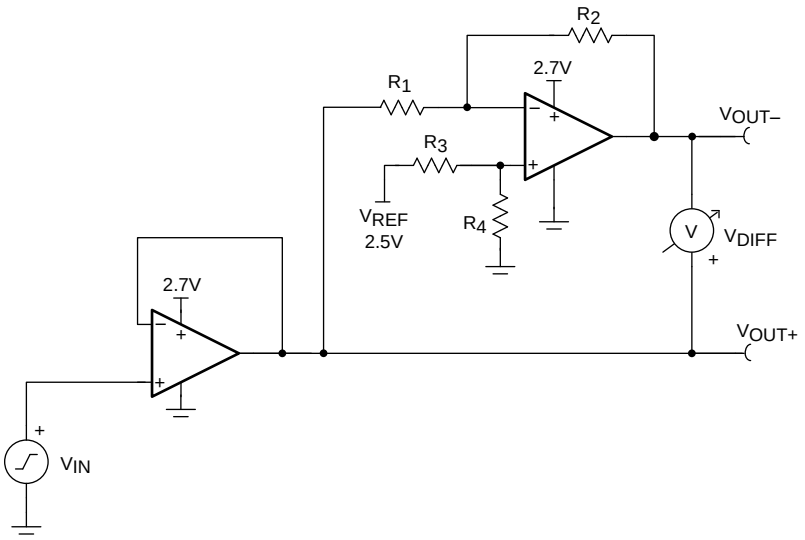


Figure 41. 单端输入到差分输出的转换原理图

8.2.1 设计要求

Table 1 列出了设计要求：

Table 1. 设计参数

设计参数	值
电源电压	2.7V
基准电压	2.5V
输入电压	0.1V 至 2.4V
输出差分电压	±2.3V
输出共模电压	1.25V
小信号带宽	5MHz

8.2.2 详细设计流程

在 Figure 41 中，电路采用单端输入信号 VIN，并生成两个输出信号（VOUT+ 和 VOUT–），生成输出信号时使用两个放大器和基准电压 VREF。VOUT+ 是第一个放大器的输出，并且是输入信号 VIN 的缓冲版本（如Equation 1 所示）。VOUT– 是第二个放大器的输出，该放大器使用 VREF 将失调电压添加至 VIN 和反馈以添加反相增益。VOUT– 的传递函数如Equation 2 所示。

$$V_{OUT+} = V_{IN} \tag{1}$$

$$V_{OUT-} = V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) - V_{IN} \times \frac{R_2}{R_1} \tag{2}$$

差分输出信号 VDIFF 是两个单端输出信号 VOUT+ 和 VOUT– 之间的差异。Equation 3 显示了 VDIFF 的传递函数。使用Equation 4 和Equation 5 中的条件并应用 $R_1 = R_2$ 和 $R_3 = R_4$ 两种条件，传递函数简化为了 Equation 6。使用此配置，最大的输入信号等于基准电压，每个放大器的最大输出等于 VREF。差分输出范围为 2 × VREF。此外，共模电压是 VREF 的一半，如Equation 7 所示。

$$V_{DIFF} = V_{OUT+} - V_{OUT-} = VIN \times \left(1 + \frac{R_2}{R_1} \right) - V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) \tag{3}$$

$$V_{OUT+} = V_{IN} \tag{4}$$

$$V_{OUT-} = V_{REF} - V_{IN} \tag{5}$$

$$V_{DIFF} = 2 \times V_{IN} - V_{REF} \tag{6}$$

Copyright © 2014–2016, Texas Instruments Incorporated

$$V_{CM} = \left(\frac{V_{OUT+} + V_{OUT-}}{2} \right) = \frac{1}{2} V_{REF} \tag{7}$$

8.2.2.1 放大器选择

输入范围的线性是实现良好直流精度的关键。共模输入范围和输出摆幅限制决定线性。通常，需要具有轨至轨输入和输出摆幅的放大器。宽带是此设计的主要考虑因素，因此，选择 OPAx316 是因为其宽带高于 5MHz 的目标。宽带和功耗比可使该器件实现低功耗，且低失调和低漂移可确保精度适中的 应用实现良好精度。

8.2.2.2 无源组件选择

由于 VOUT– 的传递函数高度依赖于电阻器（R_1、R_2、R_3 和 R_4），应使用低容差的电阻器以最大限度提高性能并最大限度减小误差。此设计使用电阻值为 49.9kΩ 且容差为 0.1% 的电阻器。但是，如果系统噪声是关键参数，可以选择较低电阻值（6kΩ 或更低）以使整个系统保持低噪音。这可确保电阻器噪声低于放大器噪声。

Copyright © 2014–2016, Texas Instruments Incorporated

8.2.3 应用曲线

Figure 42、Figure 43 和Figure 44 中的测量传递函数是通过扫描 0.1 V 至 2.4 V 输入电压而生成的。整个输入范围实际上是 0V 至 2.5V，但被限制为不超过 0.1V 以维持最佳线性。有关此设计和可用于代替 OPAx316 的其他备选器件的更多详细信息，请参阅*《单端输入至差分输出转换电路参考设计》*(TIPD131)。

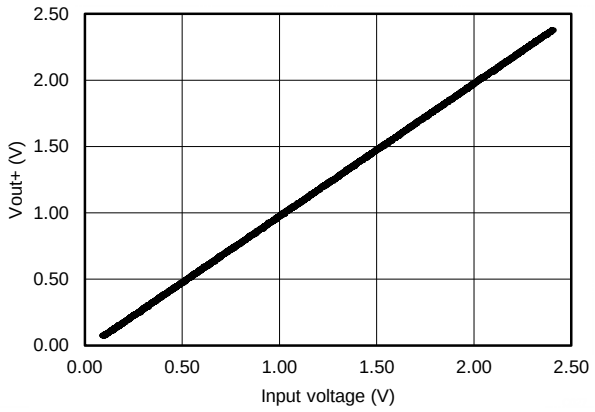


Figure 42. VOUT+ 与输入电压间的关系

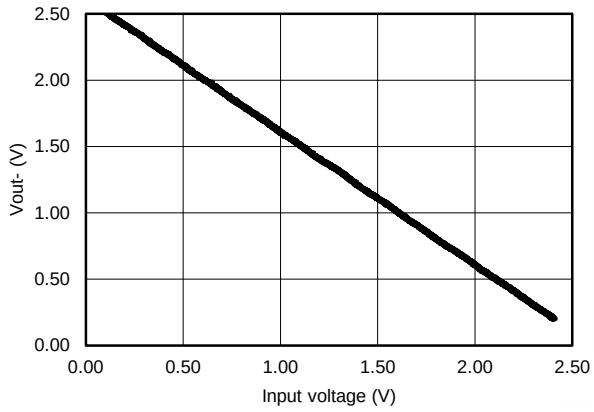


Figure 43. VOUT– 与输入电压间的关系

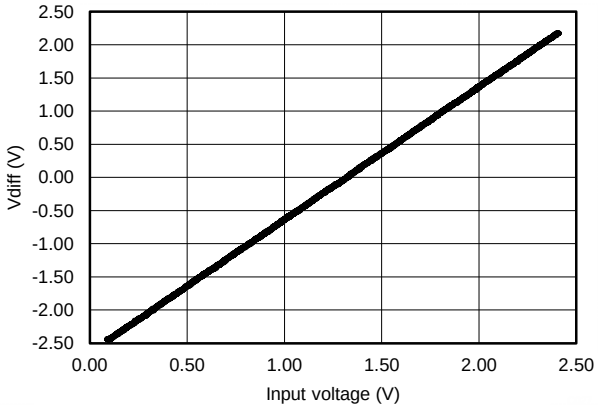


Figure 44. VDIFF 与输入电压间的关系

Copyright © 2014–2016, Texas Instruments Incorporated

9 电源建议

OPAx316 的额定工作范围为 1.8V 至 5.5V （±0.9V 至 ±2.75V）；多种规格适用于 –40°C 至 +125°C 的温度范围。*典型特性* 中介绍了可能会随工作电压或温度的变化而显著变化的参数。

CAUTION

电源电压大于 7V 可能对器件造成永久损坏（请参阅*绝对最大额定值* 表）。

将 0.1μF 旁路电容放置于电源引脚附近，旁路电容可以提供低阻抗回路来降低电源的耦合噪声。有关旁路电容器放置的更多详细信息，请参阅*布局指南*。

Copyright © 2014–2016, Texas Instruments Incorporated

10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器传入模拟电路。旁路电容器通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1μF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源 应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅*《电路板布局技巧》*(SLOA089)。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交比平行相交好得多。
- 外部组件的位置应尽量靠近器件。如*布局示例* 中所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记，输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

10.2 布局示例

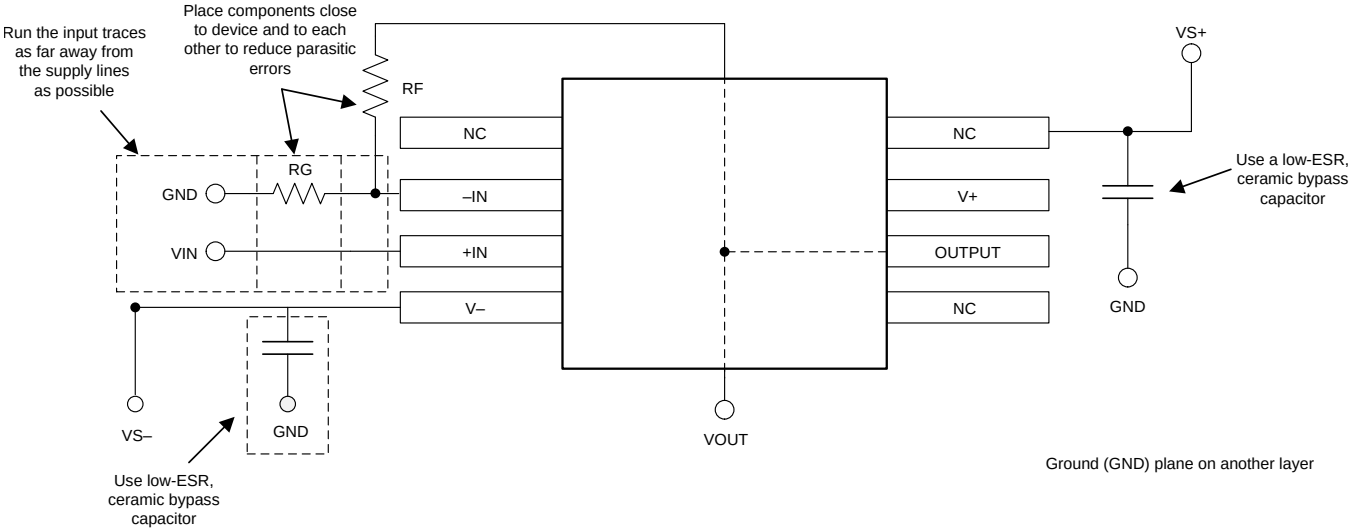


Figure 45. 同相配置的运算放大器电路板布局

版权 © 2014–2016, Texas Instruments Incorporated

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- *《运算放大器的 EMI 抑制比》*（文献编号：SBOA128）。
- *《QFN/SON PCB 连接》*（文献编号：SLUA271）。
- *《四方扁平无引线逻辑器件封装》*（文献编号：SCBA017）。
- *《单端输入至差分输出转换电路参考设计》*（文献编号：TIPD131）。
- *《电路板布局布线技巧》*（文献编号：SLOA089）。

11.2 相关链接

下面的表格中列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 **2.** 相关链接

部件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA316	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2316	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2316S	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4316	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.3 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的*通知我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.6 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.7 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

版权 © 2014–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2316ID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O2316
OPA2316ID.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O2316
OPA2316IDGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OVMQ
OPA2316IDGK.B	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OVMQ
OPA2316IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	OVMQ
OPA2316IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OVMQ
OPA2316IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O2316
OPA2316IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O2316
OPA2316IDRGR	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	SMD
OPA2316IDRGR.B	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	SMD
OPA2316IDRGRG4	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	SMD
OPA2316IDRGRG4.B	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	SMD
OPA2316IDRGT	Active	Production	SON (DRG) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	SMD
OPA2316IDRGT.B	Active	Production	SON (DRG) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	SMD
OPA2316SIDGS	Active	Production	VSSOP (DGS) | 10	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	SMG
OPA2316SIDGS.B	Active	Production	VSSOP (DGS) | 10	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	SMG
OPA2316SIDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	SMG
OPA2316SIDGSR.B	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	SMG
OPA2316SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QU
OPA2316SIRUGR.B	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QU
OPA2316SIRUGRG4	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QU
OPA2316SIRUGRG4.B	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QU
OPA2316SIRUGT	Active	Production	X2QFN (RUG) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QU
OPA2316SIRUGT.B	Active	Production	X2QFN (RUG) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QU
OPA316IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SLE
OPA316IDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SLE
OPA316IDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SLE
OPA316IDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SLE
OPA316IDBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SLE

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA316IDBVTG4.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SLE
OPA316IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	SLD
OPA316IDCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	SLD
OPA316IDCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU | POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	SLD
OPA316IDCKT.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	SLD
OPA316IDCKTG4	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	SLD
OPA316IDCKTG4.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	SLD
OPA4316ID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O4316D
OPA4316ID.B	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O4316D
OPA4316IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O4316D
OPA4316IDR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O4316D
OPA4316IDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O4316D
OPA4316IDRG4.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O4316D
OPA4316IPW	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4316
OPA4316IPW.B	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4316
OPA4316IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4316
OPA4316IPWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4316
OPA4316IPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4316
OPA4316IPWRG4.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4316

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2316, OPA316, OPA4316 :

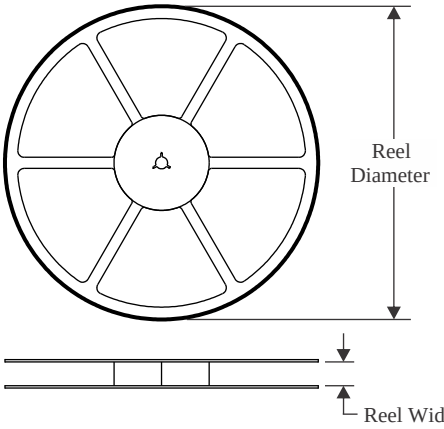
- Automotive : OPA2316-Q1, OPA316-Q1, OPA4316-Q1

NOTE: Qualified Version Definitions:

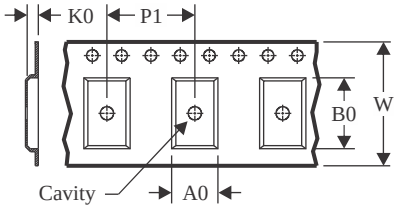
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

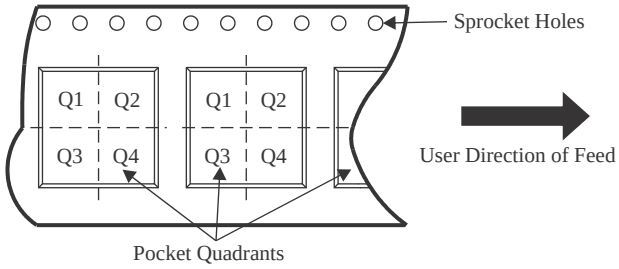


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

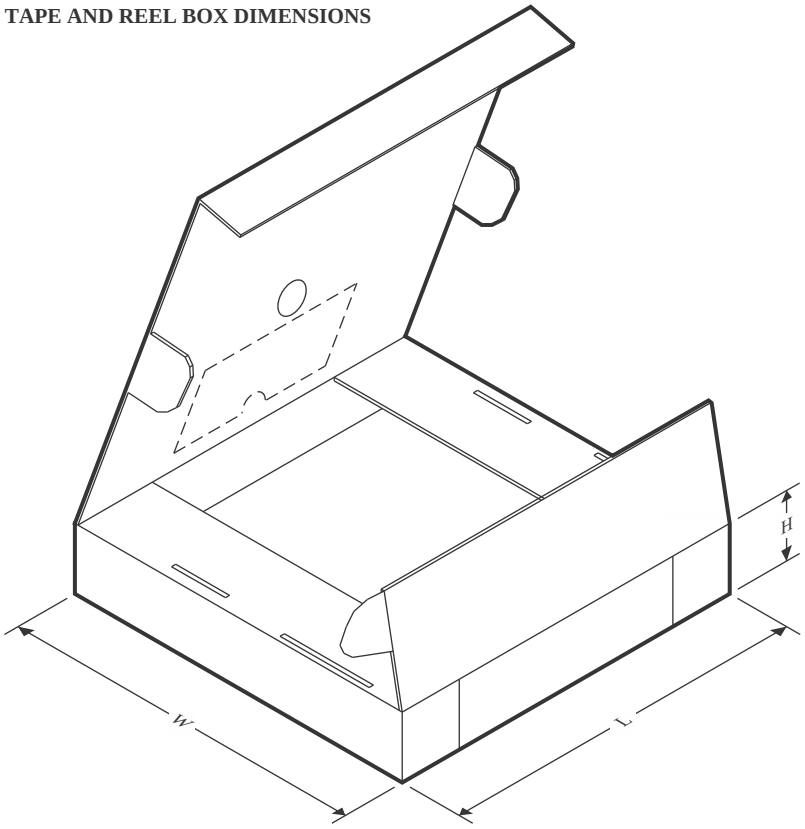


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2316IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2316IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2316IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2316IDRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2316IDRGRG4	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2316IDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2316SIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2316SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
OPA2316SIRUGRG4	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
OPA2316SIRUGT	X2QFN	RUG	10	250	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
OPA316IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA316IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA316IDBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA316IDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
OPA316IDCKT	SC70	DCK	5	250	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
OPA316IDCKTG4	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA4316IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4316IDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4316IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4316IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

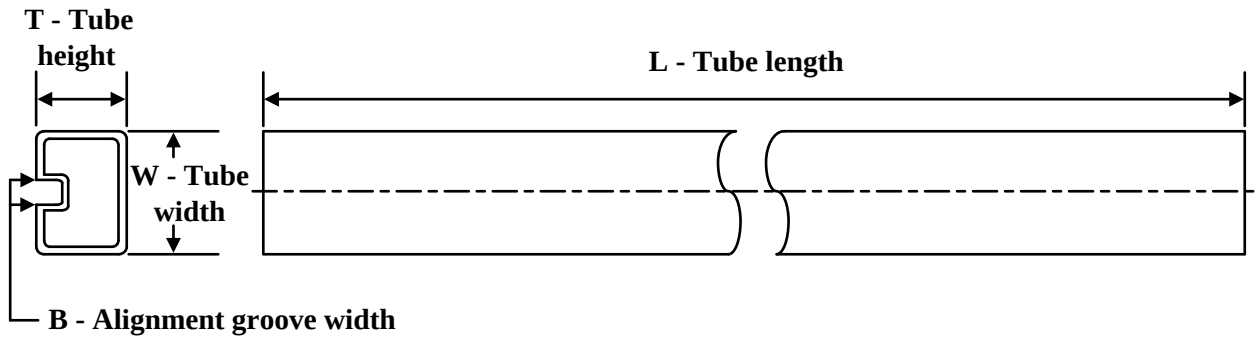


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2316IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2316IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2316IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2316IDRGR	SON	DRG	8	3000	346.0	346.0	33.0
OPA2316IDRGRG4	SON	DRG	8	3000	346.0	346.0	33.0
OPA2316IDRGT	SON	DRG	8	250	182.0	182.0	20.0
OPA2316SIDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
OPA2316SIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
OPA2316SIRUGRG4	X2QFN	RUG	10	3000	210.0	185.0	35.0
OPA2316SIRUGT	X2QFN	RUG	10	250	210.0	185.0	35.0
OPA316IDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA316IDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA316IDBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA316IDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
OPA316IDCKT	SC70	DCK	5	250	210.0	185.0	35.0
OPA316IDCKTG4	SC70	DCK	5	250	180.0	180.0	18.0
OPA4316IDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4316IDRG4	SOIC	D	14	2500	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA4316IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
OPA4316IPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA2316ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2316ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2316IDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2316IDGK.B	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2316SIDGS	DGS	VSSOP	10	80	330	6.55	500	2.88
OPA2316SIDGS.B	DGS	VSSOP	10	80	330	6.55	500	2.88
OPA4316ID	D	SOIC	14	50	507	8	3940	4.32
OPA4316ID.B	D	SOIC	14	50	507	8	3940	4.32
OPA4316IPW	PW	TSSOP	14	90	530	10.2	3600	3.5
OPA4316IPW.B	PW	TSSOP	14	90	530	10.2	3600	3.5

GENERIC PACKAGE VIEW

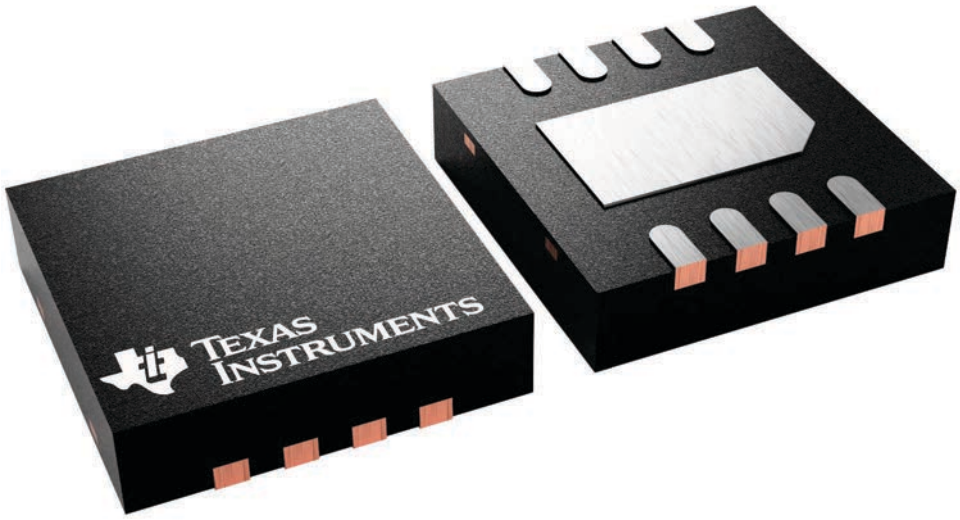
DRG 8

WSON - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



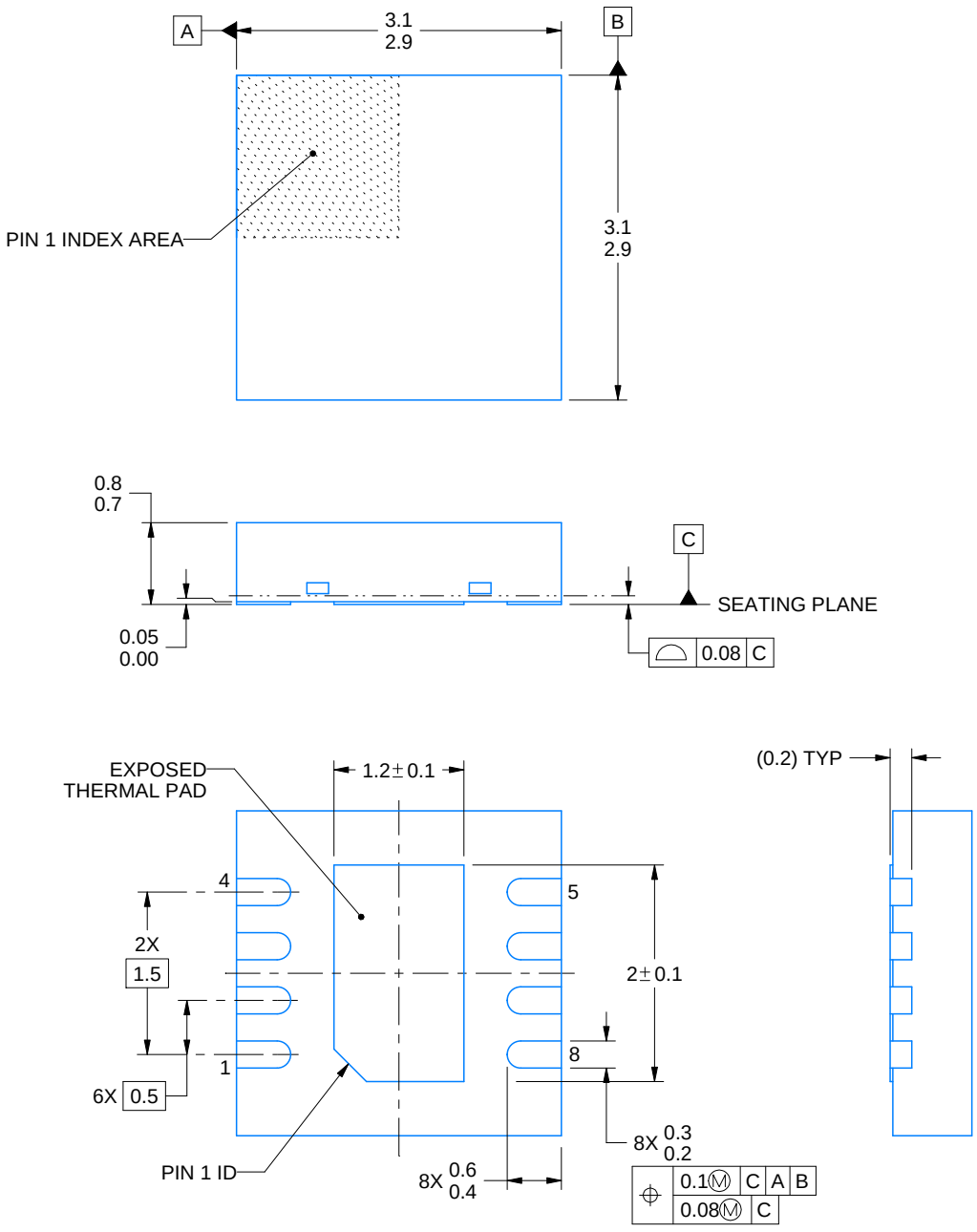
4225794/A

PACKAGE OUTLINE

DRG0008A

WSON - 0.8 mm max height

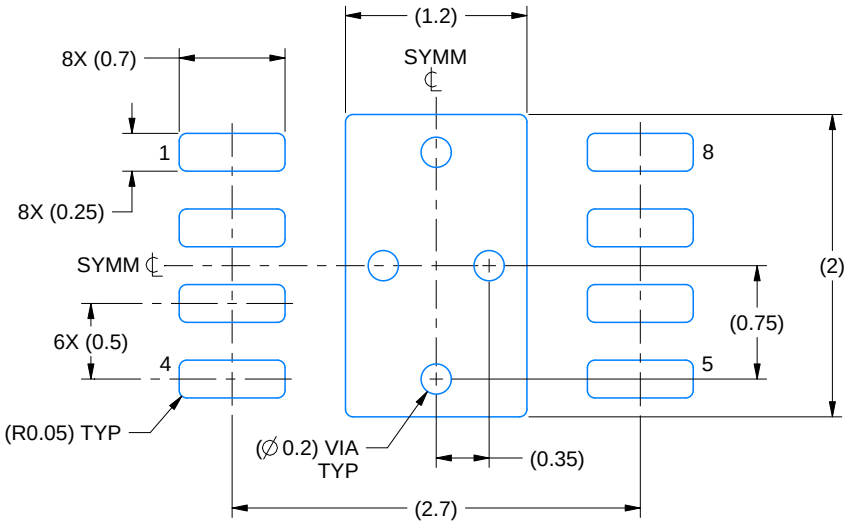
PLASTIC SMALL OUTLINE - NO LEAD



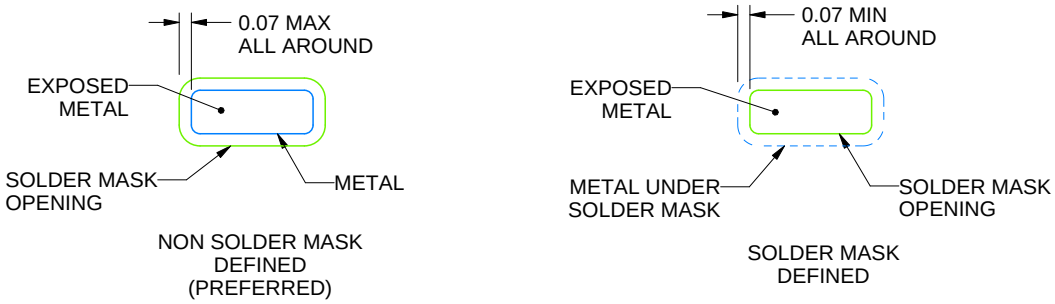
4218885/A 03/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

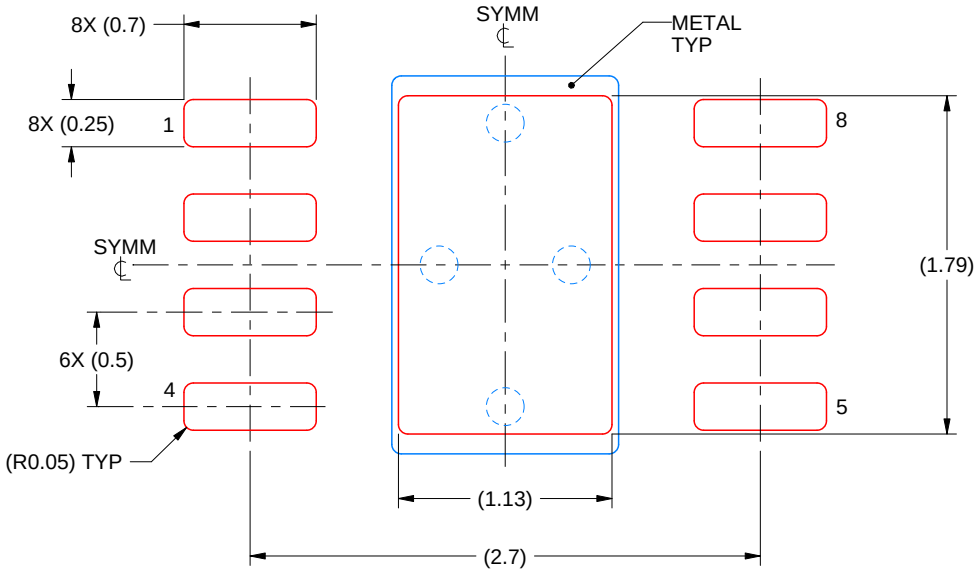


SOLDER MASK DETAILS

4218885/A 03/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



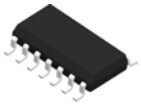
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218885/A 03/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

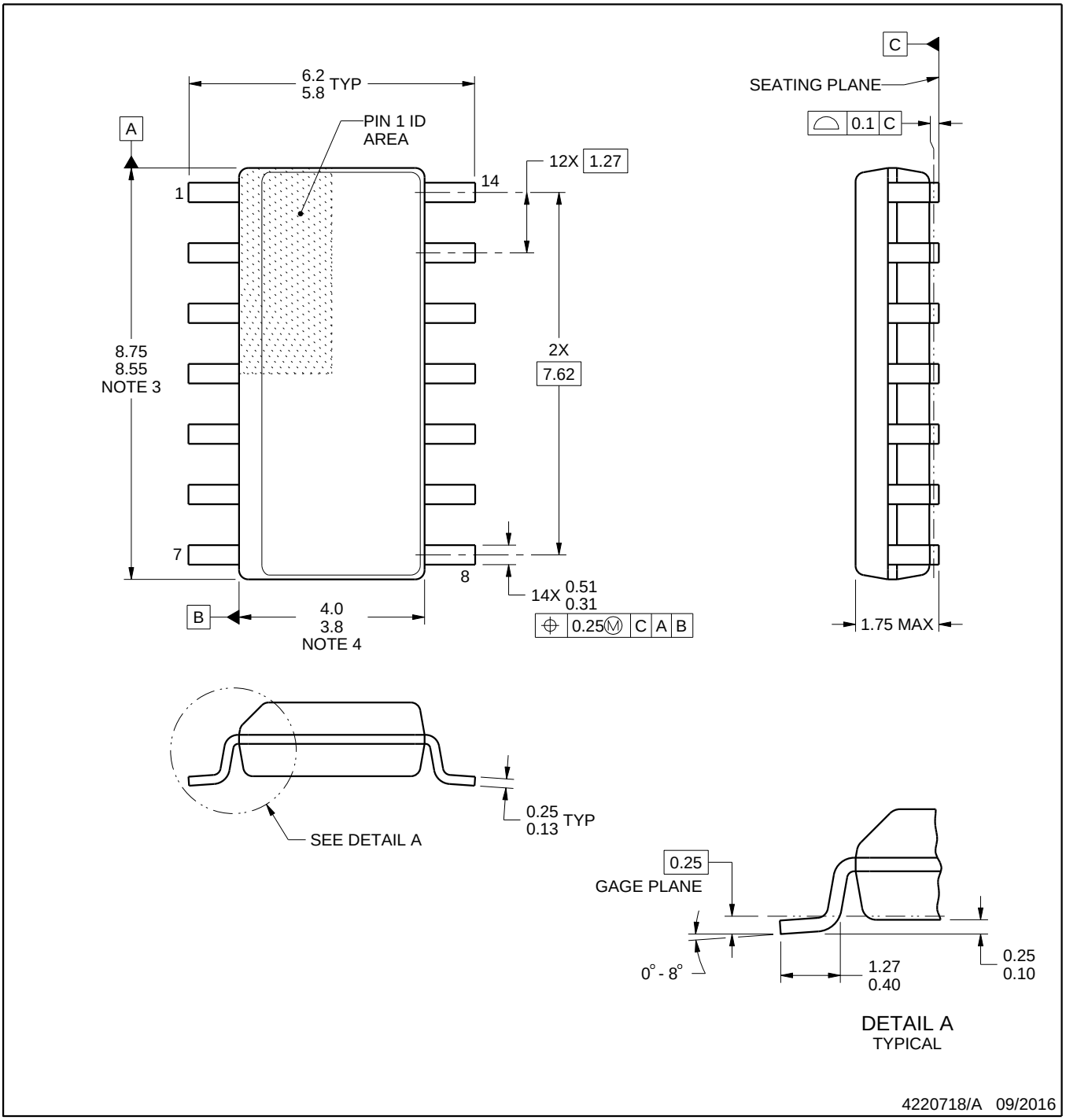


PACKAGE OUTLINE

D0014A

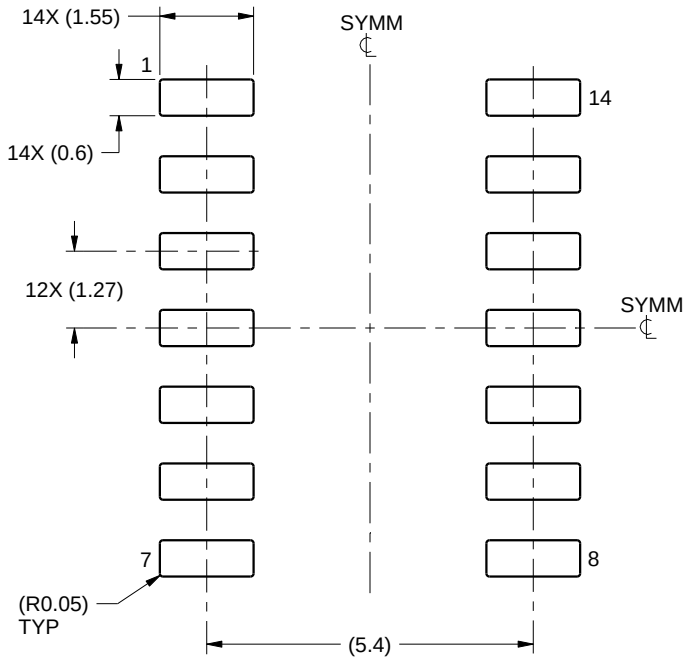
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

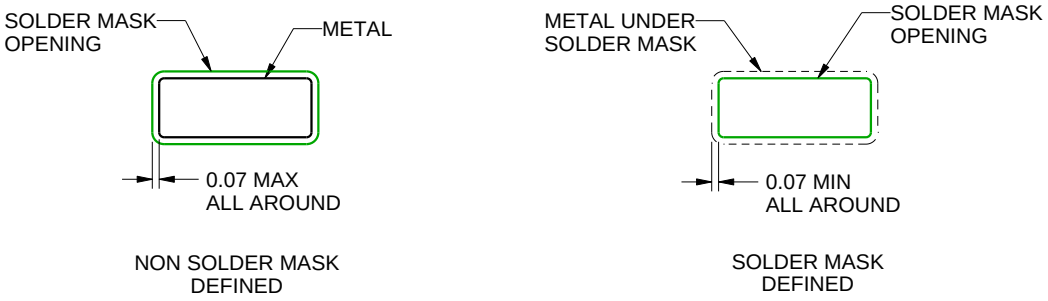


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

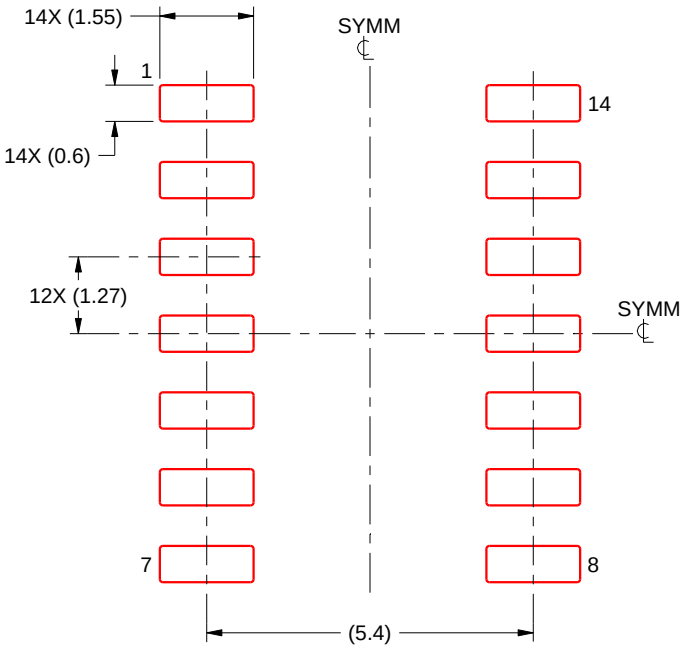
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

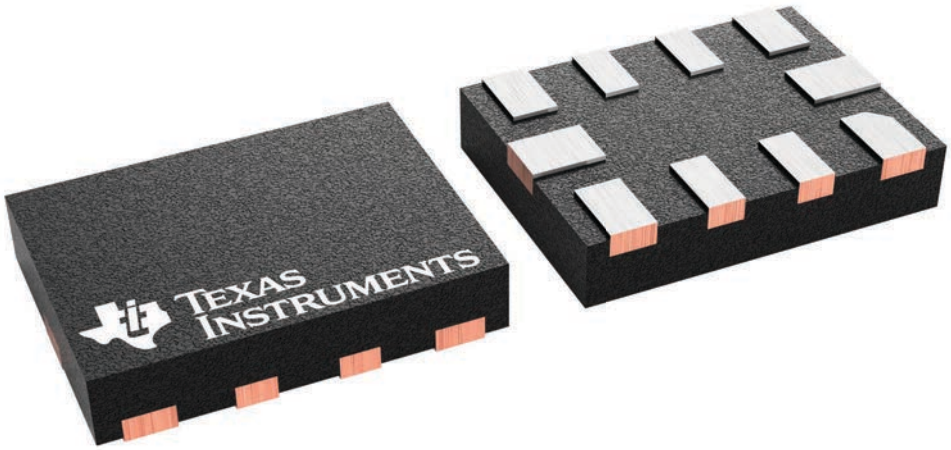
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



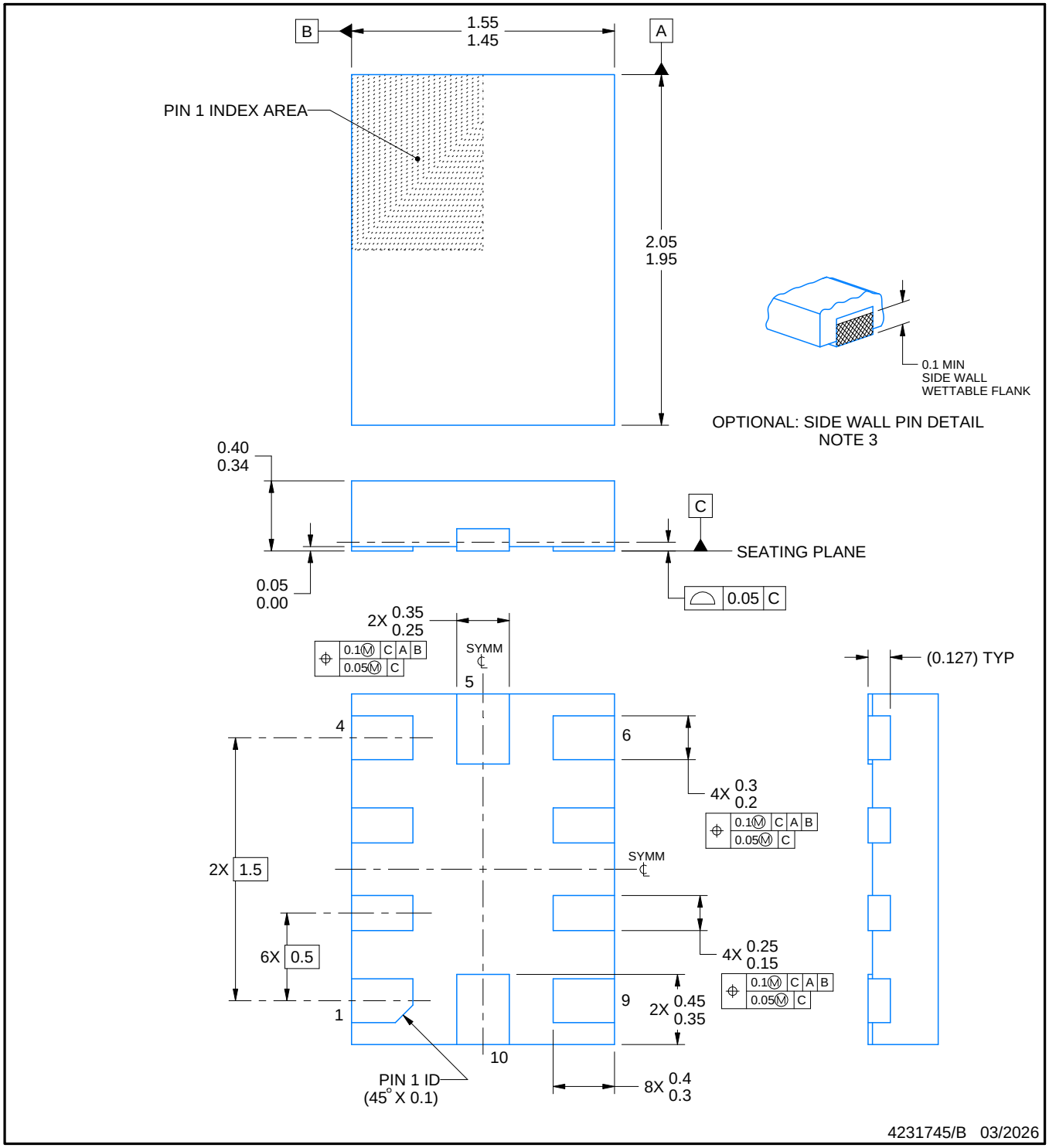
4231768/A

RUG0010A

PACKAGE OUTLINE

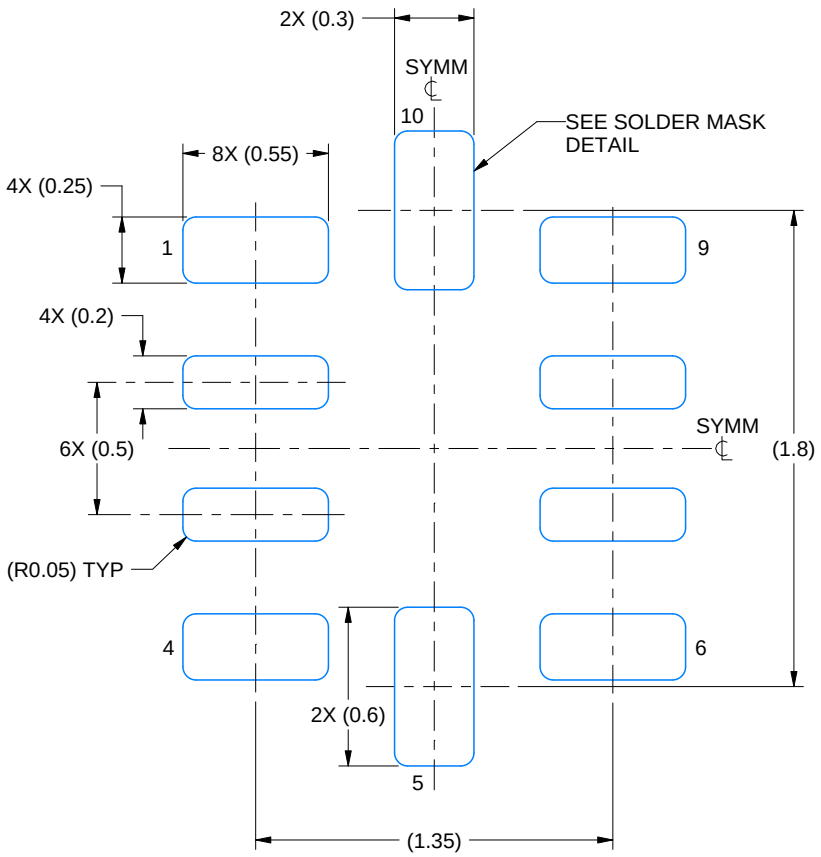
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

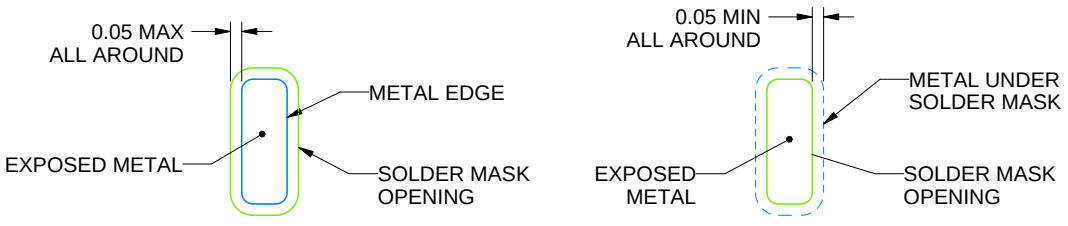


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

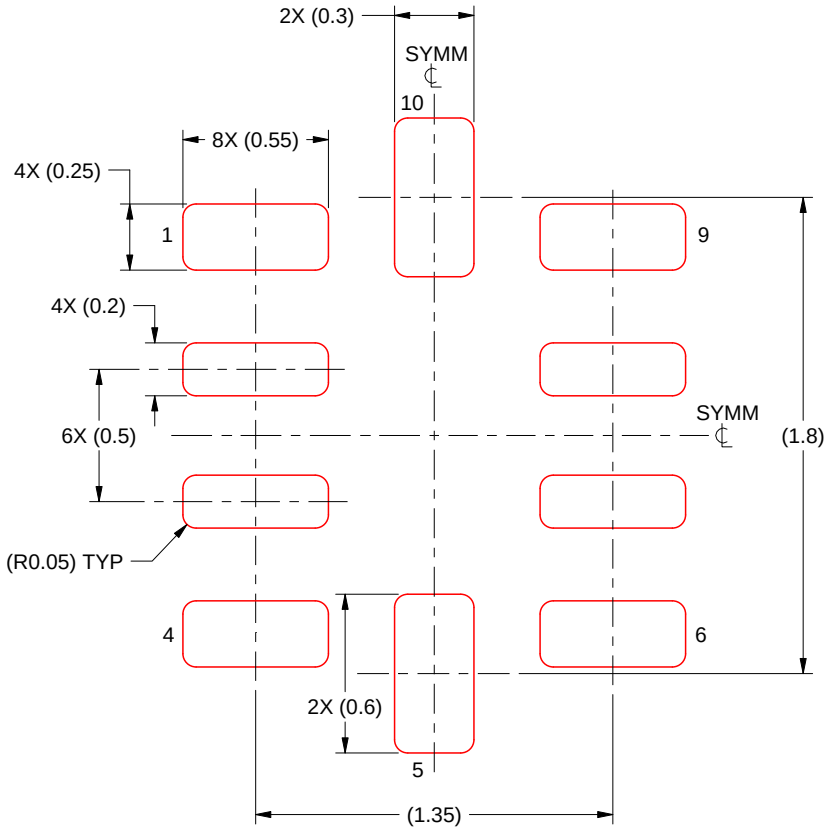
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUG0010A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

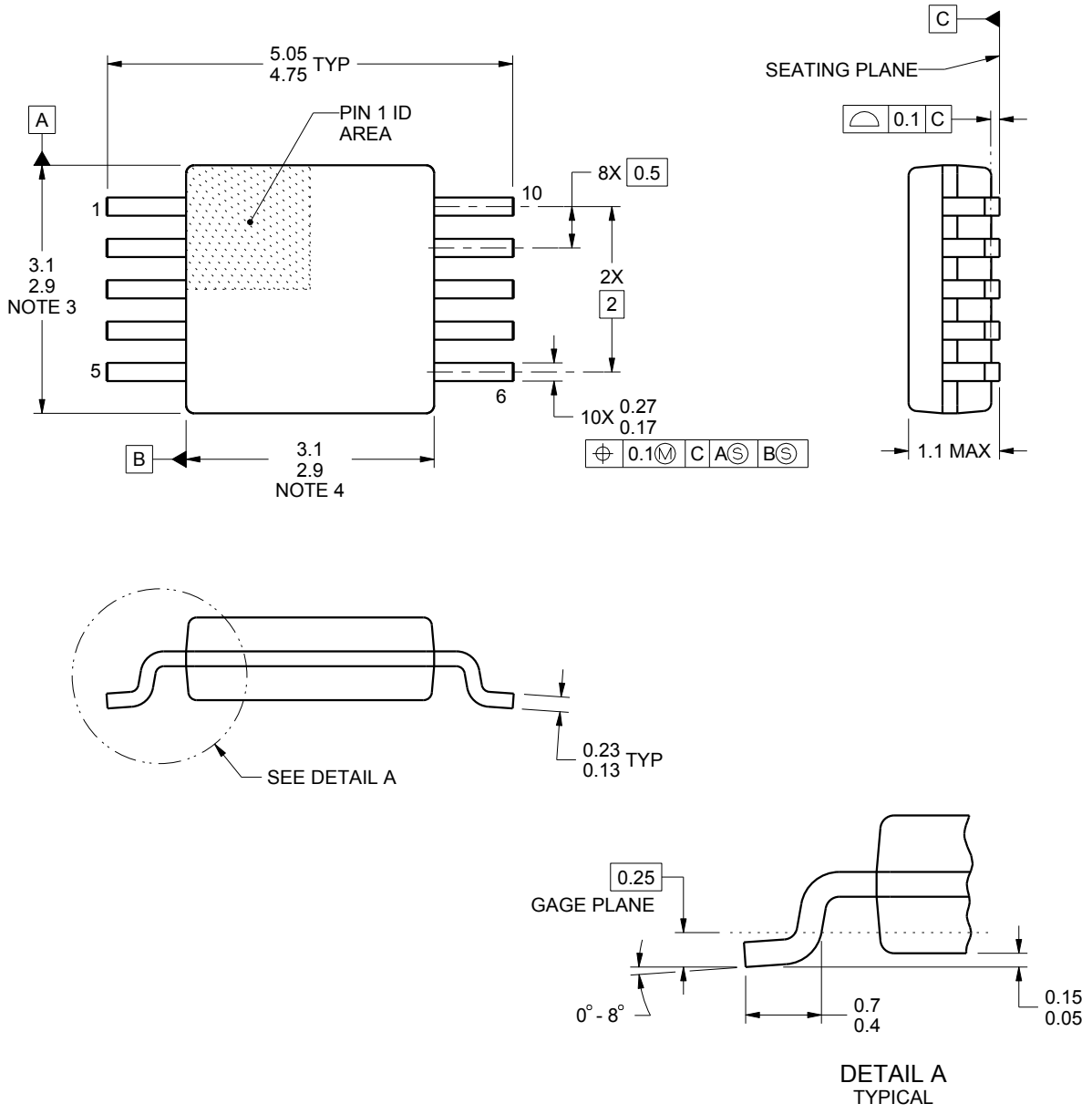
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DGS0010A

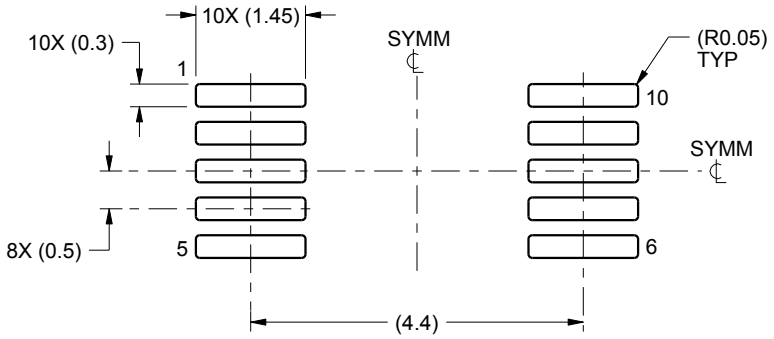
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

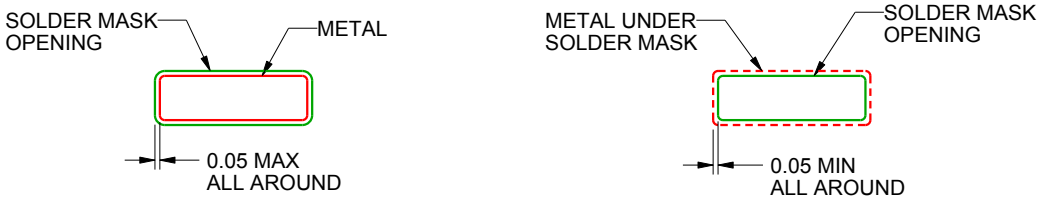


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

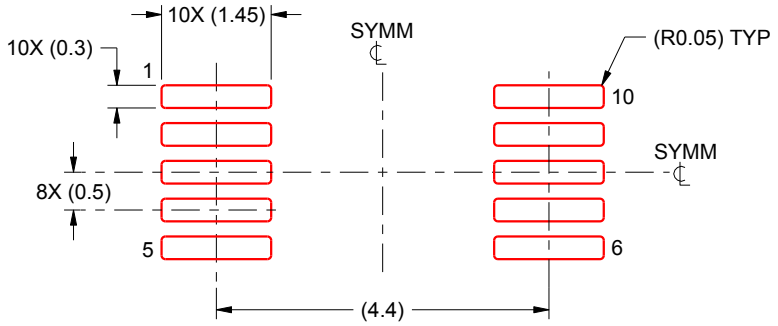


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

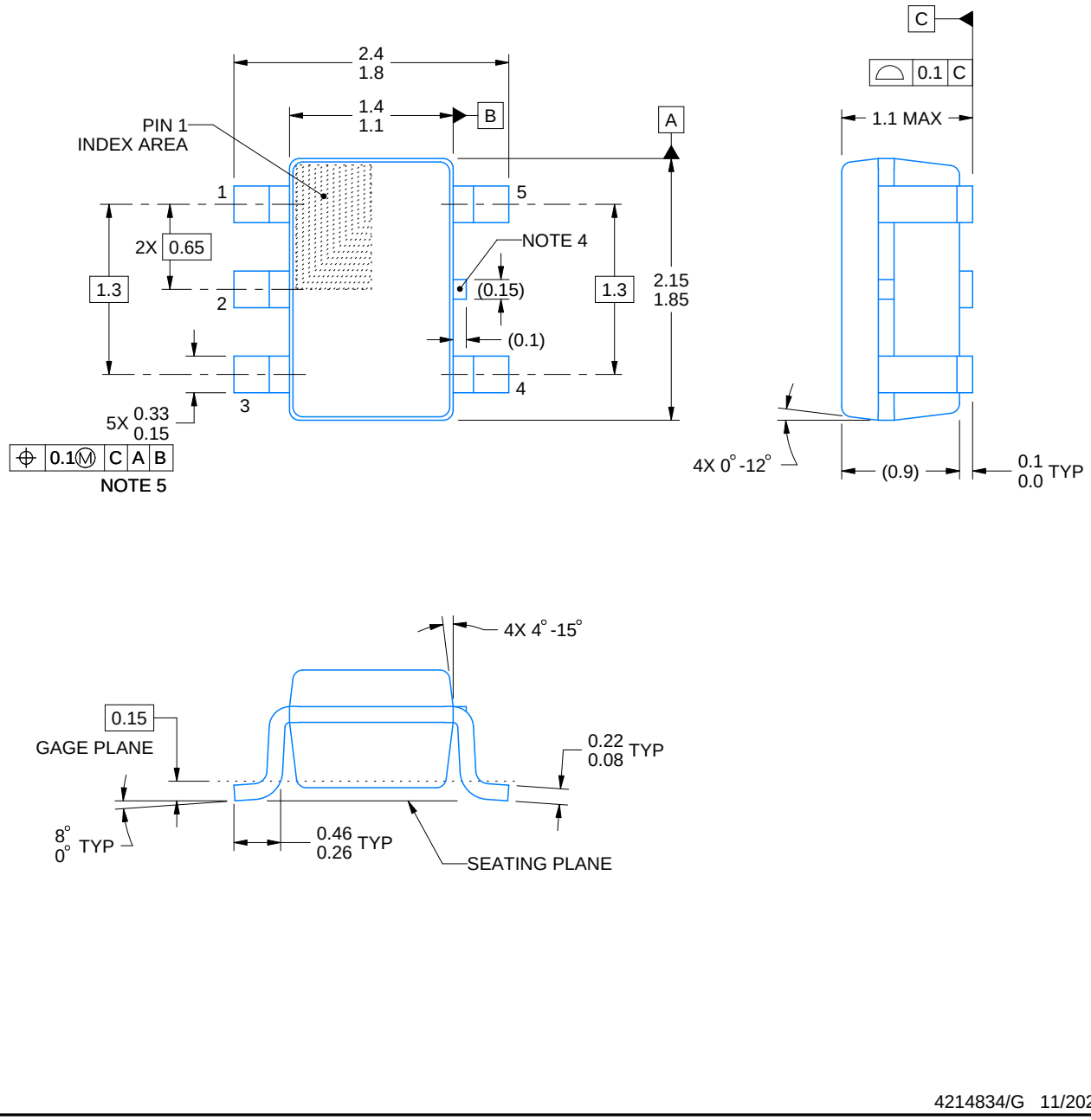
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

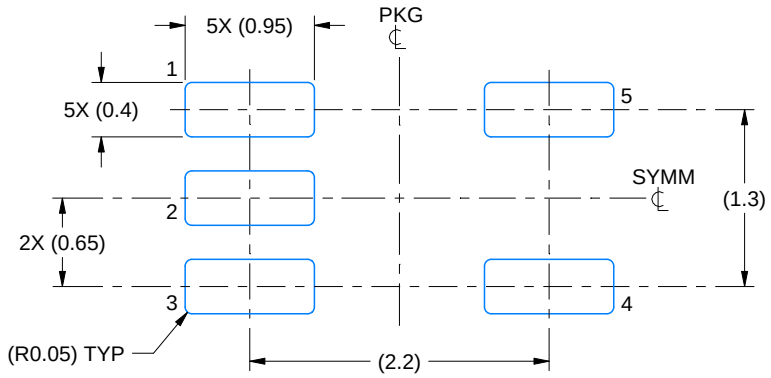
SMALL OUTLINE TRANSISTOR



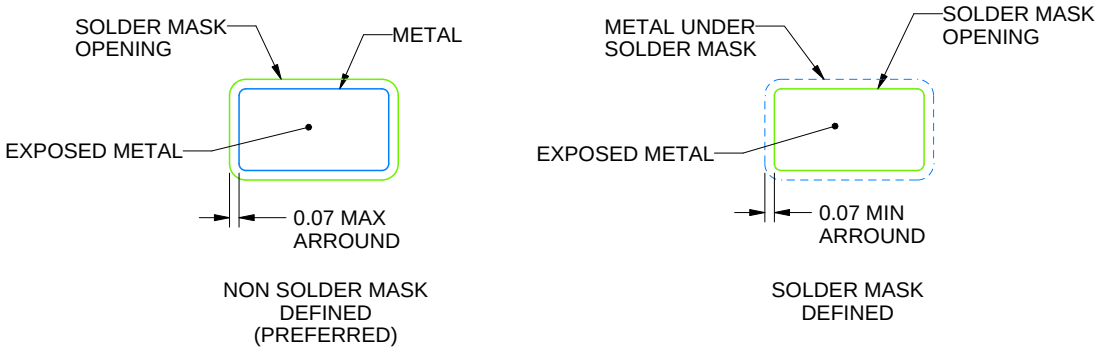
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

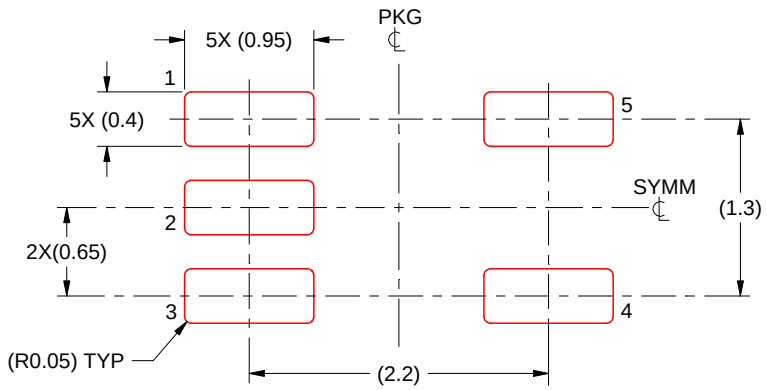


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

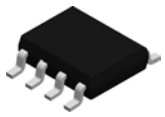


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

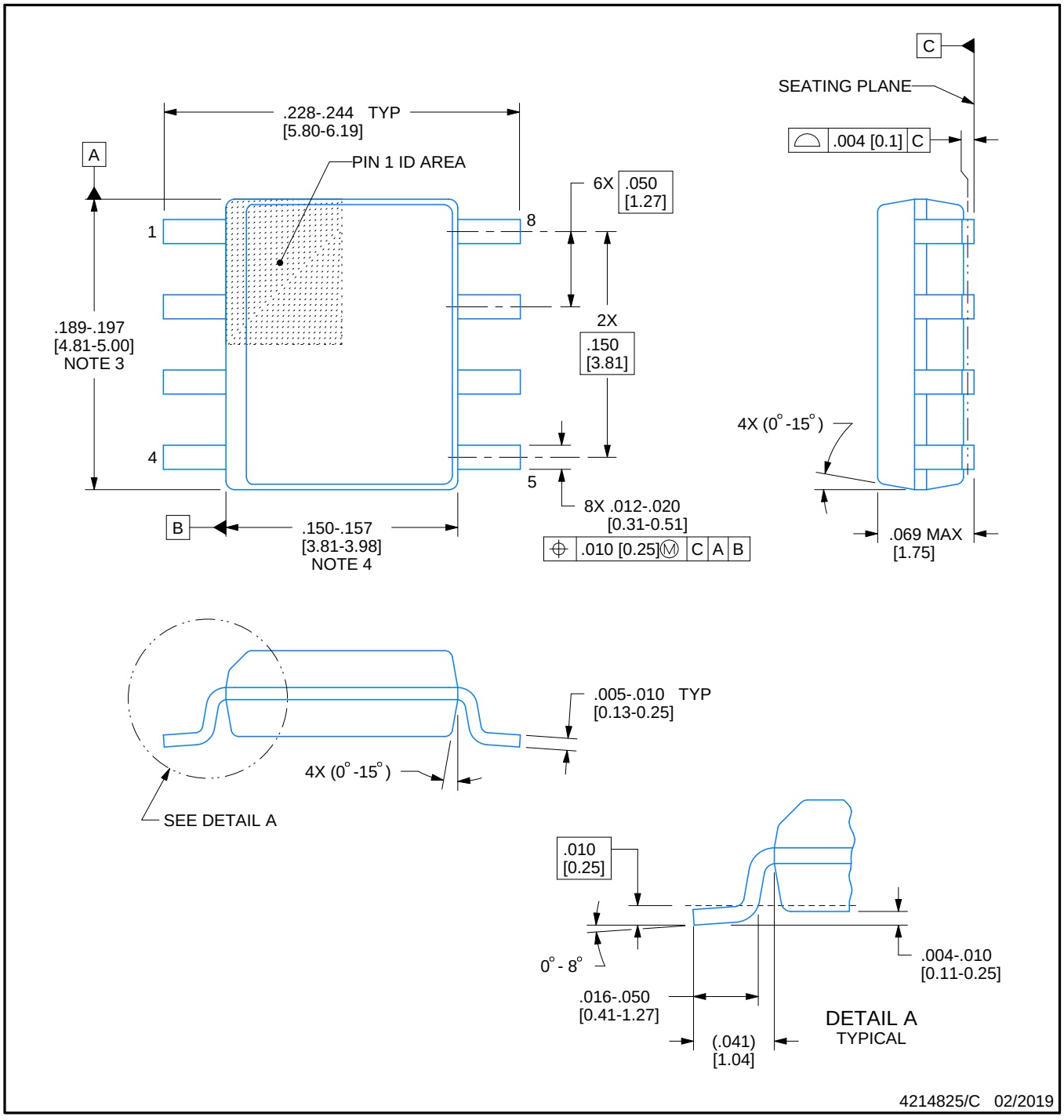


PACKAGE OUTLINE

D0008A

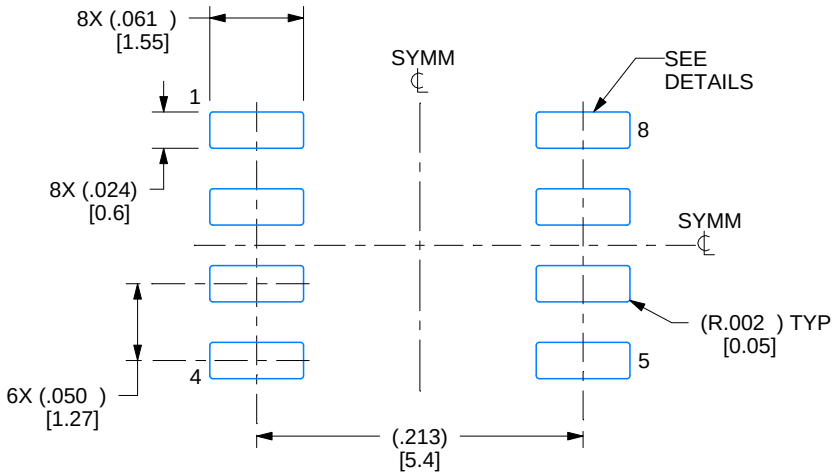
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

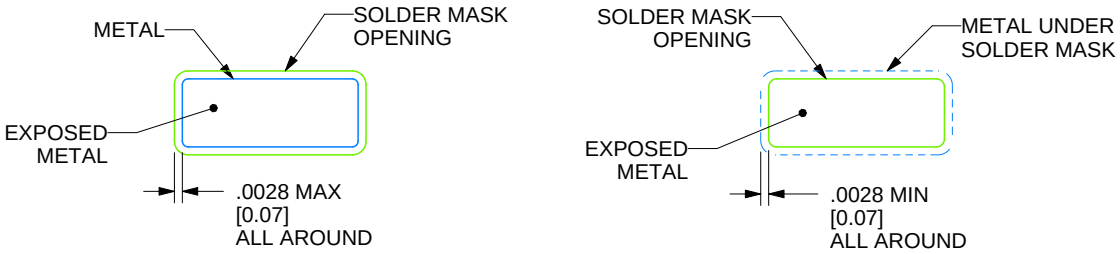


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

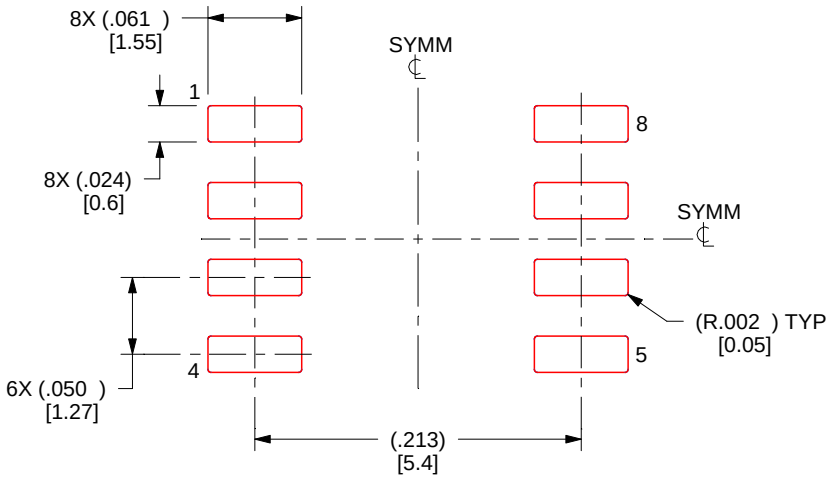
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

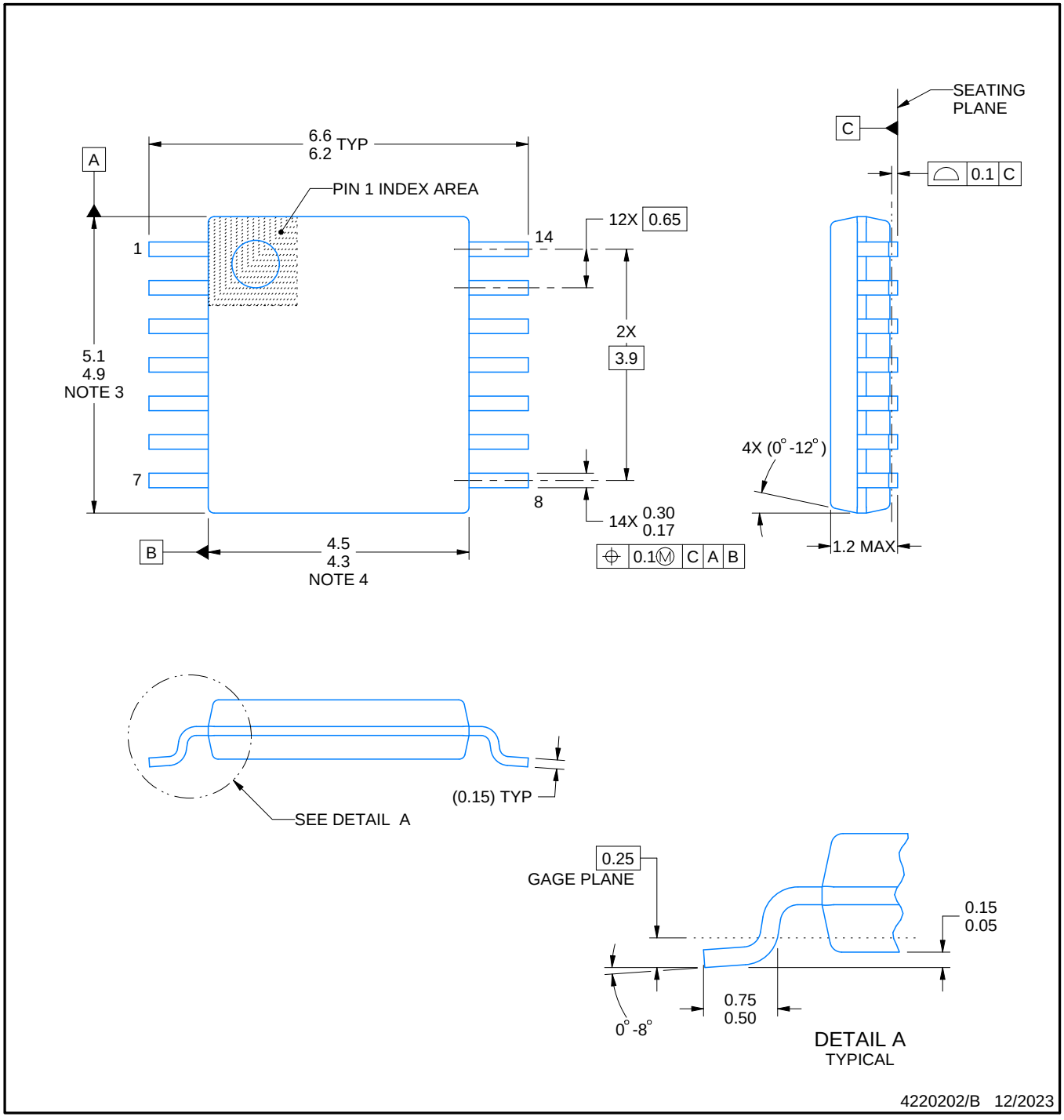
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

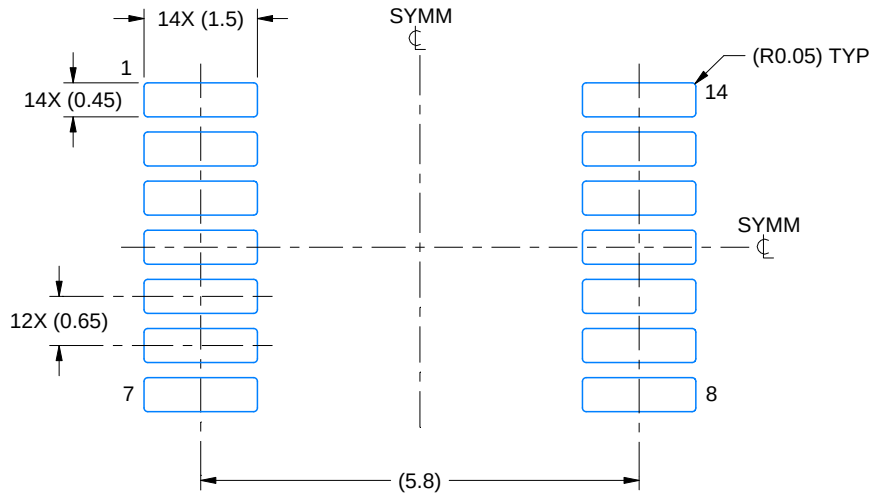
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

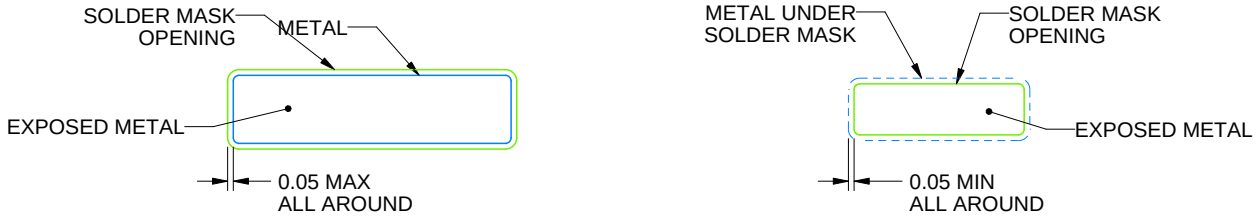


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

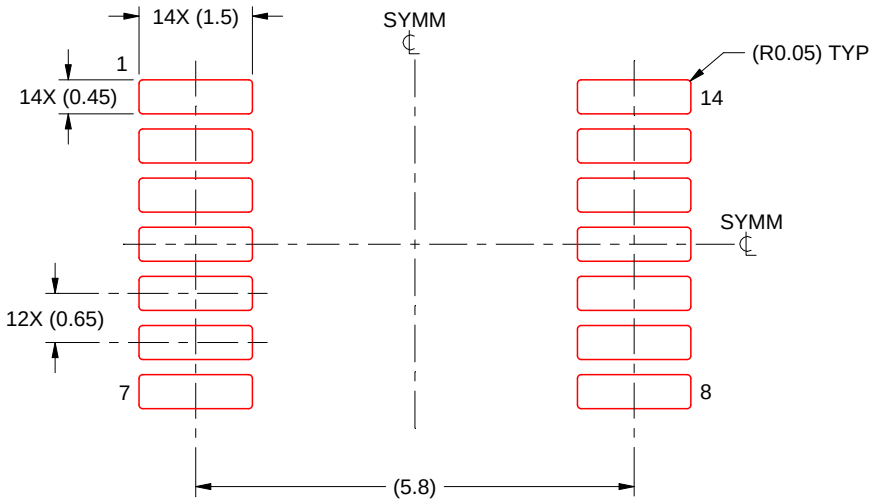


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

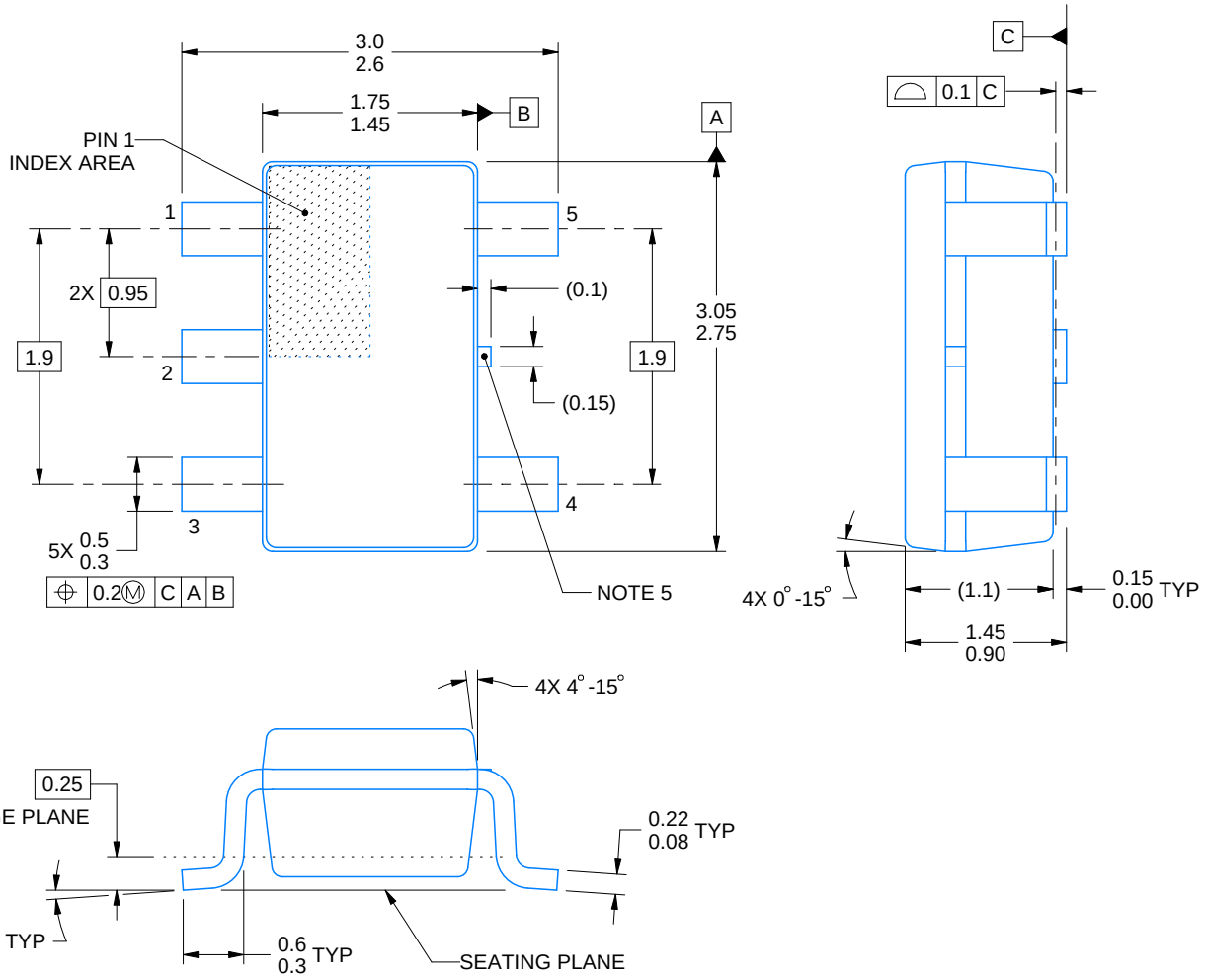
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

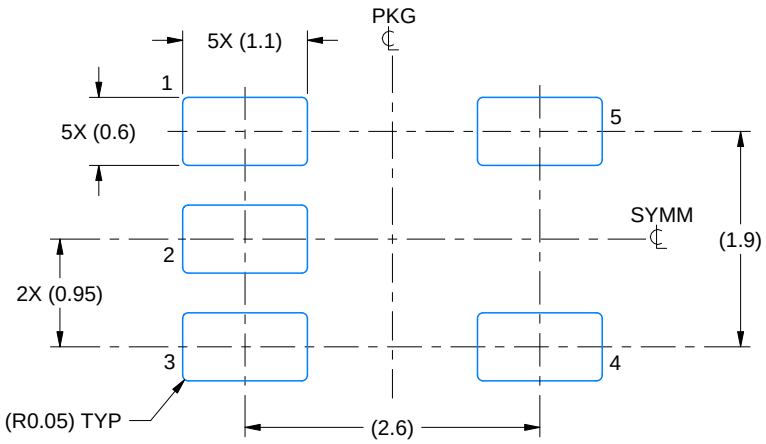
SMALL OUTLINE TRANSISTOR



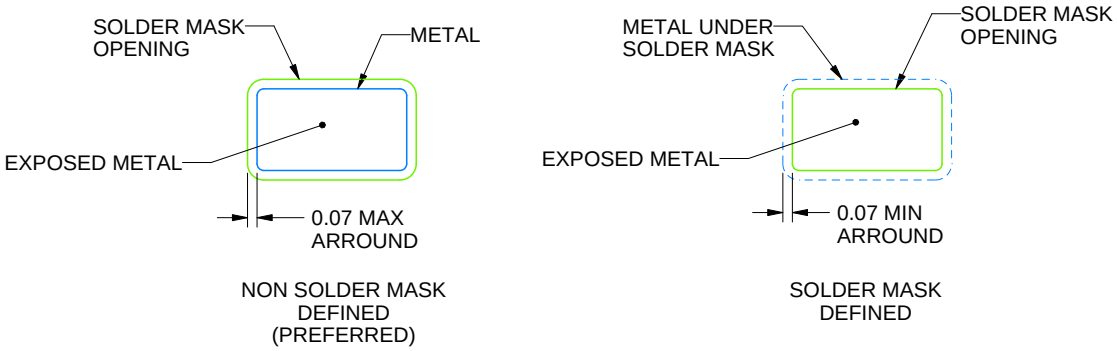
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

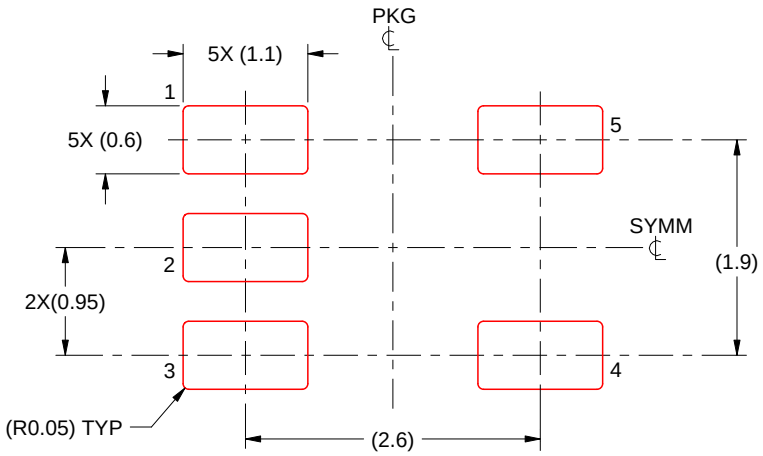


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

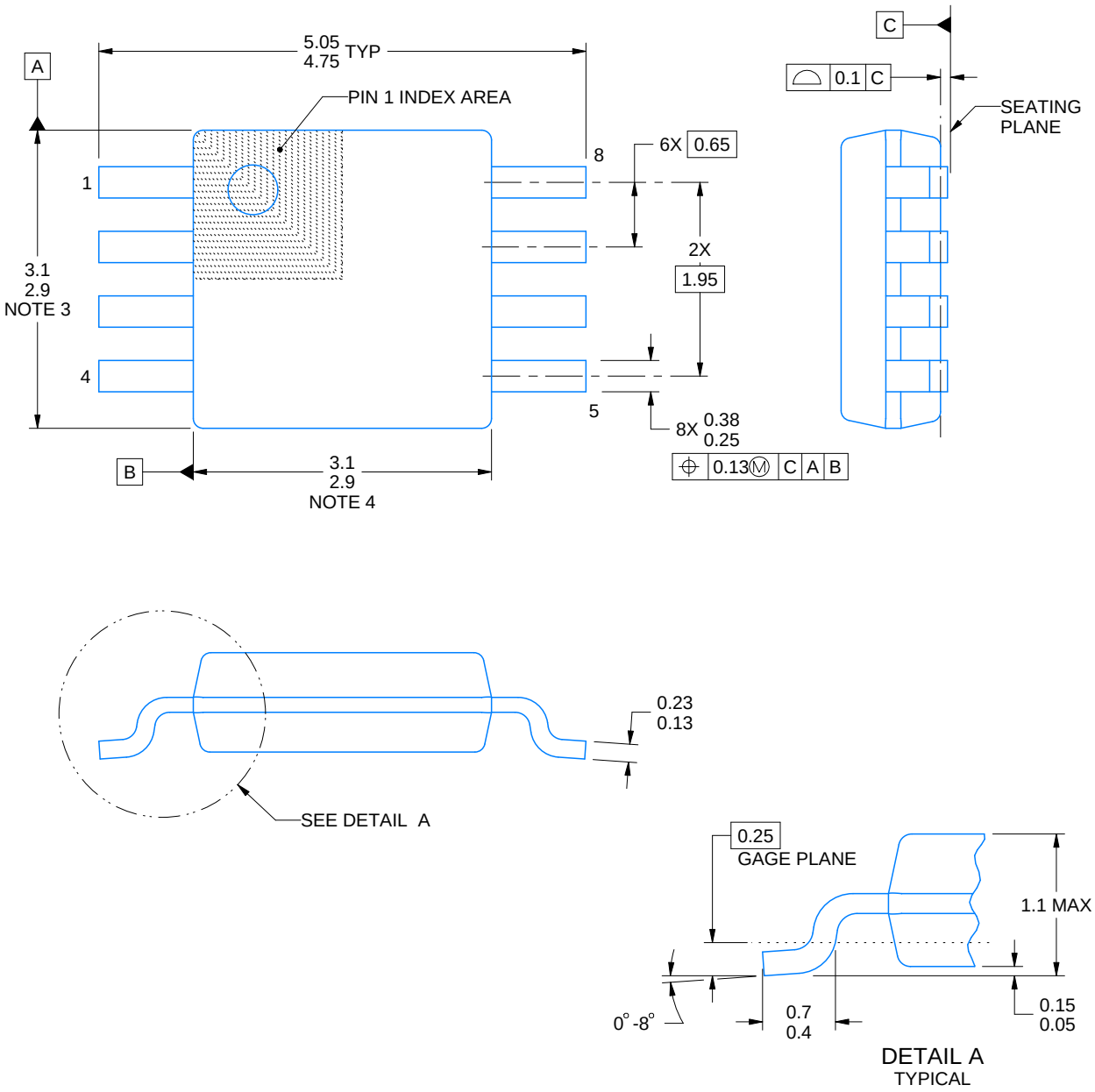
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

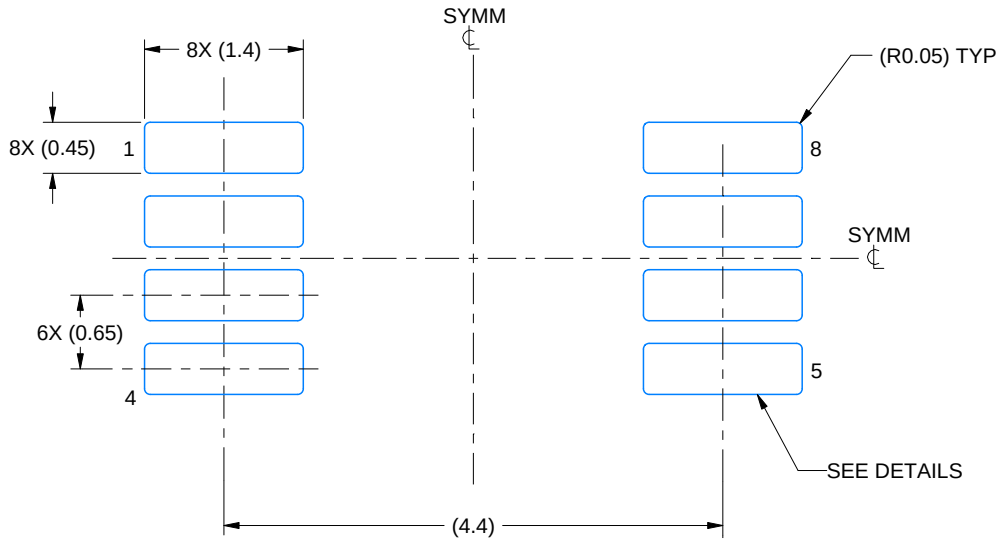
SMALL OUTLINE PACKAGE



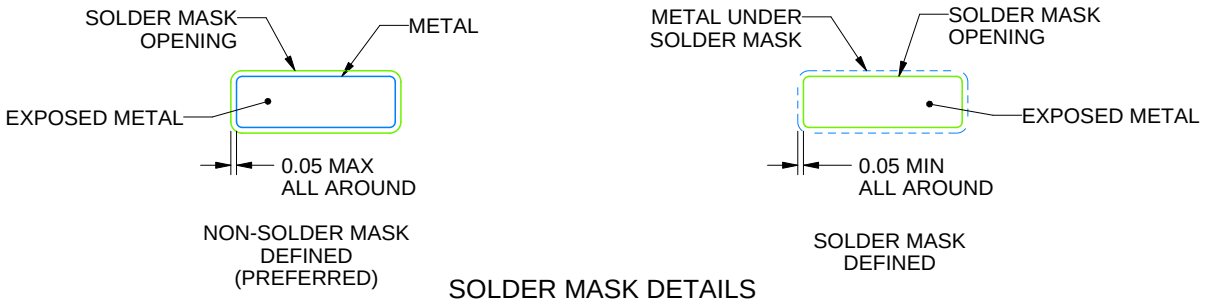
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

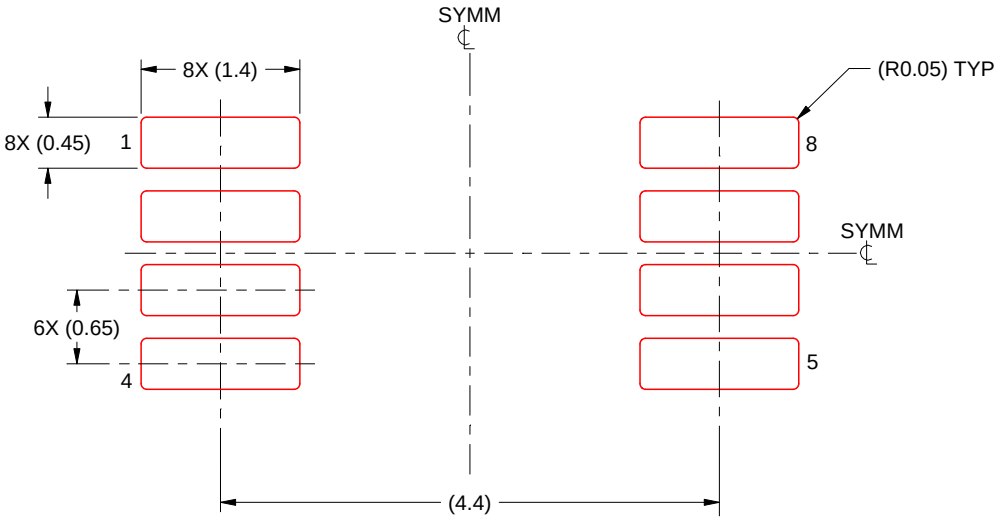


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月