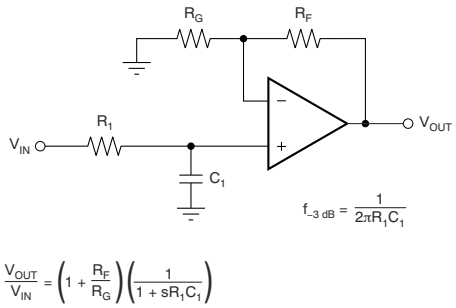
TLV910x 16V、1MHz、轨到轨输入/输出、低功耗运算放大器

1 特性

- 轨至轨输入和输出
- 高带宽：1.1MHz GBW
- 低静态电流：每个放大器 120μA
- 低失调电压：±300μV
- 低失调电压漂移：±0.6μV/°C
- 低噪声：10 kHz 时为 28nV/ √Hz
- 高共模抑制：110dB
- 低偏置电流：±10pA
- 高压摆率：4.5V/μs
- 宽电源电压：±1.35V 至 ±8V，2.7V 至 16V
- 强大的 EMIRR 性能：1.8GHz 时为 77dB

2 应用

- 光学模块
- 便携式测试和测量
- 宏远程无线电单元 (RRU)
- 基带单元 (BBU)
- 电器



TLV910x 应用于单极低通滤波器

3 说明

TLV910x 系列（TLV9101、TLV9102 和 TLV9104）是 16V 通用运算放大器系列。该系列具有出色的直流精度和交流性能，包括轨到轨输入/输出、低失调电压（±300μV，典型值）、低温漂（±0.6μV/°C，典型值）和 1.1MHz 带宽。

TLV910x 具有宽差分和共模输入电压范围、高输出电流（±80mA，典型值）、高压摆率（4.5V/μs，典型值）、低功耗运行（115μA，典型值）和关断功能，因而是一款稳定的低功耗、高性能运算放大器，适用于各种工业应用。

TLV910x 系列运算放大器采用*微型*尺寸封装以及标准封装，额定工作温度范围为 -40°C 至 125°C。

器件信息

器件型号 (1)	封装	封装尺寸（标称值）
TLV9101	SOT-23 (5)	2.90mm × 1.60mm
	SOT-23 (6)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
	SOT-553 (5)(2)	1.60mm × 1.20mm
TLV9102	SOIC (8)	4.90mm × 3.90mm
	SOT-23 (8)	2.90mm × 1.60mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
	VSSOP (10)	3.00mm × 3.00mm
	WSON (8)	2.00mm × 2.00mm
	X2QFN (10)	1.50mm × 1.50mm
TLV9104	SOIC (14)	8.65mm × 3.90mm
	TSSOP (14)	5.00mm × 4.40mm
	WQFN (16)	3.00mm × 3.00mm
	X2QFN (14)	2.00mm × 2.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 此封装为仅预发布状态。

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 4
6 规格 10
6.1 绝对最大额定值 10
6.2 ESD 额定值 10
6.3 建议运行条件 10
6.4 单通道器件的热性能信息 11
6.5 双通道器件的热性能信息 11
6.6 四通道器件的热性能信息 11
6.7 电气特性 12
6.8 典型特性 15
7 详细说明 23
7.1 概述 23
7.2 功能方框图 23
7.3 特性说明 24
7.4 器件功能模式 30
8 应用和实现 31
8.1 应用信息 31
8.2 典型应用 31
9 电源相关建议 33
10 布局 33
10.1 布局指南 33
10.2 布局示例 33
11 器件和文档支持 36
11.1 器件支持 36
11.2 文档支持 36
11.3 接收文档更新通知 36
11.4 支持资源 36
11.5 商标 36
11.6 Electrostatic Discharge Caution 36
11.7 术语表 36
12 机械、封装和可订购信息 37

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (June 2021) to Revision E (August 2021)	Page
• 从*器件信息*表中删除了 TLV9102 VSSOP (8) 封装的预发布符号	1
• 删除了*引脚配置和功能*部分中 TLV9102 VSSOP-8 (DGK) 封装的预发布符号	4
• 删除了*双通道热性能信息*中 VSSOP-8 (DGK) 封装的预发布说明，并添加了热性能数据	11
• 在*关断*部分中添加了关于 SHDN 引脚逻辑低信号的阐述说明	30
• 更正了*关断*部分中关于关断启用和禁用时间的说明，即将 30 µs 和 3 µs 分别更正为 11 µs 和 2.5 µs，以匹配*电气特性*部分	30

Copyright © 2022 Texas Instruments Incorporated

Changes from Revision C (May 2020) to Revision D (June 2021) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 从*器件信息* 表中删除了 TLV9104 SOIC (14) 封装的预发布符号 1
- 从*器件信息* 表中删除了 TLV9104 TSSOP (14) 封装的预发布符号 1
- 从*器件信息* 表中删除了 TLV9102 SOT-23 (8) 封装的预发布符号 1
- 从*器件信息* 表中删除了 TLV9104 WQFN (16) 封装的预发布符号 1
- 删除了*引脚配置和功能*部分中 TLV9101 DBV 封装 (SOT-23) 的预发布符号 4
- 调整了*引脚配置和功能*部分中的 DRL 引脚分配 4
- 删除了*引脚配置和功能*部分中 TLV9101 DCK 封装 (SC70) 的预发布符号 4
- 删除了*引脚配置和功能*部分中 TLV9101S DBV 封装 (SOT-23) 的预发布符号 4
- 阐明了*引脚配置和功能*部分中的关断符号 4
- 删除了*引脚配置和功能*部分中 TLV9102 DDF 封装 (SOT-23-8) 的预发布符号 4
- 删除了*引脚配置和功能*部分中 TLV9104 SOIC (D) 和 TSSOP (PW) 封装的预发布符号 4
- 删除了*引脚配置和功能*部分中 TLV9104 X2QFN (RUC) 封装的预发布符号 4
- 删除了*引脚配置和功能*部分中 TLV9104 WQFN (RTE) 封装的预发布符号 4
- 删除了*引脚配置和功能*部分中 TLV9104S WQFN (RTE) 封装的预发布符号 4
- 删除了*规格*部分中的图形列表 10
- 删除了四通道热性能信息中 WQFN (RTE) 封装的预发布说明。 11
- 从*器件和文档支持*部分删除了*相关链接*部分 36

Changes from Revision B (May 2020) to Revision C (May 2020) **Page**

- 从*器件信息* 表中删除了 TLV9102 VSSOP (10) 封装的预发布符号 1
- 从*器件信息* 表中删除了 TLV9102 X2QFN (10) 封装的预发布符号 1
- 删除了*引脚配置和功能*部分中 TLV9102 DGS 封装 (VSSOP) 的预发布符号 4
- 删除了*引脚配置和功能*部分中 TLV9102 RUG 封装 (X2QFN) 的预发布符号 4

Changes from Revision A (April 2019) to Revision B (May 2020) **Page**

- 将 TLV9101 和 TLV9104 器件状态从*预告信息* 更改为*量产数据* 1
- 从*器件信息* 表中删除了 TLV9101 SOT-23 (5) 封装的预发布符号 1
- 从*器件信息* 表中删除了 TLV9101 SOT-23 (6) 封装的预发布符号 1
- 从*器件信息* 表中删除了 TLV9101 SC70 (5) 封装的预发布符号 1
- 从*器件信息* 表中删除了 TLV9102 TSSOP (8) 封装的预发布符号 1
- 从*器件信息* 表中删除了 TLV9102 WSON (8) 封装的预发布符号 1
- 删除了*引脚配置和功能* 部分中 TLV9102 DSG 封装 (WSON) 的预发布符号 4
- 在*电气特性*中添加了关断 12
- 向*特性说明*中添加了*带外露散热焊盘的封装* 30

Changes from Revision * (February 2019) to Revision A (April 2019) **Page**

- 将 TLV9102 器件状态从*预告信息* 更改为*量产数据* 1
- 从*器件信息* 表中删除了 TLV9102 SOIC (8) 封装的预发布符号 1

Copyright © 2022 Texas Instruments Incorporated

5 引脚配置和功能

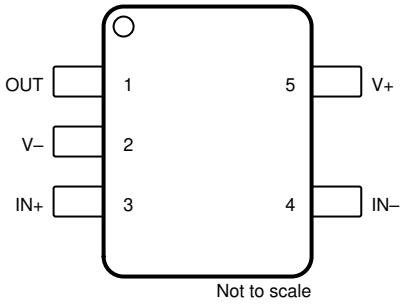
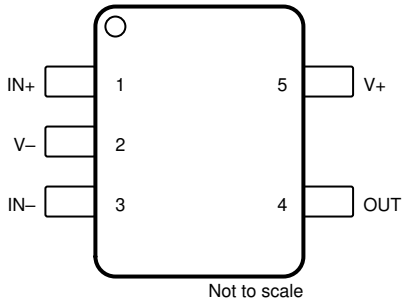


图 5-1. TLV9101 DBV 封装
5 引脚 SOT-23
顶视图



A. 封装仅为预览。

图 5-2. TLV9101 DCK 和 DRL 封装 (A)
5 引脚 SC70 和 SOT-553
顶视图

表 5-1. 引脚功能：TLV9101

引脚			I/O	说明
名称	DBV	DCK 和 DRL		
+IN	3	1	I	同相输入
–IN	4	3	I	反相输入
OUT	1	4	O	输出
V+	5	5	—	正（最高）电源
V–	2	2	—	负（最低）电源

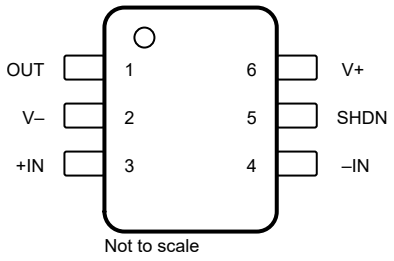


图 5-3. TLV9101S DBV 封装
6 引脚 SOT-23
顶视图

表 5-2. 引脚功能：TLV9101S

引脚		I/O	说明
名称	编号		
IN+	3	I	同相输入
IN–	4	I	反相输入
OUT	1	O	输出
SHDN	5	I	关断：低电平 = 放大器被启用；高电平 = 放大器被禁用。更多信息，请参阅节 7.3.10。
V+	6	—	正（最高）电源
V–	2	—	负（最低）电源

Copyright © 2022 Texas Instruments Incorporated

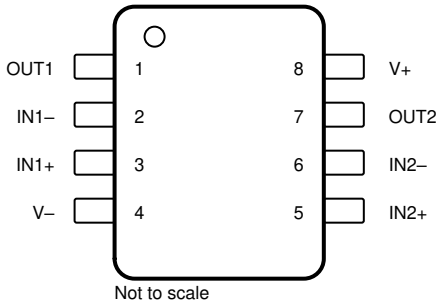
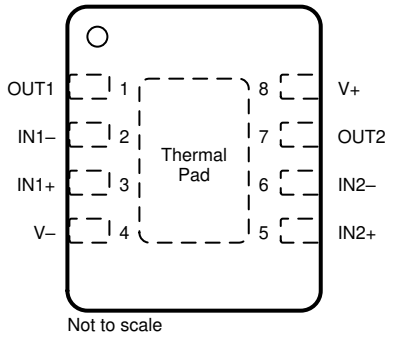


图 5-4. TLV9102 D、DDF、DGK 和 PW 封装
8 引脚 SOIC、SOT-23、TSSOP 和 VSSOP
顶视图



A. 将散热焊盘连接至 V – 。更多信息，请参阅节 7.3.9。

图 5-5. TLV9102 DSG 封装 (A)
8 引脚 WSON（带有外露散热焊盘）
顶视图

表 5-3. 引脚功能：TLV9102

引脚		I/O	说明
名称	编号		
IN1+	3	I	同相输入，通道 1
IN1 –	2	I	反相输入，通道 1
IN2+	5	I	同相输入，通道 2
IN2 –	6	I	反相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V+	8	—	正（最高）电源
V –	4	—	负（最低）电源

Copyright © 2022 Texas Instruments Incorporated

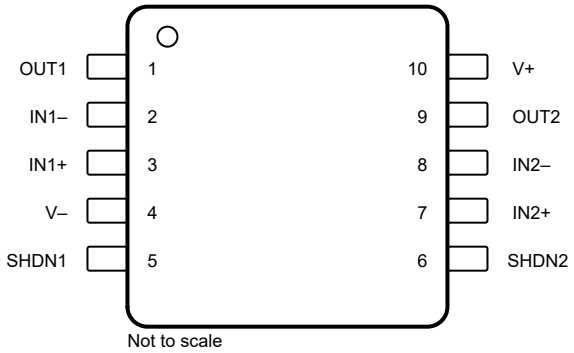


图 5-6. TLV9102S DGS 封装
10 引脚 VSSOP
顶视图

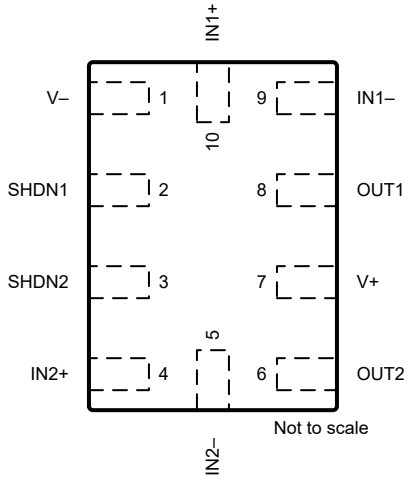


图 5-7. TLV9102S RUG 封装
10 引脚 X2QFN
顶视图

表 5-4. 引脚功能：TLV9102S

引脚			I/O	说明
名称	VSSOP	X2QFN		
IN1+	3	10	I	同相输入，通道 1
IN1 –	2	9	I	反相输入，通道 1
IN2+	7	4	I	同相输入，通道 2
IN2 –	8	5	I	反相输入，通道 2
OUT1	1	8	O	输出，通道 1
OUT2	9	6	O	输出，通道 2
SHDN1	5	2	I	关断，通道 1：低电平 = 放大器被启用；高电平 = 放大器被禁用。更多信息，请参阅节 7.3.10。
SHDN2	6	3	I	关断，通道 2：低电平 = 放大器被启用；高电平 = 放大器被禁用。更多信息，请参阅节 7.3.10。
V+	10	7	—	正（最高）电源
V –	4	1	—	负（最低）电源

Copyright © 2022 Texas Instruments Incorporated

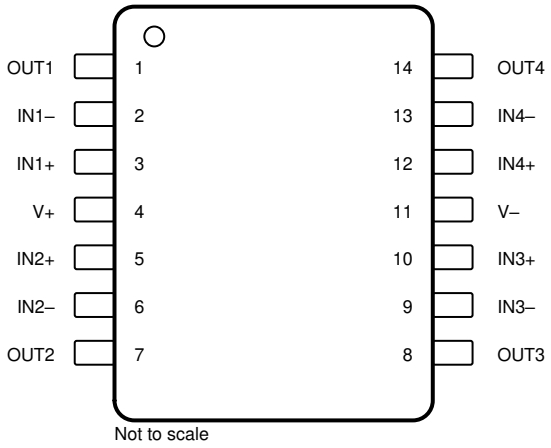
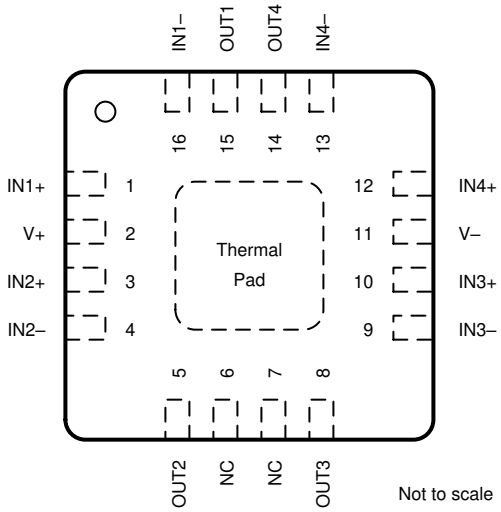


图 5-8. TLV9104 D 和 PW 封装
14 引脚 SOIC 和 TSSOP
顶视图



A. 将散热焊盘连接至 V – 。更多信息，请参阅节 7.3.9。

图 5-9. TLV9104 RTE 封装 (A)
16 引脚 WQFN（带有外露散热焊盘）
顶视图

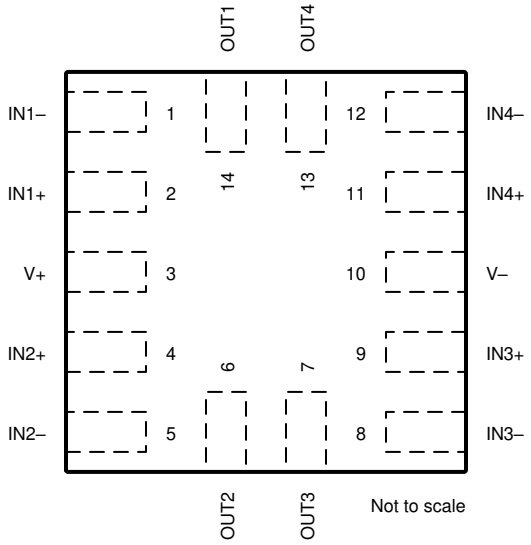


图 5-10. TLV9104 RUC 封装
14 引脚 WQFN（带有外露散热焊盘）
顶视图

表 5-5. 引脚功能：TLV9104

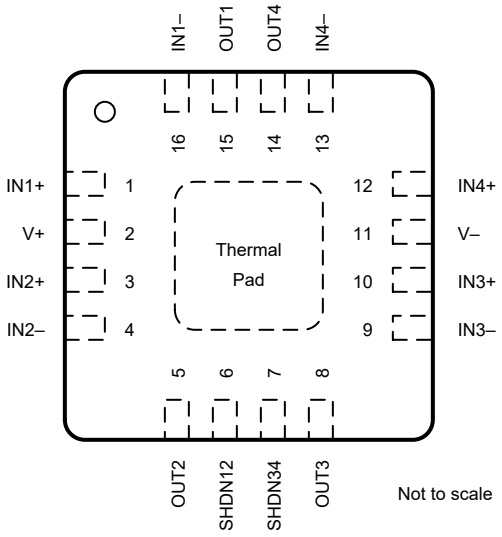
引脚				I/O	说明
名称	SOIC 和 TSSOP	WQFN	X2QFN		
IN1+	3	1	2	I	同相输入，通道 1
IN1 –	2	16	1	I	反相输入，通道 1
IN2+	5	3	4	I	同相输入，通道 2
IN2 –	6	4	5	I	反相输入，通道 2

Copyright © 2022 Texas Instruments Incorporated

表 5-5. 引脚功能：TLV9104 (continued)

引脚				I/O	说明
名称	SOIC 和 TSSOP	WQFN	X2QFN		
IN3+	10	10	9	I	同相输入，通道 3
IN3 –	9	9	8	I	反相输入，通道 3
IN4+	12	12	11	I	同相输入，通道 4
IN4 –	13	13	12	I	反相输入，通道 4
NC	—	6、7	—	—	不连接
OUT1	1	15	14	O	输出，通道 1
OUT2	7	5	6	O	输出，通道 2
OUT3	8	8	7	O	输出，通道 3
OUT4	14	14	13	O	输出，通道 4
V+	4	2	3	—	正（最高）电源
V –	11	11	10	—	负（最低）电源

Copyright © 2022 Texas Instruments Incorporated



A. 将散热焊盘连接至 V – 。更多信息，请参阅节 7.3.9。

图 5-11. TLV9104S RTE 封装 (A)
16 引脚 WQFN（带有外露散热焊盘）
顶视图

表 5-6. 引脚功能：TLV9104S

引脚		I/O	说明
名称	编号		
IN1+	1	I	同相输入，通道 1
IN1 –	16	I	反相输入，通道 1
IN2+	3	I	同相输入，通道 2
IN2 –	4	I	反相输入，通道 2
IN3+	10	I	同相输入，通道 3
IN3 –	9	I	反相输入，通道 3
IN4+	12	I	同相输入，通道 4
IN4 –	13	I	反相输入，通道 4
OUT1	15	O	输出，通道 1
OUT2	5	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
SHDN12	6	I	关断，通道 1 和 2：低电平 = 放大器被启用；高电平 = 放大器被禁用。更多信息，请参阅节 7.3.10。
SHDN34	7	I	关断，通道 3 和 4：低电平 = 放大器被启用；高电平 = 放大器被禁用。更多信息，请参阅节 7.3.10。
V+	2	—	正（最高）电源
V –	11	—	负（最低）电源

Copyright © 2022 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内（除非另外注明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	20	V
信号输入引脚	共模电压(3)	(V–) – 0.5	(V+) + 0.5	V
	差分电压(3)		V_S + 0.2	V
	电流(3)	-10	10	mA
关断引脚电压		V–	V+	V
输出短路(2)		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间在最大绝对额定条件下运行会影响器件可靠性。
(2) 接地短路，每个封装对应一个放大器。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。

6.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另外注明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	2.7	16	V
V_I	输入电压范围	(V-)-0.2	(V+)+0.2	V
V_{IH}	关断引脚上的高电平输入电压（放大器被禁用）	(V–) + 1.1	V+	V
V_{IL}	关断引脚上的低电平输入电压（放大器被启用）	V–	(V–) + 0.2	V
T_A	额定温度	-40	125	°C

Copyright © 2022 Texas Instruments Incorporated

6.4 单通道器件的热性能信息

热指标(1)		TLV9101、TLV9101S				单位
		DBV (SOT-23)		DCK (SC70)	DRL(2) (SOT-553)	
		5 引脚	6 引脚	5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	192.2	174.6	204.7	待定	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	113.7	113.5	116.6	待定	°C/W
$R_{\theta JB}$	结至电路板热阻	60.6	55.9	51.9	待定	°C/W
ψ_{JT}	结至顶部特征参数	37.4	39.7	24.9	待定	°C/W
ψ_{JB}	结至电路板特征参数	60.4	55.7	51.6	待定	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	TBD	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。
(2) 该封装选项是 TLV9101 的预发布版本。

6.5 双通道器件的热性能信息

热指标(1)		TLV9102、TLV9102S							单位
		D (SOIC)	DDF (SOT-23-8)	DGK (VSSOP)	DGS (VSSOP)	DSG (WSON)	PW (TSSOP)	RUG (X2QFN)	
		8 引脚	8 引脚	8 引脚	10 引脚	8 引脚	8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	138.7	150.4	189.3	152.2	81.6	188.4	149.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	78.7	85.6	75.8	67.3	101.6	77.1	58.3	°C/W
$R_{\theta JB}$	结至电路板热阻	82.2	70.0	111.0	95.5	48.3	119.1	77.7	°C/W
ψ_{JT}	结至顶部特征参数	27.8	8.1	15.4	67.9	6.0	14.2	1.3	°C/W
ψ_{JB}	结至电路板特征参数	81.4	69.6	109.3	94.3	48.3	117.4	77.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	22.8	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

6.6 四通道器件的热性能信息

热指标(1)		TLV9104、TLV9104S				单位
		D (SOIC)	PW (TSSOP)	RTE (WQFN)	RUC (WQFN)	
		14 引脚	14 引脚	16 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	105.2	134.7	53.5	143.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	61.2	55.0	58.3	46.4	°C/W
$R_{\theta JB}$	结至电路板热阻	61.1	79.0	28.6	81.8	°C/W
ψ_{JT}	结至顶部特征参数	21.4	9.2	2.1	1.0	°C/W
ψ_{JB}	结至电路板特征参数	60.7	78.1	28.6	81.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	12.6	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

Copyright © 2022 Texas Instruments Incorporated

6.7 电气特性

V_S = (V+) – (V–) = 2.7V 至 16V（±1.35V 至 ±8V），T_A = 25°C，R_L = 10kΩ 且连接至 V_S/2，V_{CM} = V_S/2，且 $V_{O\ UT}$ = V_S/2（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = V–			±0.3	±1.5	mV
			T_A = –40°C 至 125°C			±1.75	
dV_{OS}/dT	输入失调电压漂移		T_A = –40°C 至 125°C		±0.6		μV/℃
PSRR	输入失调电压与电源间的关系	V_{CM} = V–	T_A = –40°C 至 125°C		±0.1	±0.7	μV/V
	通道隔离	f = 0Hz			5		μV/V
输入偏置电流							
I_B	输入偏置电流				±10		pA
I_{OS}	输入失调电流				±5		pA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			6		μV_{PP}
					1		μV_{RMS}
e_N	输入电压噪声密度	f = 1kHz			30		nV/√Hz
		f = 10kHz			28		
i_N	输入电流噪声	f = 1kHz			2		fA/√Hz
输入电压范围							
V_{CM}	共模电压范围			(V-)-0.2		(V+)+0.2	V
CMRR	共模抑制比	V_S = 16V，(V–) – 0.1V < V_{CM} < (V+) – 2V（主输入对）	T_A = –40°C 至 125°C	90	110		dB
		V_S = 4V，(V–) – 0.1V < V_{CM} < (V+) – 2V（主输入对）		75	95		
		V_S = 2.7 – 16V，(V+) – 1V < V_{CM} < (V+) + 0.1V（辅助输入对）			80		
		(V+) – 2V < V_{CM} < (V+) – 1V		请参阅*典型特性*部分中的失调电压（转换区域）			
输入电容							
Z_{ID}	差分				100 ‖ 3		MΩ ‖ pF
Z_{ICM}	共模				6 ‖ 1		TΩ ‖ pF

Copyright © 2022 Texas Instruments Incorporated

6.7 电气特性 (continued)

V_S = (V+) – (V–) = 2.7V 至 16V（±1.35V 至 ±8V），T_A = 25°C，R_L = 10kΩ 且连接至 V_S/2，V_{CM} = V_S/2，且 $V_{O\ UT}$ = V_S/2（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	V_S = 16V，V_{CM} = V– (V–) + 0.1V < V_O < (V+) – 0.1V	T_A = –40°C 至 125°C	115	135		dB
		V_S = 4V，V_{CM} = V– (V–) + 0.1V < V_O < (V+) – 0.1V		104	125		dB
频率响应							
GBW	增益带宽积				1.1		MHz
SR	压摆率	V_S = 16V，G = +1，C_L = 20pF			4.5		V/µs
t_S	趋稳时间	达 0.1%，V_S = 16V，V_{STEP} = 10V，G = +1，CL = 20pF			4		µs
		达 0.1%，V_S = 16V，V_{STEP} = 2V，G = +1，CL = 20pF			2		
		达 0.01%，V_S = 16V，V_{STEP} = 10V，G = +1，CL = 20pF			5		
		达 0.01%，V_S = 16V，V_{STEP} = 2V，G = +1，CL = 20pF			3		
	相位裕度	G = +1，R_L = 10kΩ，C_L = 20pF			60		°
	过载恢复时间	V_{IN} × 增益 > V_S			600		ns
THD+N	总谐波失真 + 噪声	V_S = 16V，V_O = 1 V_{RMS}，G = -1，f = 1kHz			0.0028%		
输出							
	相对于电源轨的电压输出摆幅	正负电源轨裕度	V_S = 16V，R_L = 空载		3		mV
			V_S = 16V，R_L = 10kΩ		45	60	
			V_S = 16V，R_L = 2kΩ		200	300	
			V_S = 2.7V，R_L = 空载		1		
			V_S = 2.7V，R_L = 10kΩ		5	20	
			V_S = 2.7V，R_L = 2kΩ		25	50	
I_{SC}	短路电流				±80		mA
C_{LOAD}	容性负载驱动			请参阅*典型特性*部分中的小信号过冲与容性负载间的关系			
Z_O	开环输出阻抗	f=1MHz，I_O = 0A			600		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0A			115	150	µA
			T_A = –40°C 至 125°C			160	

Copyright © 2022 Texas Instruments Incorporated

6.7 电气特性 (continued)

V_S = (V+) – (V–) = 2.7V 至 16V（±1.35V 至 ±8V），T_A = 25°C，R_L = 10kΩ 且连接至 $V_S/2$，V_{CM} = $V_S/2$，且 $V_{O\ UT}$ = $V_S/2$（除非另有说明）。

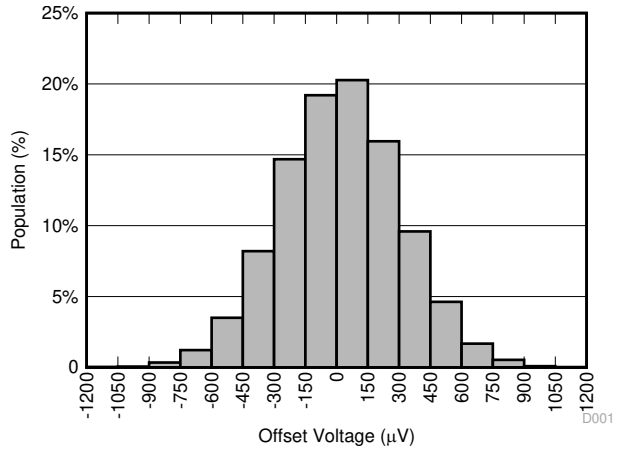
参数		测试条件	最小值	典型值	最大值	单位
关断						
I_{QSD}	每个放大器的静态电流	V_S = 2.7V 至 16V，所有放大器均为禁用状态，SHDN = V+		20	30	μA
Z_{SHDN}	关断时的输出阻抗	V_S = 2.7V 至 16V，放大器为禁用状态，SHDN = V+		10 || 12		GΩ || pF
V_{IH}	逻辑高电平阈值电压（放大器被禁用）	对于有效输入高电平，SHDN 引脚电压应大于最大阈值，但小于或等于 V+		(V–) + 0.8	(V–) + 1.1	V
V_{IL}	逻辑低电平阈值电压（放大器被启用）	对于有效输入低电平，SHDN 引脚电压应该小于最小阈值，但大于或等于 V–	(V–) + 0.2	(V–) + 0.8		V
t_{ON}	放大器启用时间(1)	G = +1，V_{CM} = V–，V_O = 0.1 × $V_S/2$		11		μs
t_{OFF}	放大器禁用时间(1)	V_{CM} = V–，V_O = $V_S/2$		2.5		μs
	SHDN 引脚输入偏置电流（每个引脚）	V_S = 2.7V 至 16V，(V–) + 20V ≥ SHDN ≥ (V–) + 0.9V		500		nA
		V_S = 2.7V 至 16V，(V–) ≤ SHDN ≤ (V–) + 0.7V		150		

(1) 禁用时间 (t_{OFF}) 和启用时间 (t_{ON}) 是指施加给 SHDN 引脚的信号为 50% 时到输出电压达到 10%（禁用）或 90%（启用）电平时之间的时间间隔。

Copyright © 2022 Texas Instruments Incorporated

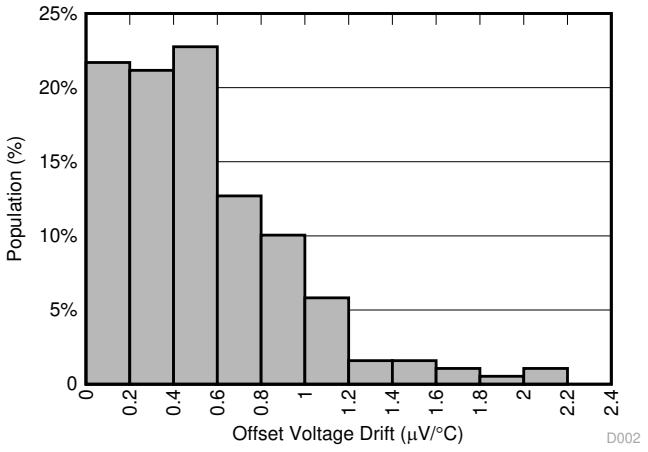
6.8 典型特性

T_A = 25°C，V_S = ±8V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 且连接至 V_S / 2 并且 C_L = 100pF（除非另有说明）



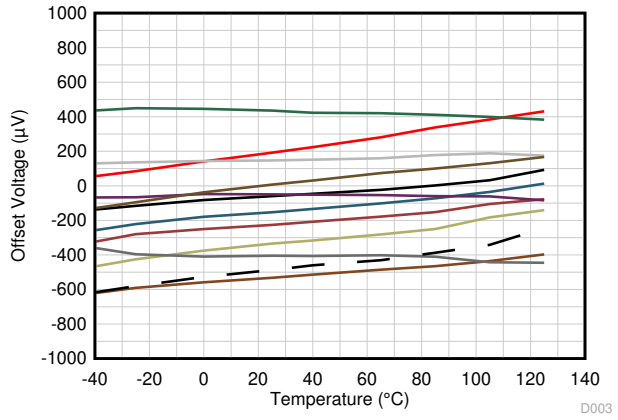
根据 13,481 个放大器得出的分布图；T_A = 25°C

图 6-1. 失调电压生产分配



175 个放大器的分配

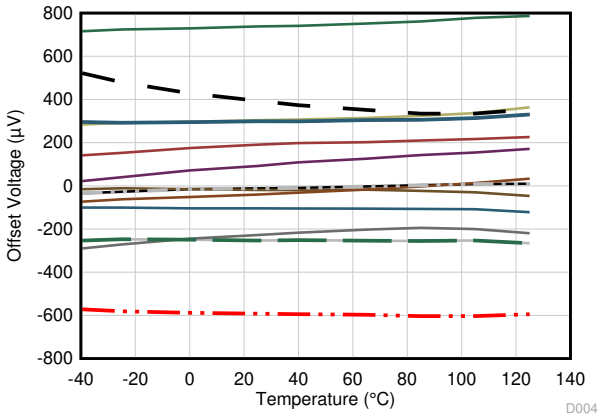
图 6-2. 失调电压漂移分配



V_{CM} = V+

每种颜色代表一个样本器件。

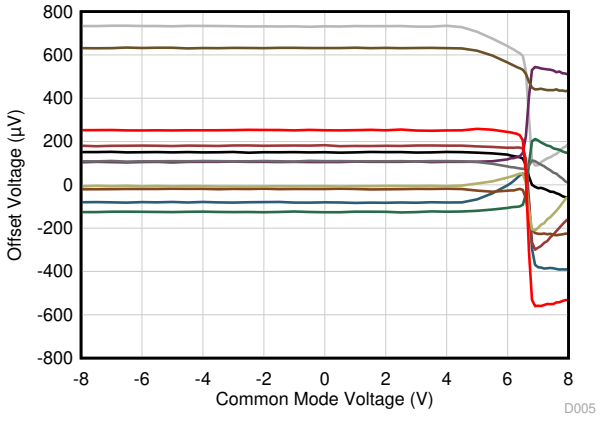
图 6-3. 失调电压与温度间的关系



V_{CM} = V –

每种颜色代表一个样本器件。

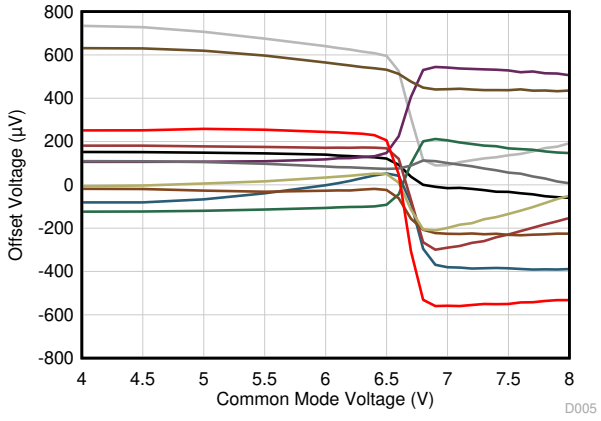
图 6-4. 失调电压与温度间的关系



T_A = 25°C

每种颜色代表一个样本器件。

图 6-5. 失调电压与共模电压间的关系



T_A = 25°C

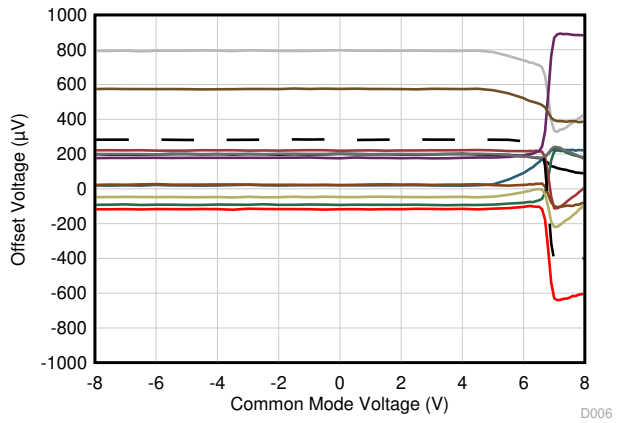
每种颜色代表一个样本器件。

图 6-6. 失调电压与共模电压间的关系（转换区域）

Copyright © 2022 Texas Instruments Incorporated

6.8 典型特性 (continued)

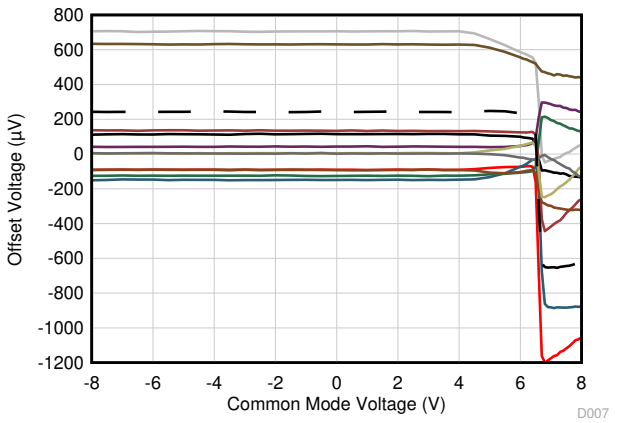
T_A = 25°C，V_S = ±8V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 且连接至 V_S / 2 并且 C_L = 100pF（除非另有说明）



T_A = 125°C

每种颜色代表一个样本器件。

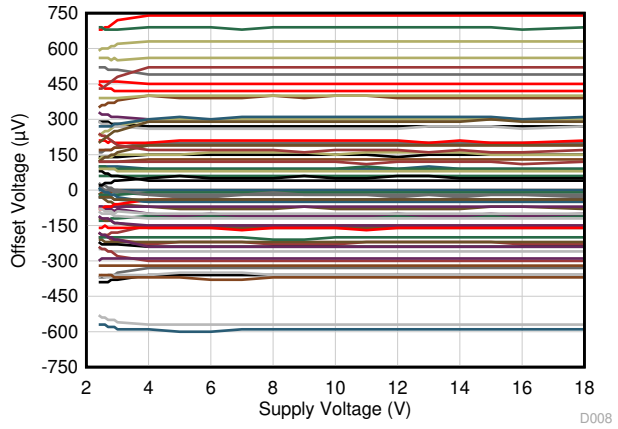
图 6-7. 失调电压与共模电压间的关系



T_A = -40°C

每种颜色代表一个样本器件。

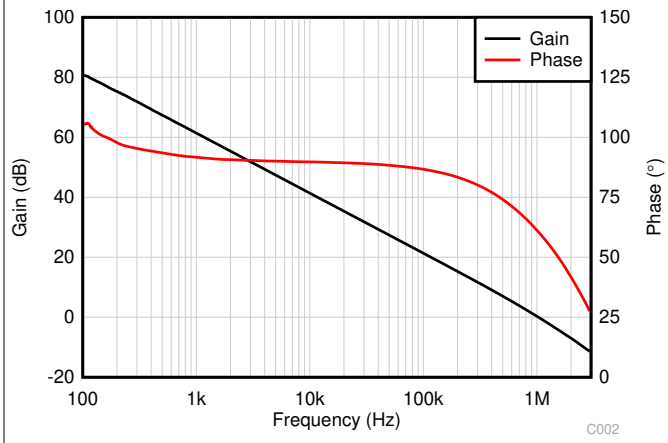
图 6-8. 失调电压与共模电压间的关系



V_{CM} = V –

每种颜色代表一个样本器件。

图 6-9. 失调电压与电源间的关系



C_{LOAD} = 15pF

图 6-10. 开环增益和相位与频率间的关系

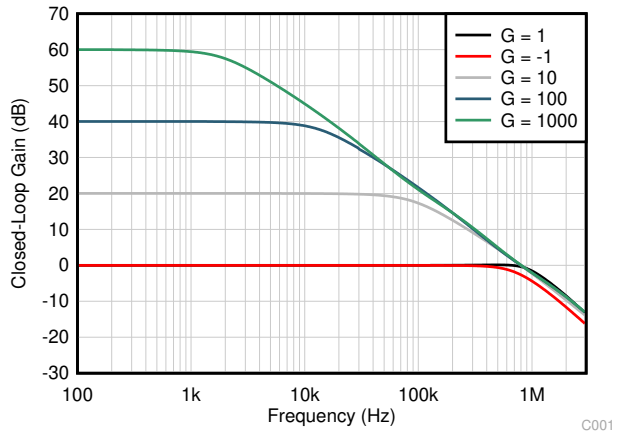


图 6-11. 闭环增益和相位与频率间的关系

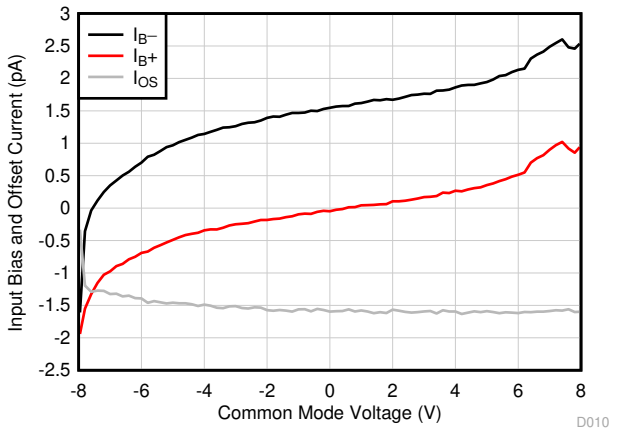


图 6-12. 输入偏置电流与共模电压间的关系

Copyright © 2022 Texas Instruments Incorporated

6.8 典型特性 (continued)

T_A = 25°C，V_S = ±8V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 且连接至 V_S / 2 并且 C_L = 100pF（除非另有说明）

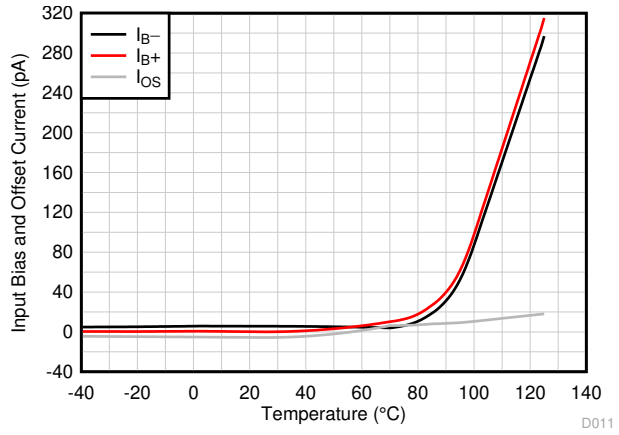


图 6-13. 输入偏置电流与温度间的关系

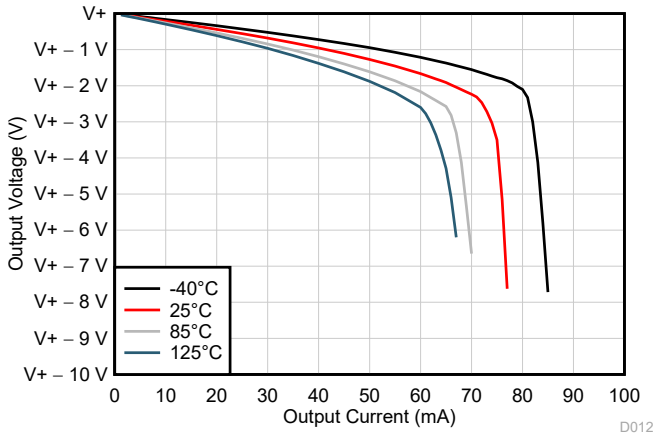


图 6-14. 输出电压摆幅与输出电流（拉电流）间的关系

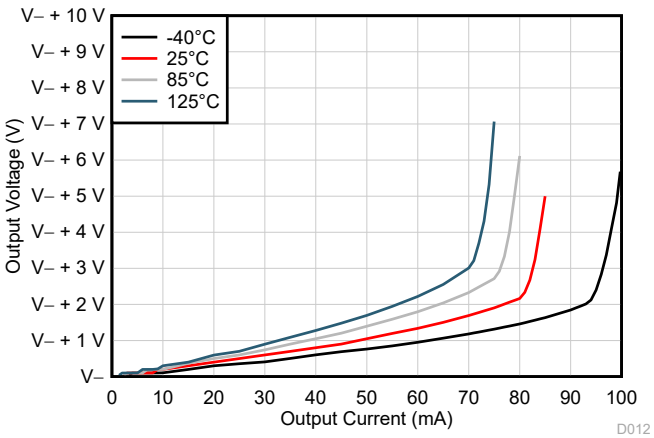
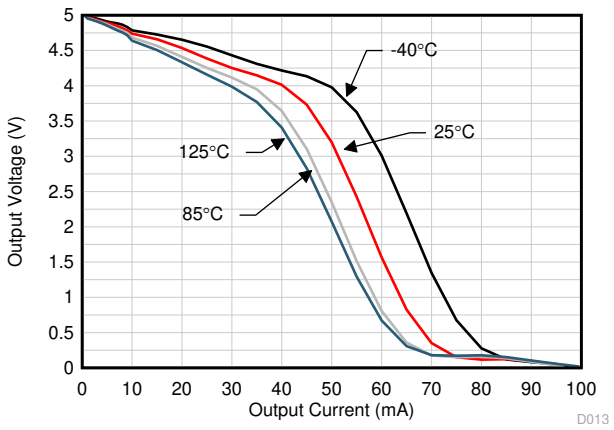
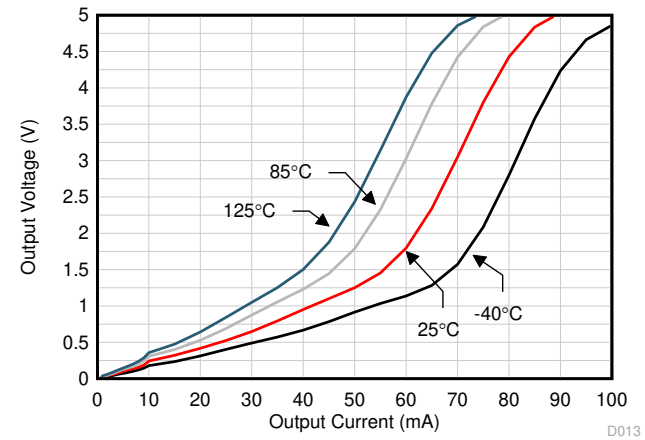


图 6-15. 输出电压摆幅与输出电流（灌电流）间的关系



V_S = 5V，R_L 连接到 V–

图 6-16. 输出电压摆幅与输出电流（拉电流）间的关系



V_S = 5V，R_L 连接到 V+

图 6-17. 输出电压摆幅与输出电流（灌电流）间的关系

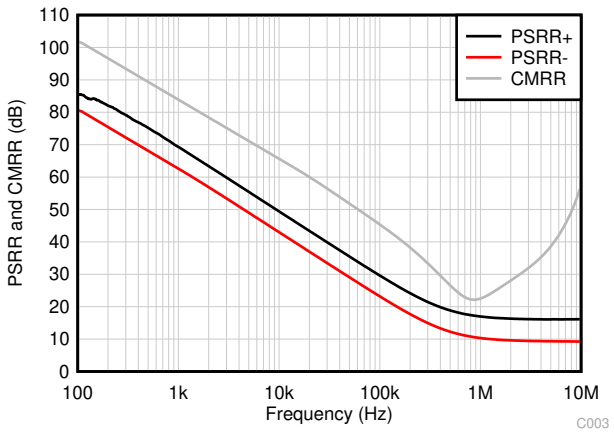
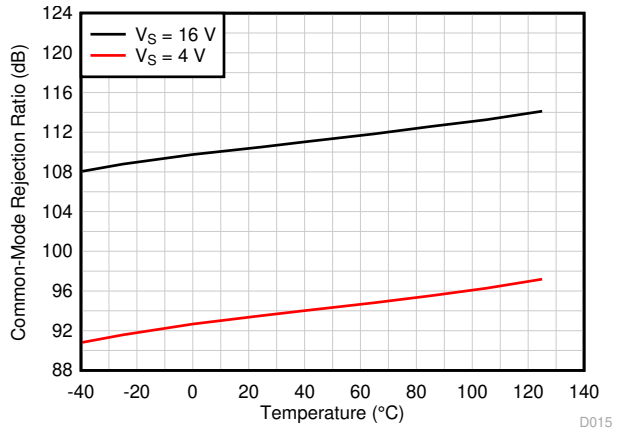


图 6-18. CMRR 和 PSRR 与频率间的关系

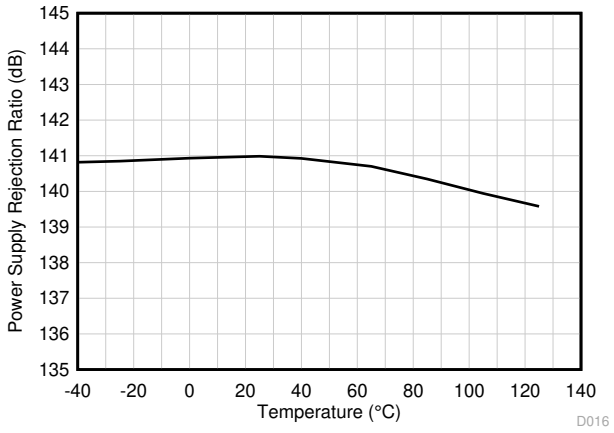
6.8 典型特性 (continued)

T_A = 25°C，V_S = ±8V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 且连接至 V_S / 2 并且 C_L = 100pF（除非另有说明）



f = 0Hz

图 6-19. CMRR 与温度间的关系 (dB)



f = 0Hz

图 6-20. PSRR 与温度间的关系 (dB)

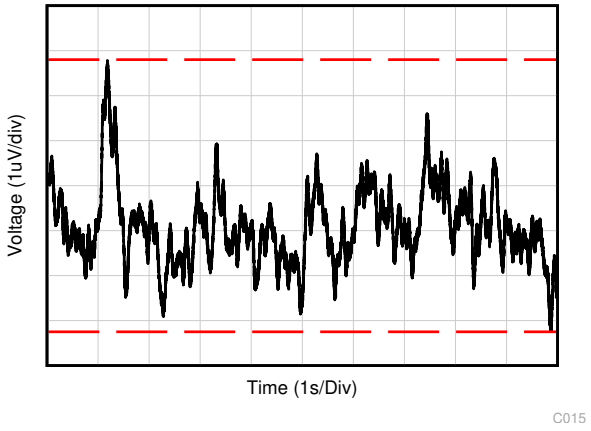


图 6-21. 0.1Hz 至 10Hz 噪声

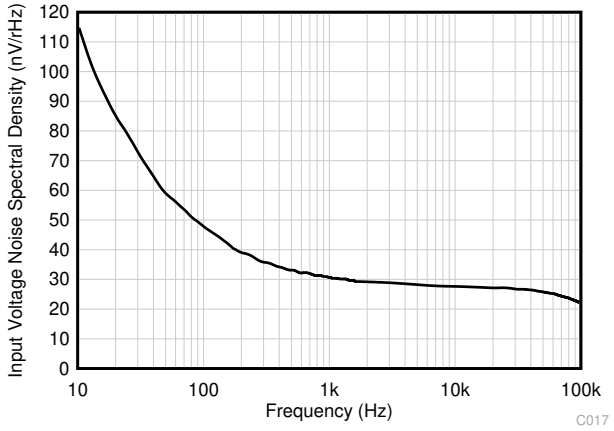
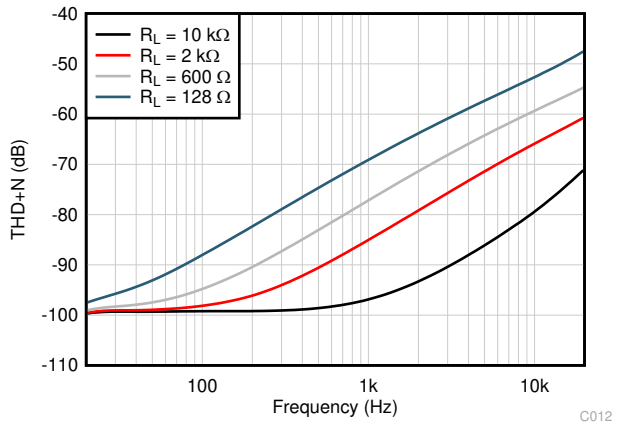
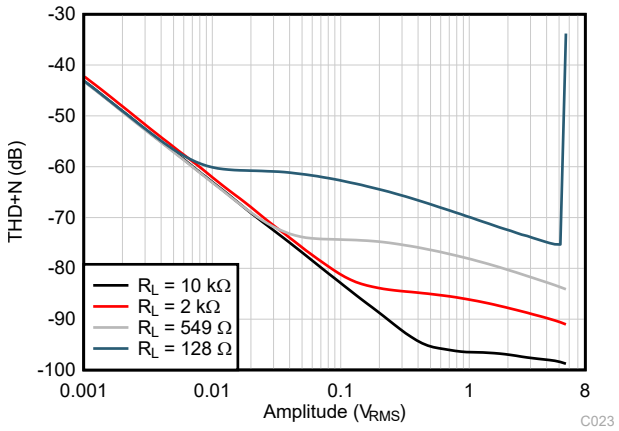


图 6-22. 输入电压噪声频谱密度与频率间的关系



BW = 80kHz，V_{OUT} = 3.5 V_{RMS}

图 6-23. THD+N 比与频率间的关系



BW = 80kHz，f = 1kHz

图 6-24. THD+N 与输出幅度间的关系

Copyright © 2022 Texas Instruments Incorporated

6.8 典型特性 (continued)

T_A = 25°C，V_S = ±8V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 且连接至 V_S / 2 并且 C_L = 100pF（除非另有说明）

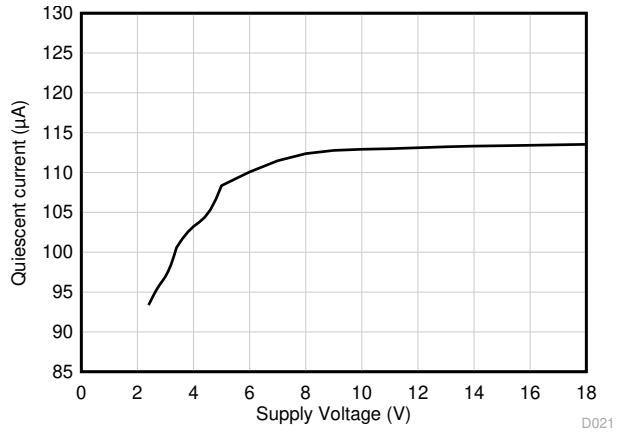


图 6-25. 每通道静态电流与电源电压间的关系

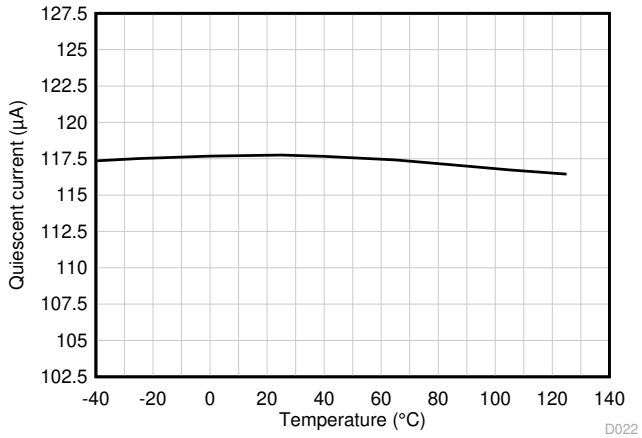


图 6-26. 每通道静态电流与温度间的关系

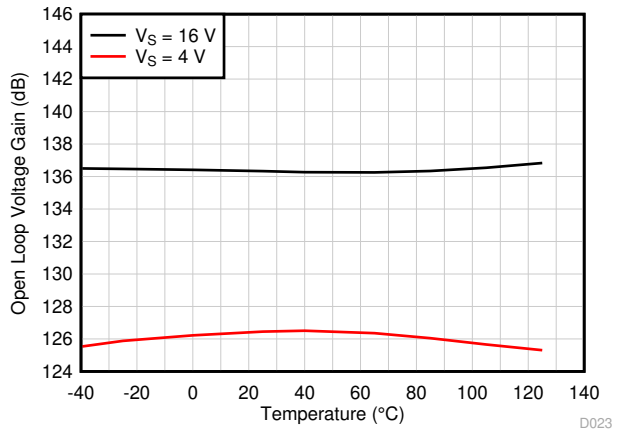


图 6-27. 开环电压增益与温度间的关系 (dB)

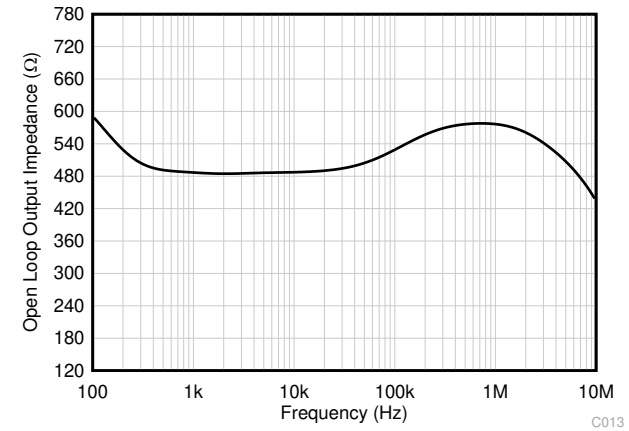
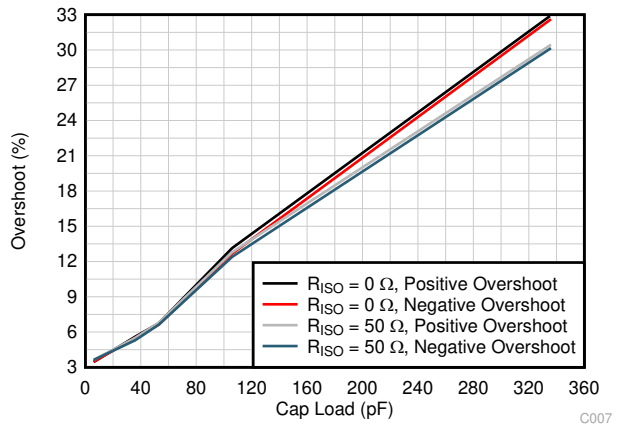
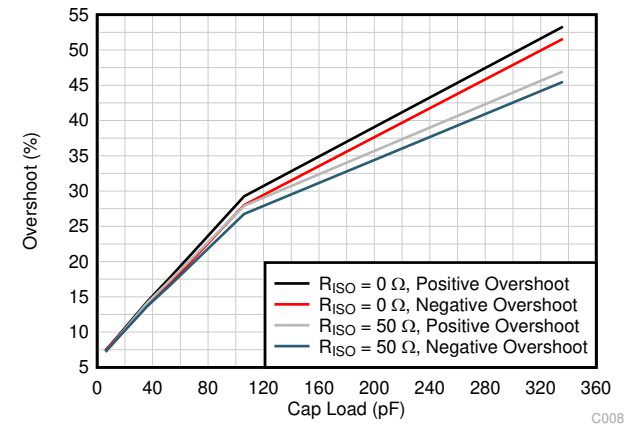


图 6-28. 开环输出阻抗与频率间的关系



G = –1，100mV 输出阶跃

图 6-29. 小信号过冲与容性负载间的关系



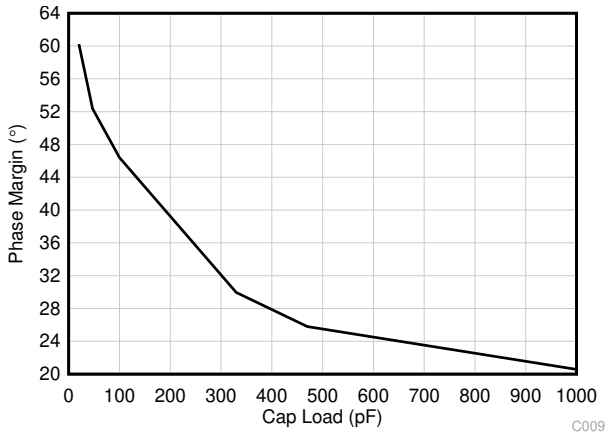
G = 1，100mV 输出阶跃

图 6-30. 小信号过冲与容性负载间的关系

Copyright © 2022 Texas Instruments Incorporated

6.8 典型特性 (continued)

T_A = 25°C，V_S = ±8V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 且连接至 V_S / 2 并且 C_L = 100pF（除非另有说明）



G = –1，100mV 输出阶跃

图 6-31. 小信号过冲与容性负载间的关系

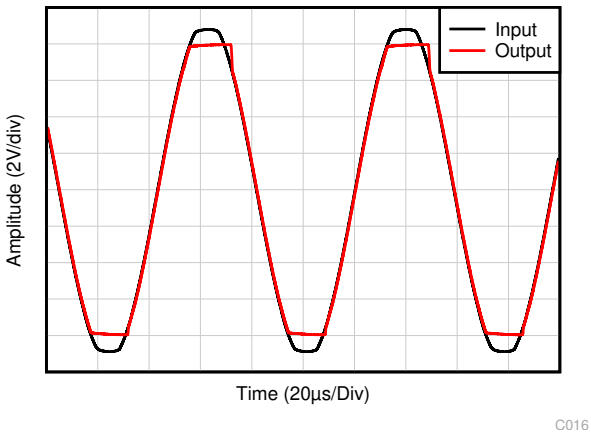
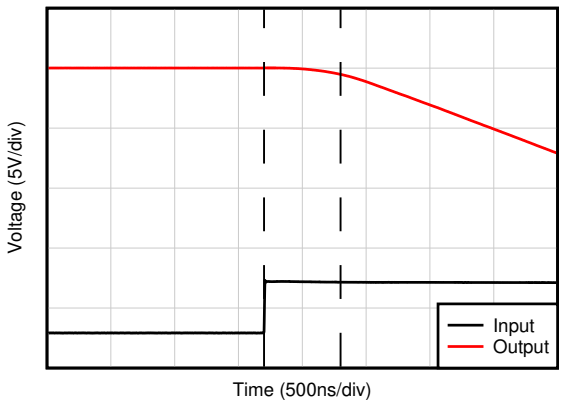
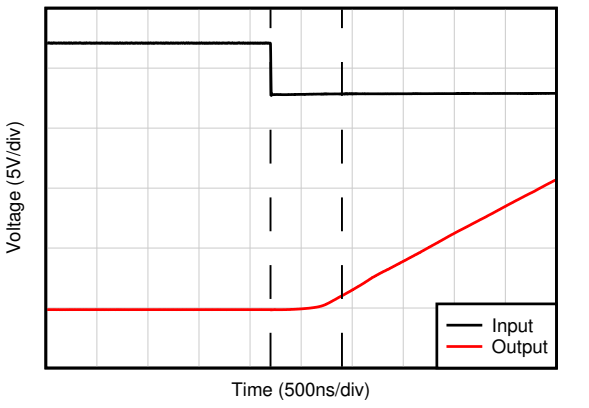


图 6-32. 无相位反转



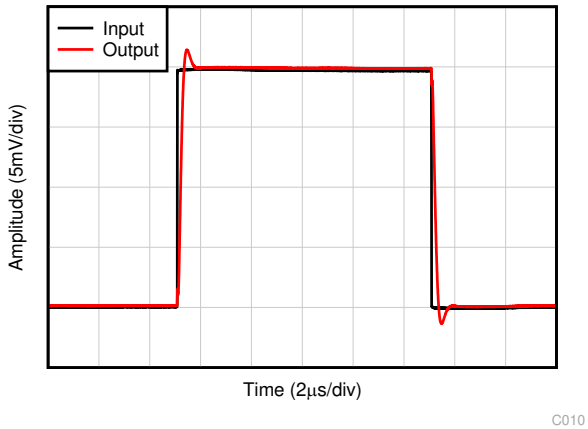
G = -10

图 6-33. 正过载恢复



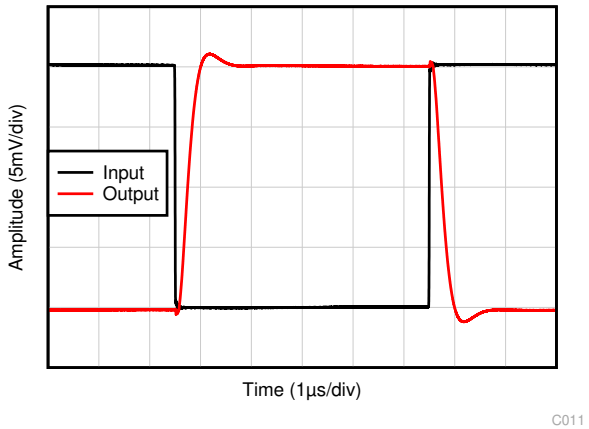
G = -10

图 6-34. 负过载恢复



C_L = 20pF，G = 1，20mV 阶跃响应

图 6-35. 小信号阶跃响应



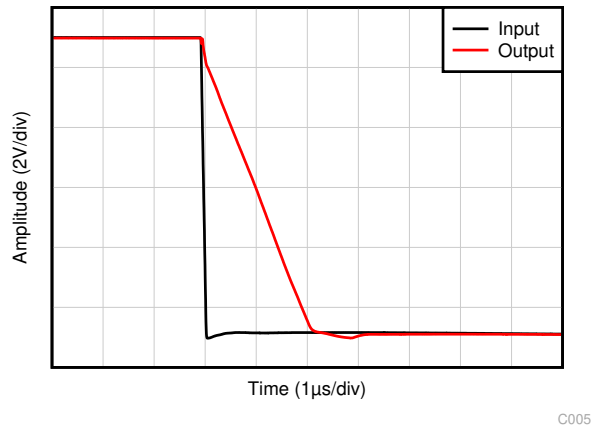
R_L = 1kΩ，C_L = 20pF，G = –1，10mV 阶跃响应

图 6-36. 小信号阶跃响应

Copyright © 2022 Texas Instruments Incorporated

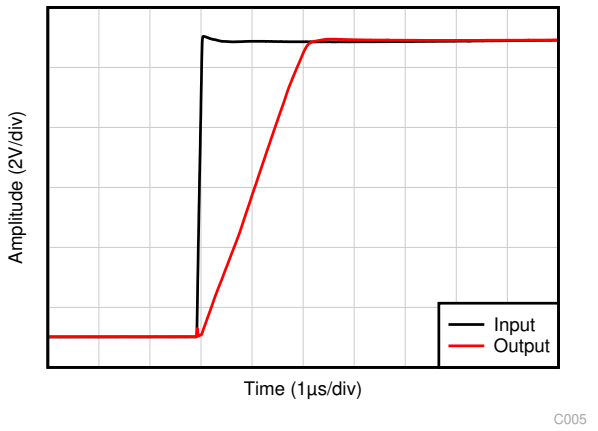
6.8 典型特性 (continued)

T_A = 25°C，V_S = ±8V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 且连接至 V_S / 2 并且 C_L = 100pF（除非另有说明）



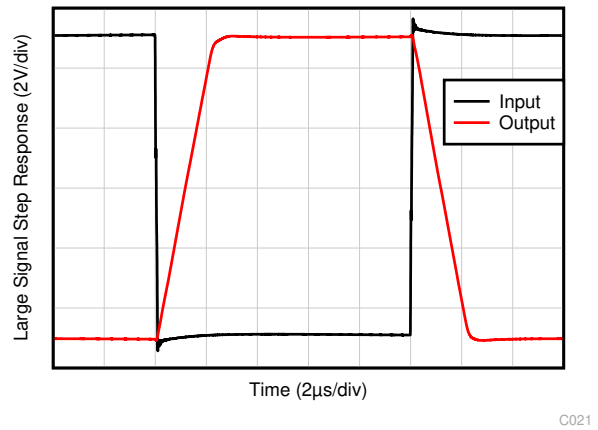
C_L = 20pF，G = 1

图 6-37. 大信号阶跃响应（下降）



C_L = 20pF，G = 1

图 6-38. 大信号阶跃响应（上升）



C_L = 10pF，G = -1

图 6-39. 大信号阶跃响应

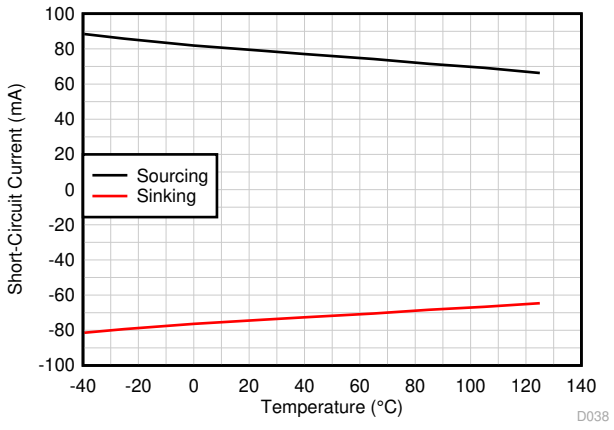


图 6-40. 短路电流与温度间的关系

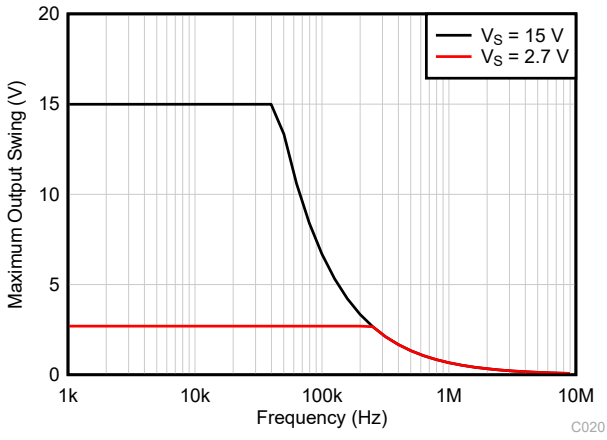


图 6-41. 最大输出电压与频率间的关系

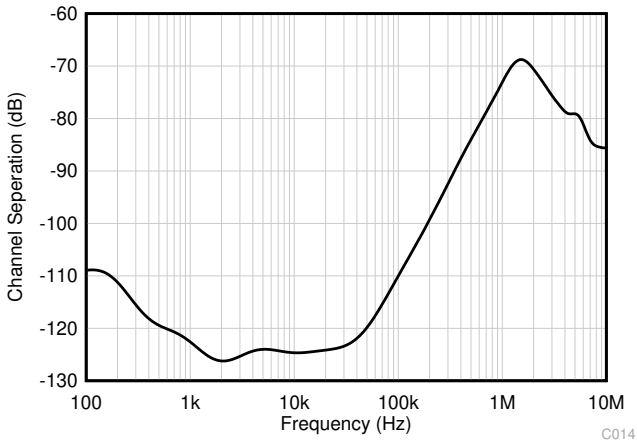


图 6-42. 通道隔离与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

6.8 典型特性 (continued)

T_A = 25°C，V_S = ±8V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 且连接至 V_S / 2 并且 C_L = 100pF（除非另有说明）

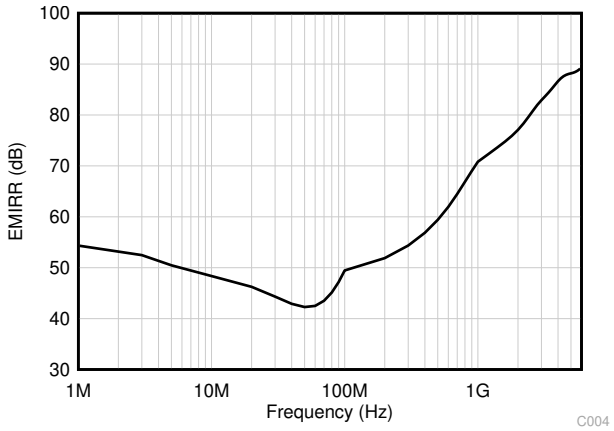


图 6-43. EMIRR（电磁干扰抑制比）与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

7 详细说明

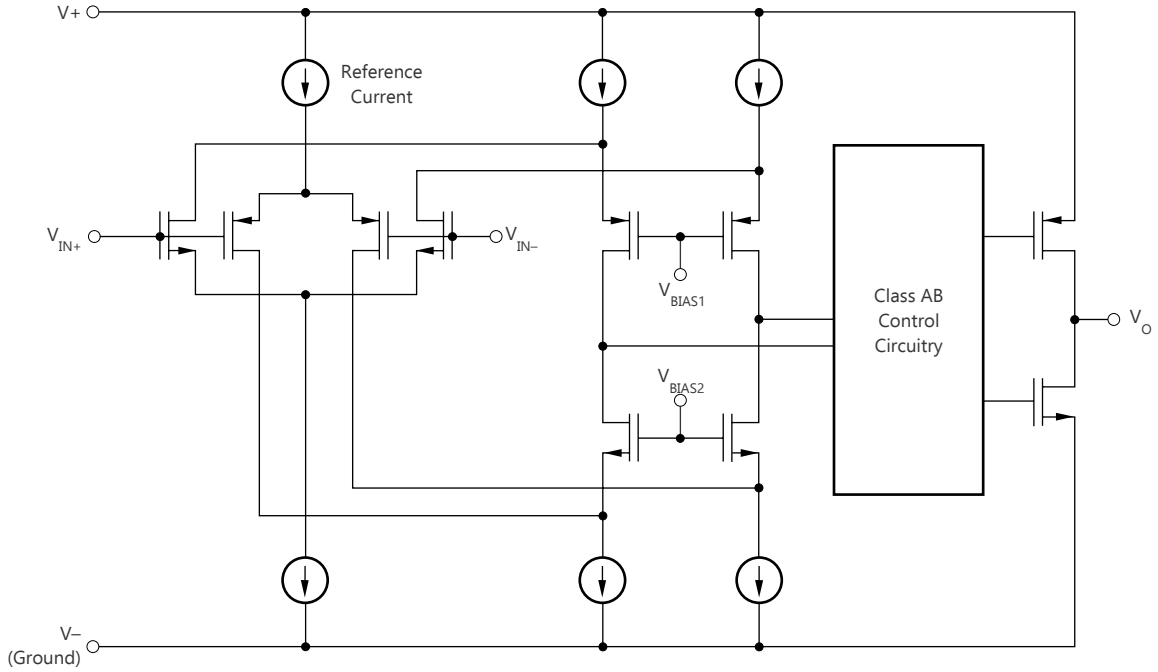
7.1 概述

TLV910x 系列（TLV9101、TLV9102 和 TLV9104）是 16V 通用运算放大器系列。

这些器件具有出色的直流精度和交流性能，包括轨到轨输入/输出、低失调电压（±300μV，典型值）、低温漂（±0.6μV/°C，典型值）和 1.1MHz 带宽。

TLV910x 具有宽差模和共模输入电压范围、高输出电流 (±80mA)、高压摆率 (4.5V/μs)、低功耗运行（120μA，典型值）和关断功能，因而是一款稳定的低功耗、高性能运算放大器，适用于各种工业应用。

7.2 功能方框图



7.3 特性说明

7.3.1 EMI 抑制

TLV910x 采用集成电磁干扰 (EMI) 滤波来减少无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。采用电路设计技术可改进 EMI 抗扰度；TLV910x 受益于这些设计改进措施。德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 7-1 显示了对 TLV910x 执行此测试的结果。表 7-1 显示了在实际应用中 TLV910x 在常见特定频率下的 EMIRR IN+ 值。表 7-1 列出了可在下图所示的特定频率或其近似频率下运行的应用。*运算放大器的 EMI 抑制比* 应用报告详细说明了与运算放大器相关的 EMIRR 性能主题，该报告可通过 www.ti.com 下载。

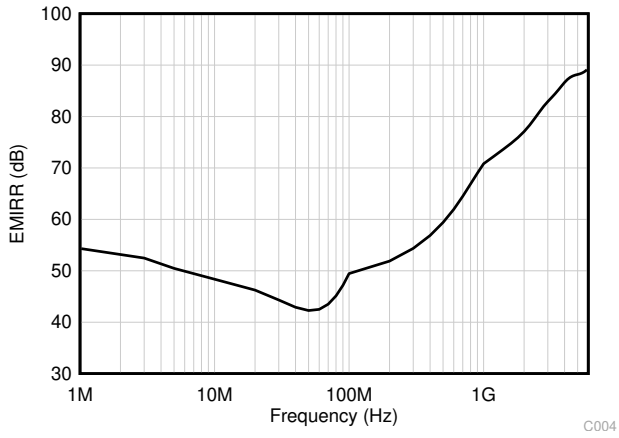


图 7-1. TLV910x EMIRR 测试

表 7-1. TLV910x 在目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	59.5 dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	68.9 dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	77.8 dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	78.0 dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	88.8 dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星操作、C 波段（4GHz 至 8GHz）	87.6 dB

7.3.2 反相保护

TLV910x 系列具有内部相位反转保护功能。当输入被驱动至超过其线性共模范围时，很多运算放大器表现出一个相位反转。这个情况经常出现在输入被驱动至超过额定共模电压范围的时候，从而导致输出反向进入相对的电源轨。TLV910x 是一款轨到轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。图 7-2 中显示了这个特性。

Copyright © 2022 Texas Instruments Incorporated

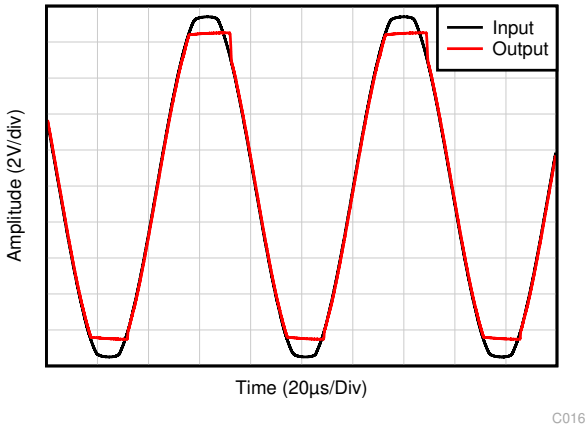


图 7-2. 无相位反转

7.3.3 过热保护

任何放大器的内部功耗都会导致内部温度（结温）升高。这一现象称为 *自热*。TLV910x 的绝对最大结温为 150°C。超过此温度器件会损坏。TLV910x 具有过热保护功能，可防止由自热造成的损坏。具体的保护方式是，监控器件的温度，一旦温度超过 140°C，则关闭运算放大器输出驱动。图 7-3 显示了 TLV9101 的一个应用示例，该示例因为其功耗 (0.39W) 而产生显著的自热 (154°C)。热计算表明，在 100°C 环境温度下，器件结温一定会达到 154°C。不过，实际器件会关闭输出驱动以保持安全的结温。图 7-3 显示了电路在过热保护期间的行为。在正常工作期间，器件充当缓冲区，因此输出为 3V。当自热导致器件结温升高到 140°C 以上时，过热保护强制输出进入高阻抗状态，输出通过电阻 RL 拉向地。

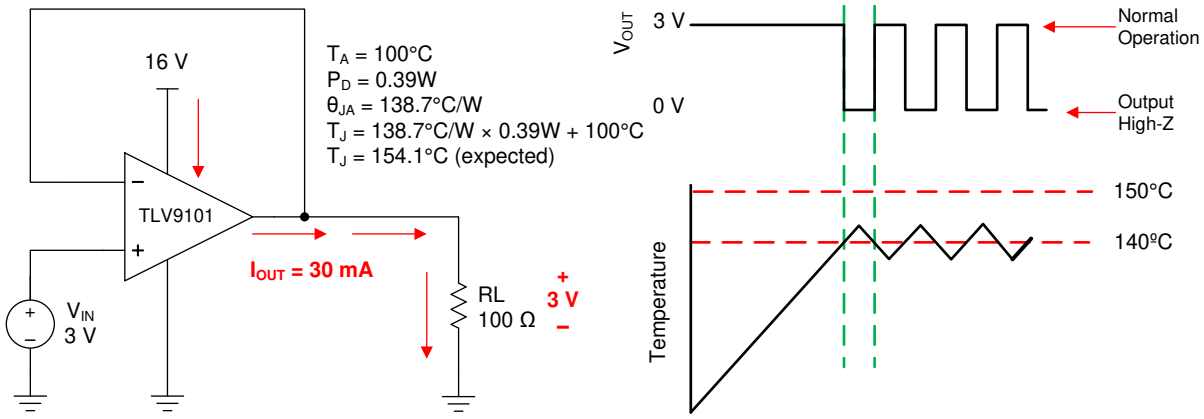


图 7-3. 过热保护

7.3.4 容性负载和稳定性

TLV910x 具有电阻输出级，能够驱动中等容性负载，而且通过采用隔离电阻器，可以轻松配置该器件来驱动大型容性负载。增加增益可增强放大器驱动更大容性负载的能力；请参阅图 7-4 和图 7-5。在确定放大器是否将稳定运行时，需要考虑一些因素，如特定的运算放大器电路配置、布局、增益和输出负载等。

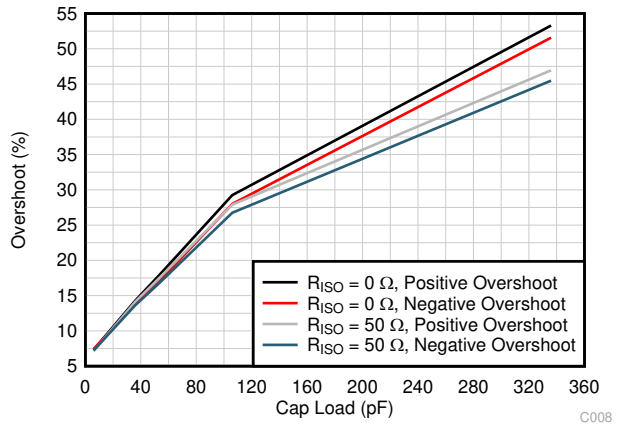


图 7-4. 小信号过冲与容性负载间的关系（100mV 输出阶跃，G = 1）

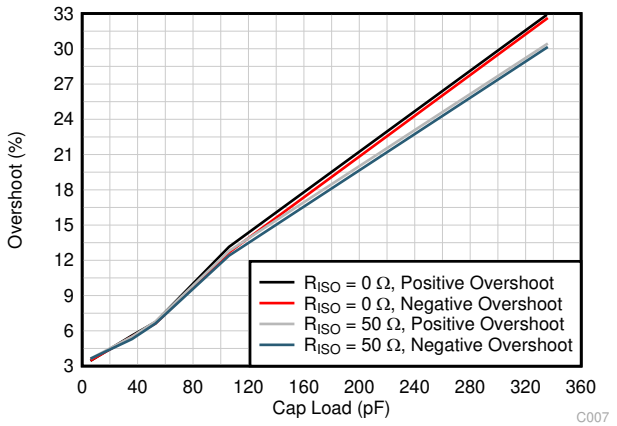


图 7-5. 小信号过冲与容性负载间的关系（100mV 输出阶跃，G = –1）

若要增加单位增益配置下的驱动能力，可与输出串联，插入一个小的（10Ω 至 20Ω）电阻器 R_{ISO}，如图 7-6 中所示，以此来提高容性负载驱动能力。此电阻器可显著减少振铃，并保持纯容性负载的直流性能。但是，如果电阻负载与容性负载并联，则会产生一个电压分压器，从而在输出端引入增益误差并略微减小输出摆幅。引入的误差与 R_{ISO} / R_L 的比率成正比，在低输出电平下通常可忽略不计。高容性负载驱动使 TLV910x 非常适合于基准缓冲器、MOSFET 栅极驱动器和电缆屏蔽驱动器等应用。图 7-6 中所示的电路采用隔离电阻器 R_{ISO} 来稳定运算放大器的输出。R_{ISO} 修改了系统的开环增益，从而增加了相位裕度 中总结了使用 OPAx990 的结果。

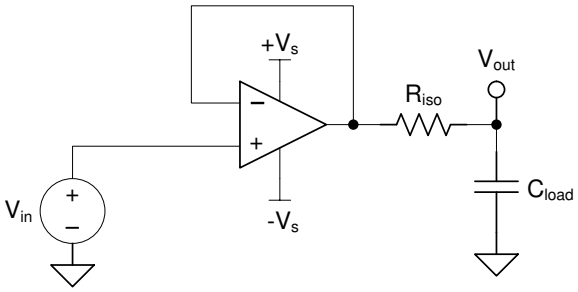


图 7-6. 使用 TLV9101 扩展容性负载驱动

Copyright © 2022 Texas Instruments Incorporated

7.3.5 共模电压范围

TLV910x 是一个 16V 的真正轨到轨输入运算放大器，其输入共模范围在任一电源轨之外扩展了 100mV。此宽范围通过并联互补的 N 通道和 P 通道差分输入对实现的，如图 7-7 所示。N 沟道对接近正电源轨的输入电压有效，通常高于正电源电压 (V+) – 1V 至 100mV 。P 沟道对于从低于负电源 100mV 到大约 (V+) – 2V 的输入是有效的。其转换区域较小，通常为(V+) –2V 至 (V+) – 1V 这时两个输入对都处于开启状态。此转换区域可能随工艺不同而略有波动，在此区域内，与在该区域外运行相比，PSRR、CMRR、失调电压、温漂、噪声和 THD 性能可能会下降。为实现 TLV910x 系列的出色性能，应尽可能避免此转换区域。

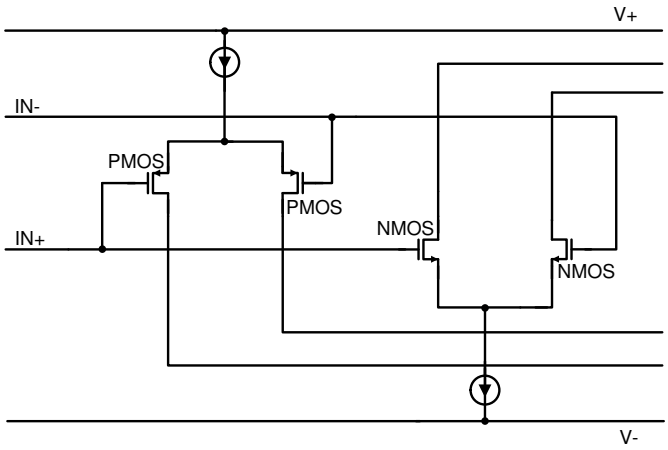


图 7-7. 轨到轨输入级

7.3.6 电气过载

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同的引脚功能均具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过应力限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过应力事件的关联性会有所帮助。图 7-8 显示了 TLV910x 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未激活状态。

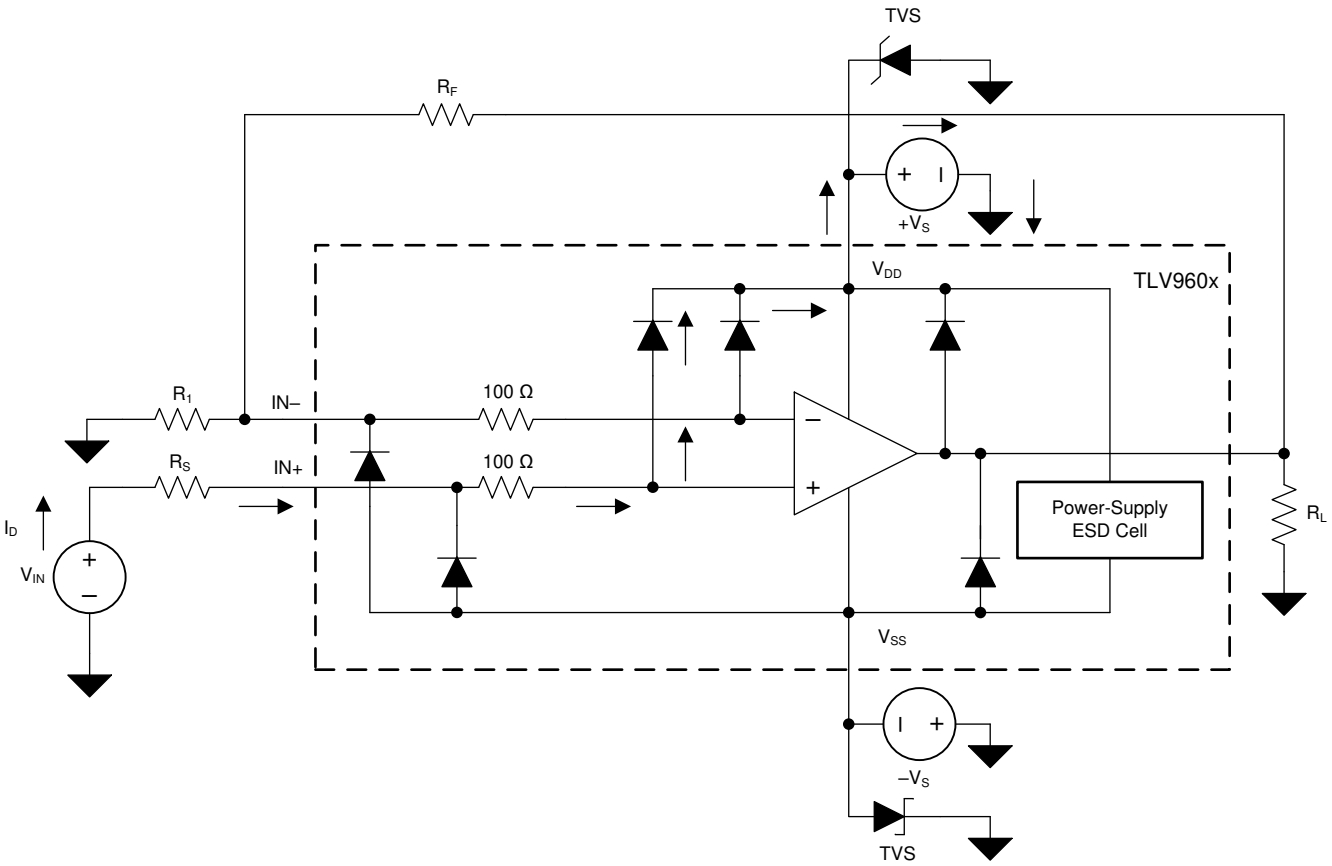


图 7-8. 与典型电路应用相关的等效内部 ESD 电路

Copyright © 2022 Texas Instruments Incorporated

ESD 事件持续时间非常短，电压非常高（例如，1kV，100ns），而 EOS 事件持续时间长，电压较低（例如，50V，100ms）。ESD 二极管设计用于电路外 ESD 保护（即在器件被焊接到 PCB 上之前的组装、测试和贮存阶段）。在 ESD 事件中，ESD 信号通过 ESD 导流二极管传递给吸收电路（列为 ESD 电源电路）。ESD 吸收电路将电源钳制在一个安全的水平。

尽管这种行为对于电路外保护来说是必要的，但如果在电路内激活，则会导致过流和损坏。瞬态电压抑制器 (TVS) 可用于防止电路内 ESD 事件中因打开 ESD 吸收电路而导致的损坏。使用适当的限流电阻和 TVS 二极管则允许使用器件 ESD 二极管来防止 EOS 事件。

7.3.7 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。TLV910x 的过载恢复时间大约为 1µs。

7.3.8 典型规格与分布

设计人员经常会对放大器的典型规格提出质疑，以便设计出更稳健的电路。工艺技术和制造过程上存在自然差异，因此放大器的每种规格都与理想值存在一定的偏差，例如放大器的输入失调电压。这些偏差通常遵循*高斯*（“钟形曲线”）或*正态*分布，即使节 6.7 中没有最小值或最大值规格，电路设计人员也可以利用此信息来确定其系统的限值空间。

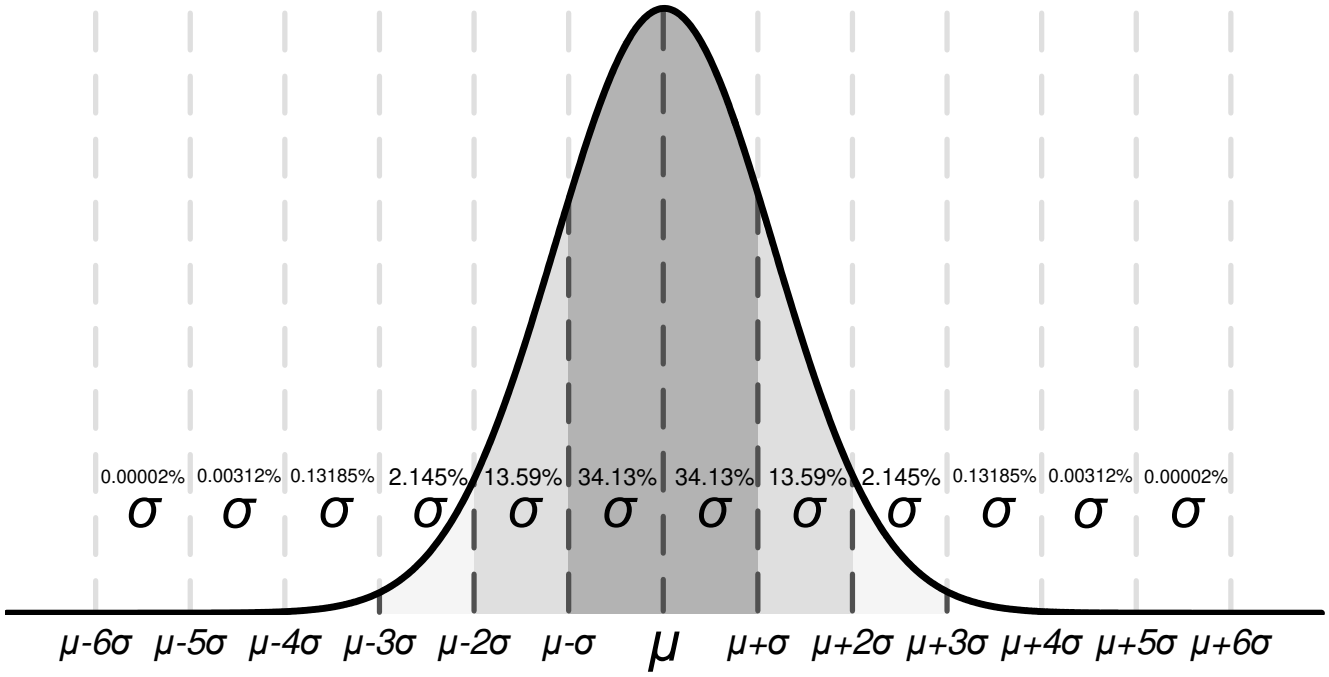


图 7-9. 理想的高斯分布

图 7-9 显示了一个分布示例，其中 *μ* 或 *mu* 是分布的平均值，而 *σ* 或 *sigma* 是系统的标准偏差。对于表现出这种分布的规格，可以预期所有器件中大约三分之二 (68.26%) 器件的值落在平均值的一个标准差或一个 sigma 内（从 *μ* – *σ* 到 *μ*+ *σ*）。

鉴于规格不同，节 6.7 的*典型值*列中列出的值以不同的方式表示。根据一般经验法则，如果规格本身具有非零平均值（例如增益带宽），那么典型值等于平均值 (μ)。然而，如果规格的平均值本身接近于零（例如输入失调电压），那么典型值等于均值加上一个标准偏差 (μ + σ)，这样才能最为准确地表示典型值。

您可以使用此图表来计算器件中某个规格的近似概率；例如，对于 TLV910x，典型的输入电压失调值为 300µV，因此所有 TLV910x 器件中有 68.2% 的器件预计都具有 –300µV 至 +300µV 的失调。在 4 *σ* (±1200µV) 条件下，

分布的 99.9937% 都具有小于 ±1200μV 的失调电压，这意味着总体的 0.0063% 位于这些限值之外，相当于 15,873 个器件有 1 个器件超出该限值。

在最小值或最大值列中具有值的规格由 TI 确保，超过这些限值的器件将从生产材料中剔除。例如，TLV910x 系列在 25°C 条件下的最大失调电压为 1.5mV，尽管这相当于约 5σ（约为 170 万个器件中有 1 个器件，可能性微乎其微），但 TI 确保任何失调电压大于 1.5mV 的器件都将从生产材料中剔除。

对于最小值或最大值列中没有值的规格，可考虑为应用选择 1 σ 值的足够限值空间，并使用该值来设计最差情况下的电路。例如，6σ 值相当于约 5 亿个器件中有 1 个器件，这种情况极不可能，可以作为一个宽限值空间选项来设计系统。在这种情况下，TLV910x 产品系列在失调电压漂移上没有最大值和最小值，但根据 图 6-2 和 节 6.7 中 0.6μV/°C 的典型值，可以计算出失调电压漂移的 6σ 值约为 3.6μV/°C。在为最坏情况的系统条件进行设计时，可以使用该值来估计整个温度范围内的最坏失调电压，而不用知道实际的最小值或最大值。

然而，随着时间的推移，工艺差异和调整会改变典型的平均值和标准偏差，除非最小值或最大值规格列中给出了值，否则 TI 无法保证器件的性能。此信息应该只能用于估算器件的性能。

7.3.9 带外露散热焊盘的封装

TLV910x 系列可采用 WSON-8 (DSG) 和 WQFN-16 (RTE) 等封装，此类封装的特点是带有外露的散热焊盘。在封装内部，使用导电化合物将芯片连接到该散热焊盘。因此，当使用带有外露散热焊盘的封装时，散热焊盘必须连接到 V– 或保持悬空。不可将散热焊盘连接到 V– 之外的电势上，否则无法保证器件的性能。

7.3.10 关断

TLV910xS 器件具有一个或多个关断引脚 (SHDN)，该引脚可禁用运算放大器，从而将其置于低功耗待机模式。在该模式下，运算放大器的电流消耗通常约为 20μA。SHDN 引脚为高电平有效，这意味着当 SHDN 引脚的输入为有效逻辑高电平时会启用关断模式。当 SHDN 引脚的输入为有效逻辑低电平时，放大器被启用。

SHDN 引脚以运算放大器的负电源轨为基准。关断特性的阈值位于 800mV（典型值）左右，且不随电源电压的变化而变化。开关阈值中包含了迟滞，以确保顺畅的开关特征。为了确保最佳的关断行为，应通过有效逻辑信号驱动 SHDN 引脚。有效逻辑低电平被定义为 V– 和 V– + 0.2V 之间的电压。有效逻辑高电平被定义为 V– + 1.1V 和 V+ 之间的电压。关断引脚电路包括下拉电阻器，如果不驱动，下拉电阻器会固有地将引脚电压拉至负电源轨。因此，要启用放大器，SHDN 引脚应该保持悬空或被驱动至有效逻辑低电平。要禁用放大器，SHDN 引脚必须被驱动至有效逻辑高电平。SHDN 引脚允许的最大电压为 V+ 或 V– + 20V，以较低者为准。超过此电压水平会导致器件损坏。

SHDN 引脚为高阻抗 CMOS 输入。单通道运算放大器和双通道运算放大器封装的各个通道均是单独控制的，而四通道运算放大器封装的通道是成对控制的。对于电池供电应用，这种特性可用于大幅降低平均电流并延长电池使用寿命。关断的典型启用时间为 11μs；禁用时间为 2.5μs。禁用时，输出呈现高阻抗状态。借助该架构，TLV910xS 系列可用作选通放大器、多路复用器或可编程增益放大器。关断时间 (t_{OFF}) 取决于负载条件，并随负载电阻的增加而增加。为了确保在特定的关断时间内关断（禁用），指定的 10kΩ 负载需加载到中间电源 (VS/2)。如果在没有负载的情况下使用 TLV910xS，则产生的关断时间会显著增加。

7.4 器件功能模式

TLV910x 具有单一功能模式，可在电源电压大于 2.7V (±1.35V) 时工作。TLV910x 的最大电源电压为 16V (±8V)。

Copyright © 2022 Texas Instruments Incorporated

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TLV910x 系列具有出色的直流精度和直流性能。这些器件的工作电压高达 16V，并提供真正的轨到轨输入/输出、较低失调电压、失调电压漂移以及 1.1MHz 带宽和高输出驱动。这些特性使 TLV910x 成为一款适用于高压工业应用的稳定而可靠的高性能运算放大器。

8.2 典型应用

8.2.1 高电压精密比较器

许多不同的系统需要控制各个系统节点的电压，以确保稳定运行。可使用比较器来监控电压，方式为将输入电压与基准阈值电压进行比较，一旦输入电压超过基准阈值电压，则提供输出电压。

TLV910x 系列运算放大器具有稳定的输入级、较低的典型失调电压及高压摆率，因而可用作性能出色的高电压精密比较器。上一代高电压运算放大器通常在输入端使用背对背二极管来防止损坏运算放大器，这极大地限制了将这些运算放大器用作比较器，但 TLV910x 具有获得专利的输入级，从而使该器件能够在输入之间实现宽差分电压。

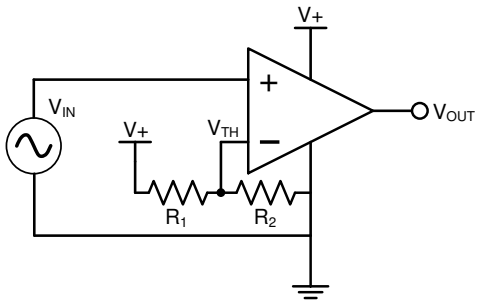


图 8-1. 比较器典型应用

8.2.1.1 设计要求

主要目标是设计一个 15V 精密比较器。

- 系统电源电压 (V+)：15V
- 电阻器 1 的值：100kΩ
- 电阻器 2 的值：100kΩ
- 基准阈值电压 (V_{TH})：7.5V
- 输入电压范围 (V_{IN})：2.5 V 至 12.5 V
- 输出电压范围 (V_{OUT})：0 V 至 15 V

Copyright © 2022 Texas Instruments Incorporated

8.2.1.2 详细设计过程

此非反相比较器电路向运算放大器的非反相端子施加输入电压 (V_{IN})。两个电阻器（R_1 和 R_2）分摊电源电压 (V+)，以建立中位阈值电压 (V_{TH})（根据 方程式 1 计算得出）。具体电路如图 8-1 所示。当 V_{IN} 低于 V_{TH} 时，输出电压将切换为负电源，并等于低电平输出电压。当 V_{IN} 高于 V_{TH} 时，输出电压将切换为正电源，并等于高电平输出电压。

在此示例中，已选定电阻器 1 和 2 为 100kΩ，基准阈值设为 7.5V。但可通过使用 方程式 1 调整电阻器 1 和 2 来修改阈值。电阻器 1 和 2 的值也已选定，用以降低功耗，但这些值可进一步增加以降低功耗，或减少以提高噪声性能。

$$V_{TH} = \frac{R_2}{R_1 + R_2} \times V_+ \tag{1}$$

8.2.1.3 应用曲线

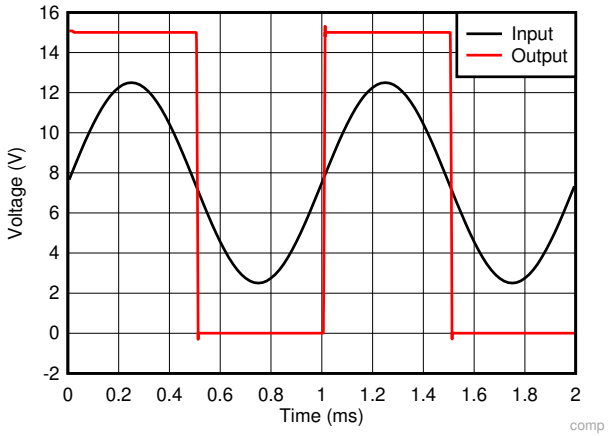


图 8-2. 比较器输出对输入电压的响应

Copyright © 2022 Texas Instruments Incorporated

9 电源相关建议

TLV910x 的额定工作电压为 2.7V 至 16V（±1.35V 至 ±8V）；多种规格适用于 –40°C 至 125°C 的温度范围。

CAUTION

电源电压超过 20V 可能会对器件造成永久损坏；请参阅节 6.1。

将 0.1µF 旁路电容器置于电源引脚附近，以减少从高噪声电源或高阻抗电源中耦合进来的误差。更多有关旁路电容器放置的详细信息，请参阅节 10。

10 布局

10.1 布局指南

为了实现器件的最佳工作性能，应使用良好的 PCB 布局实践，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路中。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间接入低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容，并尽量靠近器件放置。从 V+ 到接地端之间的单个旁路电容适用于单电源应用。
- 将电路中的模拟部分和数字部分单独接地是最简单最有效的噪声抑制方法之一。通常将多层 PCB 中的一层或多层专门作为接地层。接地层有助于散热和减少电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，输入走线运行时应尽量远离电源或输出走线。如果这些走线不能保持分开，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如图 10-2 所示，保持 RF 和 RG 接近反相输入可以最大限度地减少寄生电容。
- 尽可能缩短输入走线的长度。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可以显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因水分渗入塑料封装中而发生性能变化。在任何水必 PCB 清洁过程之后，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

10.2 布局示例

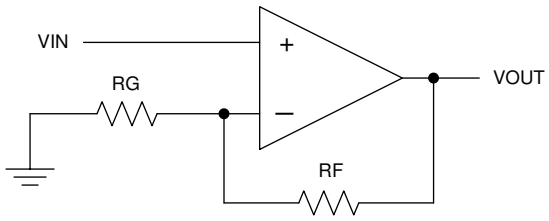


图 10-1. 原理图表示

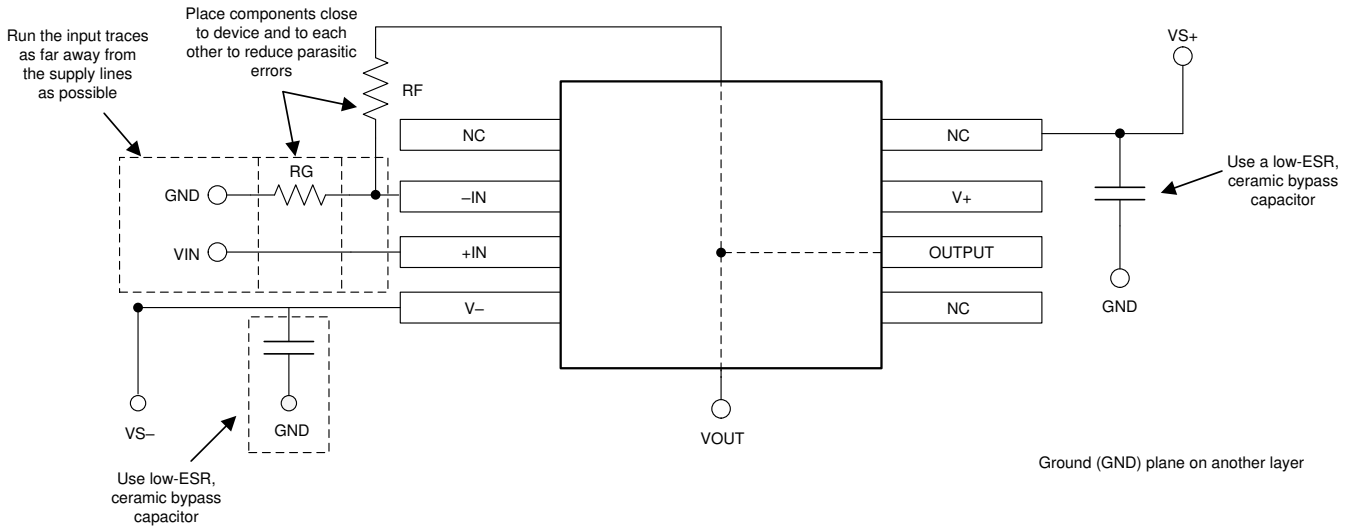


图 10-2. 同相配置的运算放大器电路板布局布线

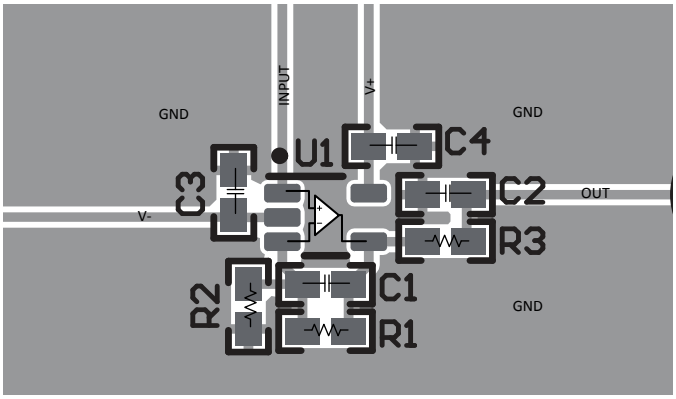


图 10-3. SC70 (DCK) 封装布局示例

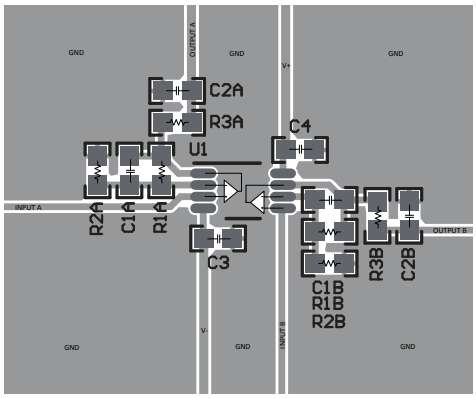


图 10-4. VSSOP-8 (DGK) 封装布局示例

Copyright © 2022 Texas Instruments Incorporated

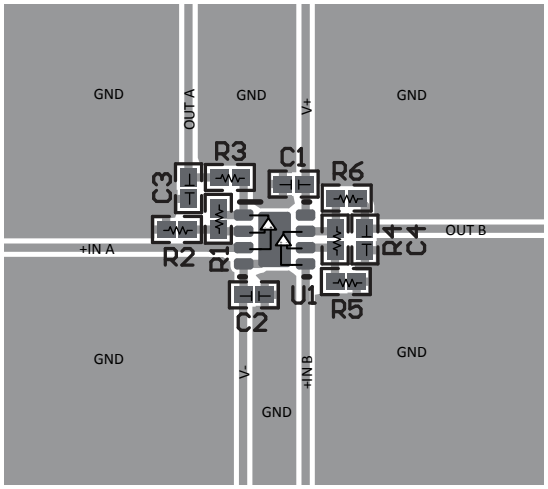


图 10-5. WSON-8 (DSG) 封装布局示例

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 TINA-TI™（免费软件下载）

TINA™ 是一款基于 SPICE 引擎的 简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流 (DC)、瞬态和频域分析以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心免费下载，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

11.2 文档支持

11.2.1 相关文档

德州仪器 (TI)，*运算放大器的 EMI 抑制比*应用报告

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

11.5 商标

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
TI E2E™ is a trademark of Texas Instruments.
蓝牙® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

11.6 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2022 Texas Instruments Incorporated

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (https:www.ti.com/legal/termsofsale.html) 或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021，德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9101IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T91V
TLV9101IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T91V
TLV9101IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1FO
TLV9101IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1FO
TLV9101SIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91S
TLV9101SIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91S
TLV9101SIDBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91S
TLV9101SIDBVRG4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91S
TLV9102IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91F
TLV9102IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91F
TLV9102IDDFRG4	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91F
TLV9102IDDFRG4.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91F
TLV9102IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(2HBT, T912)
TLV9102IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2HBT, T912)
TLV9102IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9102D
TLV9102IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9102D
TLV9102IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9102D
TLV9102IDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9102D
TLV9102IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T912
TLV9102IDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T912
TLV9102IDSGRG4	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T912
TLV9102IDSGRG4.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T912
TLV9102IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9102P
TLV9102IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9102P
TLV9102SIDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	T910
TLV9102SIDGSR.A	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	T910
TLV9102SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	FULL NIPDAU | NIPDAUAG | NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(HB, HBF)
TLV9102SIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(HB, HBF)

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9104IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9104D
TLV9104IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9104D
TLV9104IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	(PTL91PW, TLV91PW)
TLV9104IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	(PTL91PW, TLV91PW)
TLV9104IRTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-	T91RT
TLV9104IRTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T91RT
TLV9104IRUCR	Active	Production	QFN (RUC) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	FOF
TLV9104IRUCR.A	Active	Production	QFN (RUC) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	FOF
TLV9104SIRTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T9104S
TLV9104SIRTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T9104S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9104 :

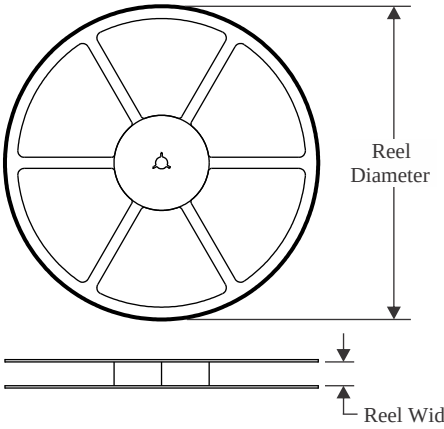
- Automotive : TLV9104-Q1

NOTE: Qualified Version Definitions:

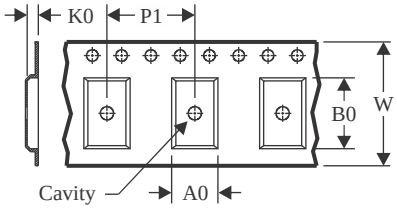
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

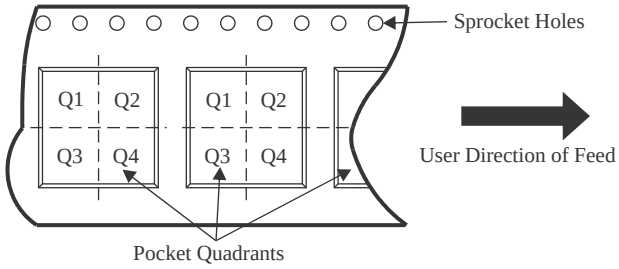


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

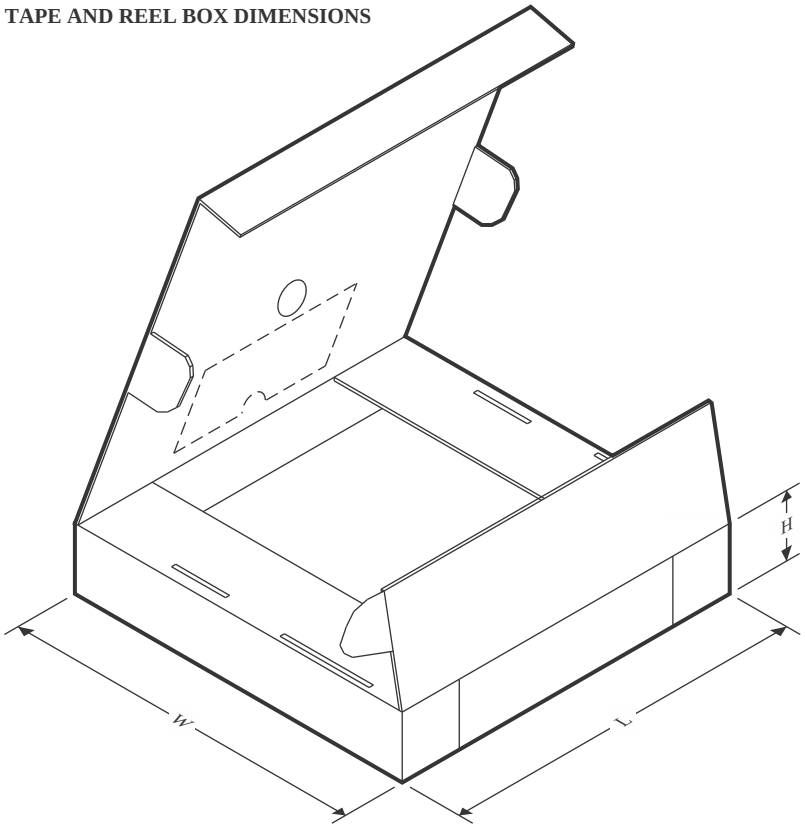


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9101IDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9101IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9101SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9101SIDBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9102IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9102IDDFRG4	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9102IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9102IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9102IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9102IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9102IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9102IDSGRG4	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9102IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9102SIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9102SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9102SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV9104IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9104IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9104IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV9104IRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLV9104IRUCR	QFN	RUC	14	3000	180.0	9.5	2.16	2.16	0.5	4.0	8.0	Q2
TLV9104SIRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9101IDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV9101IDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
TLV9101SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9101SIDBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9102IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9102IDDFRG4	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9102IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
TLV9102IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV9102IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV9102IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
TLV9102IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9102IDSGRG4	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9102IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV9102SIDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
TLV9102SIRUGR	X2QFN	RUG	10	3000	182.0	182.0	20.0
TLV9102SIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV9104IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV9104IDR	SOIC	D	14	2500	353.0	353.0	32.0

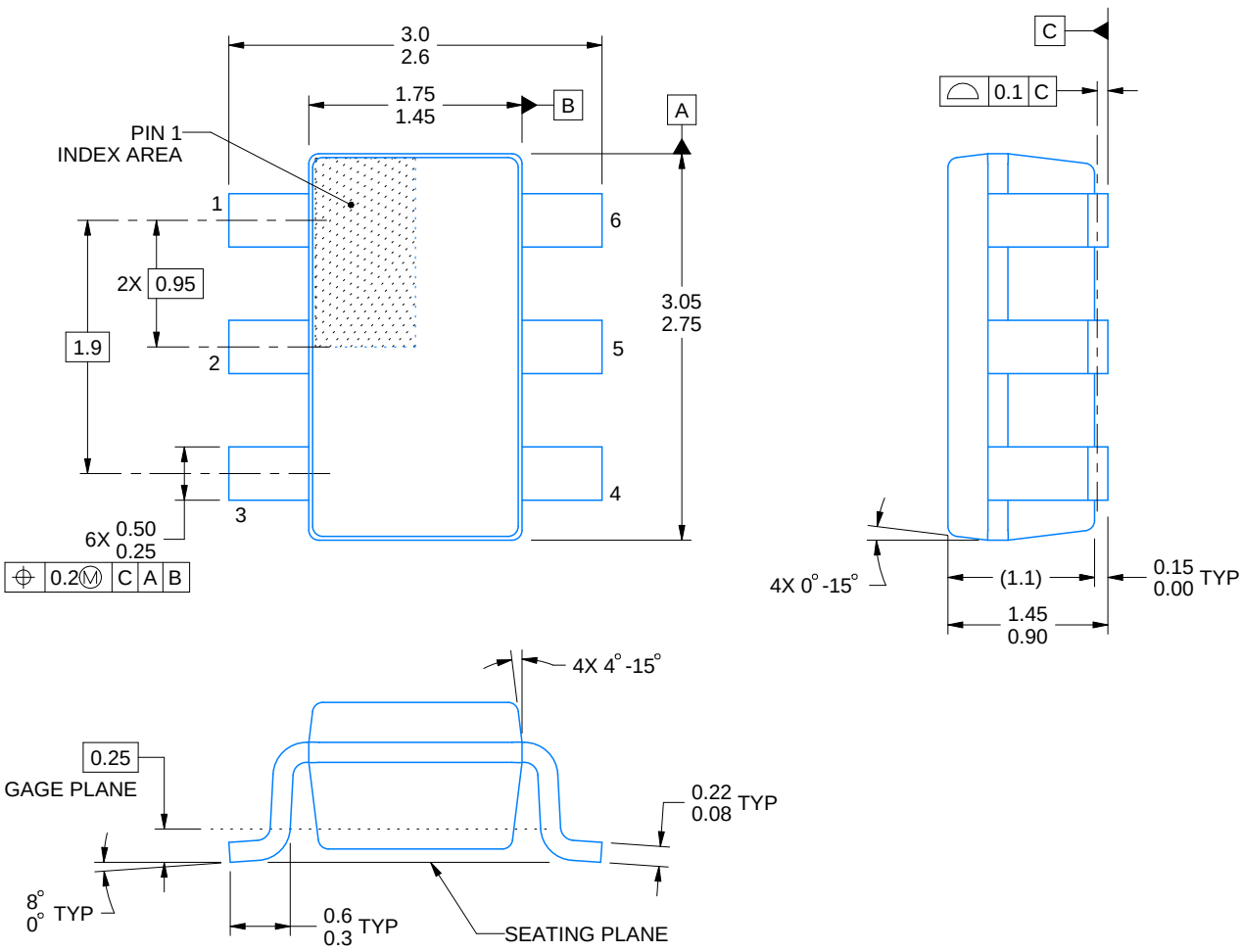
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9104IPWR	TSSOP	PW	14	2000	366.0	364.0	50.0
TLV9104IRTER	WQFN	RTE	16	3000	360.0	360.0	36.0
TLV9104IRUCR	QFN	RUC	14	3000	205.0	200.0	30.0
TLV9104SIRTER	WQFN	RTE	16	3000	360.0	360.0	36.0

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

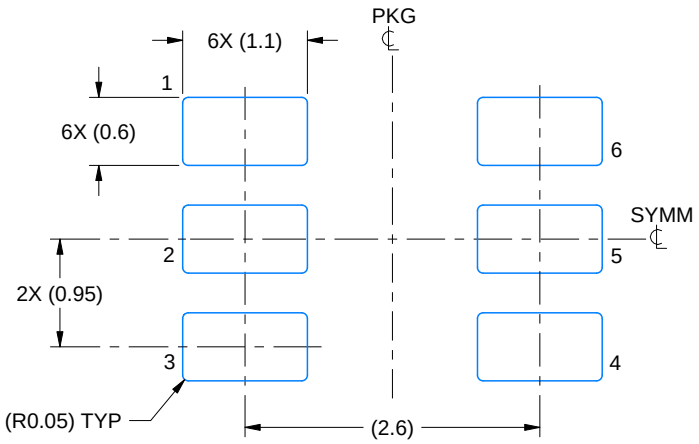
SMALL OUTLINE TRANSISTOR



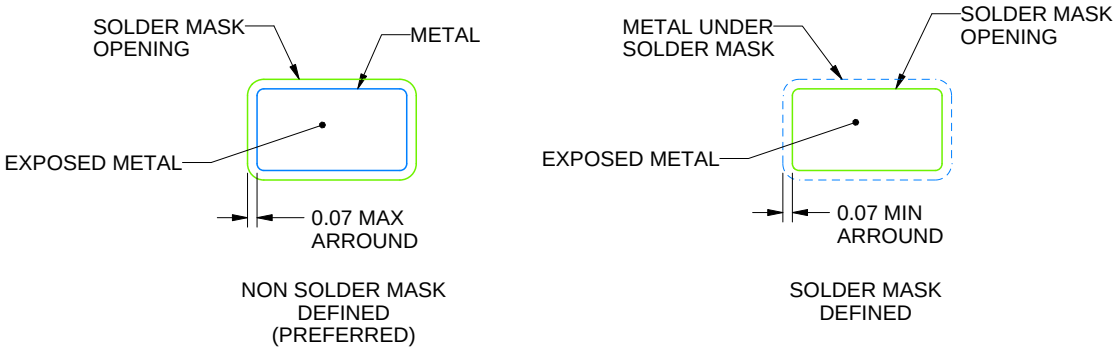
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

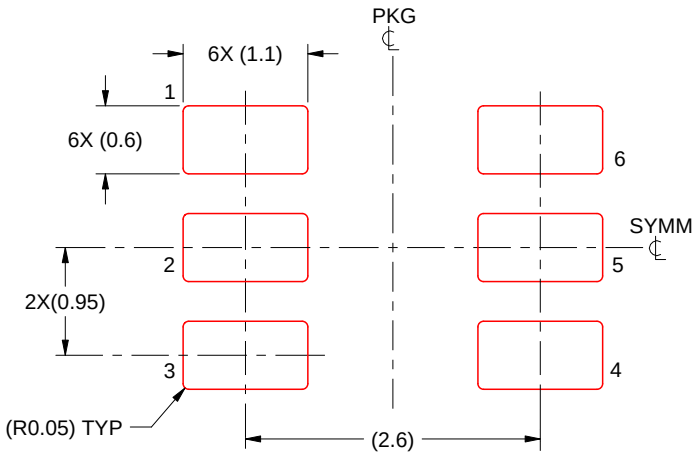


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

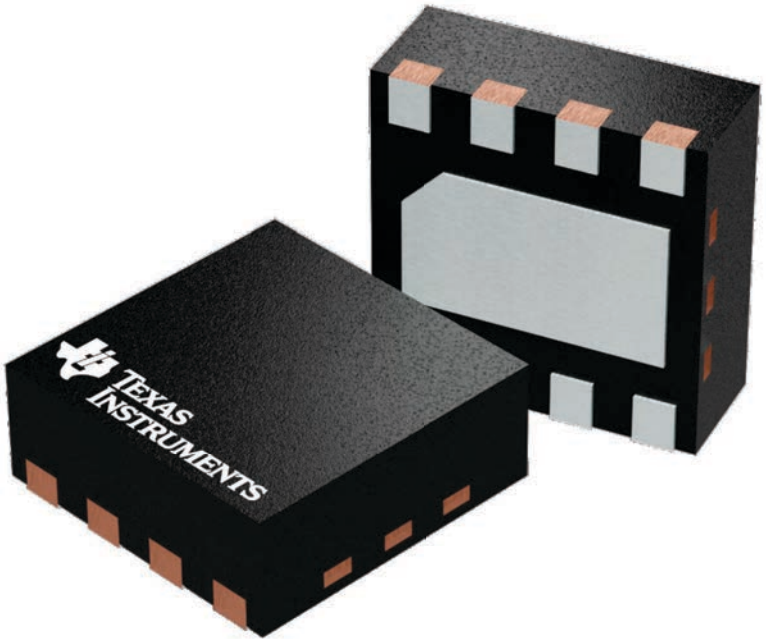
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



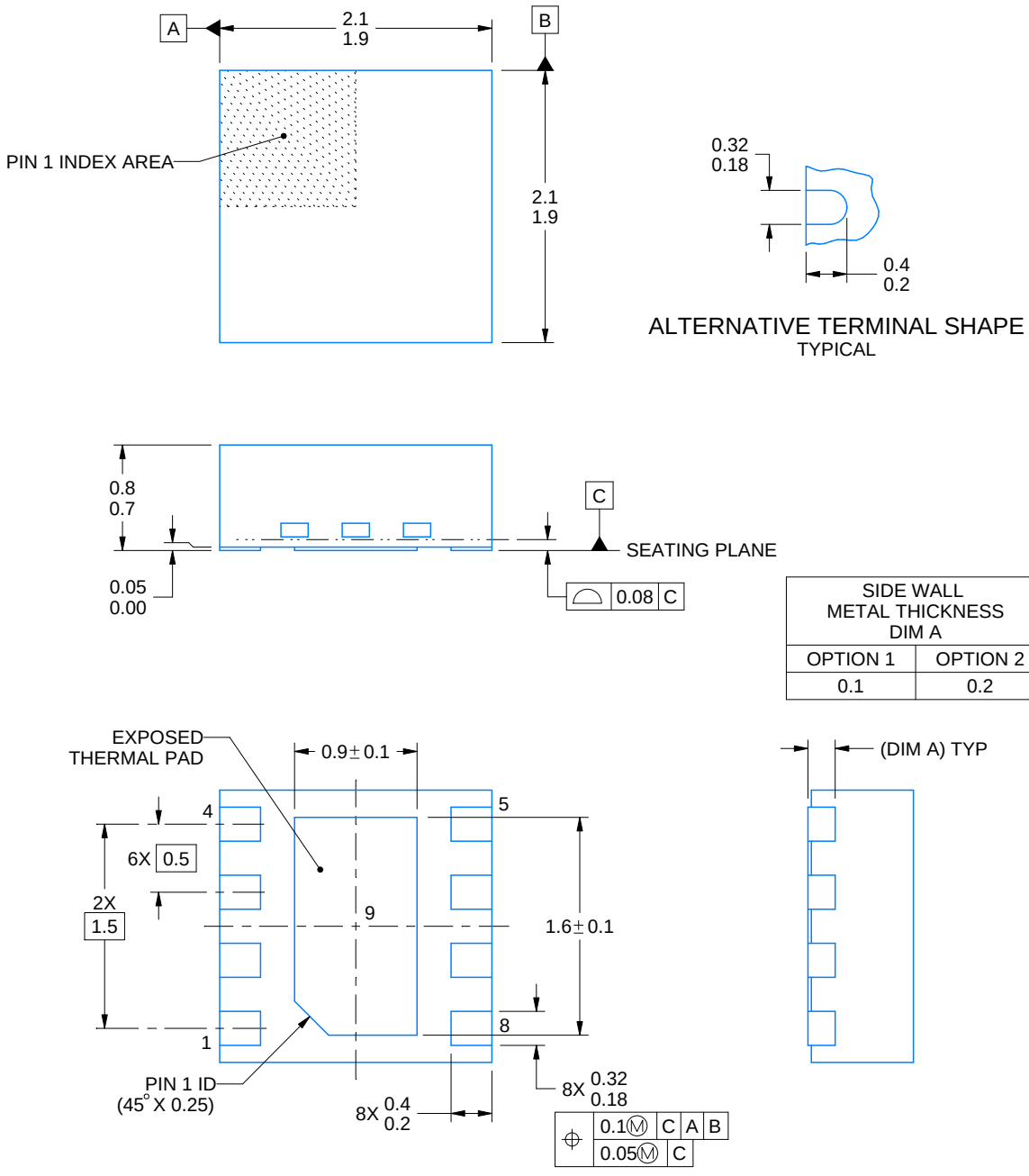
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

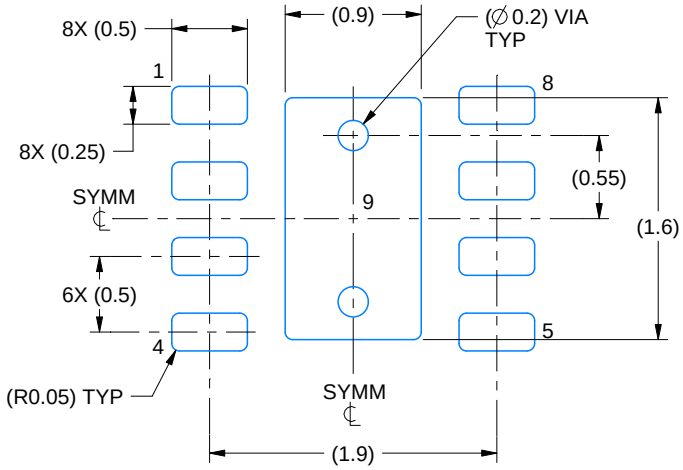
PLASTIC SMALL OUTLINE - NO LEAD



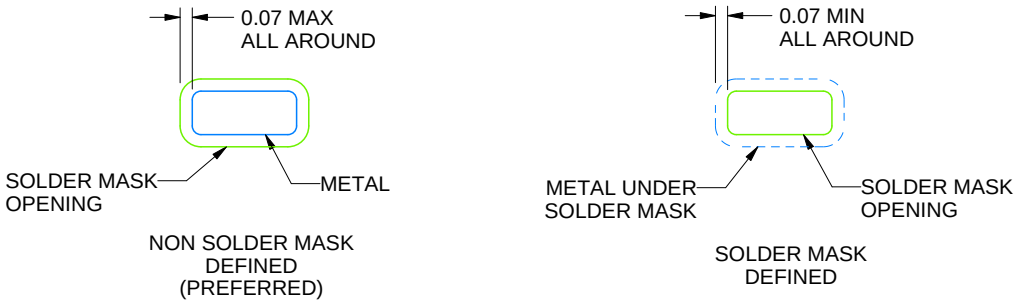
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

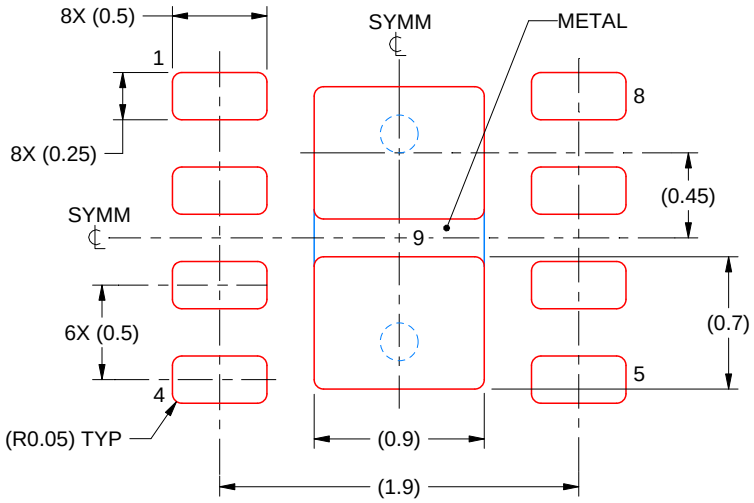


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

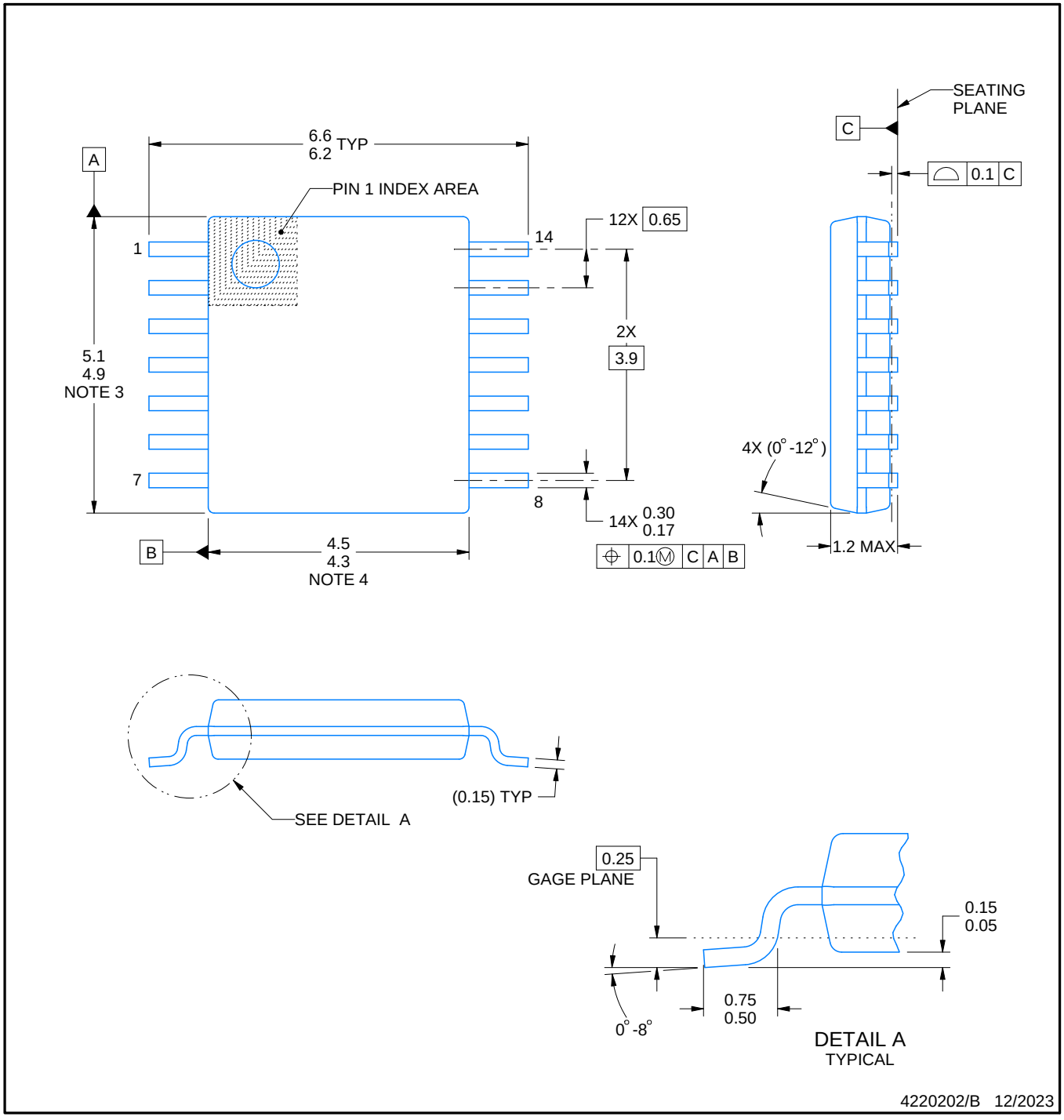
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

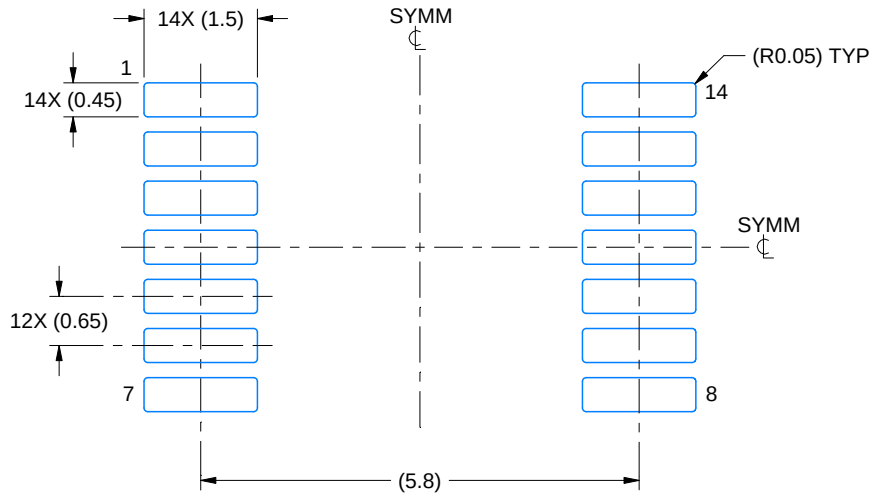
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

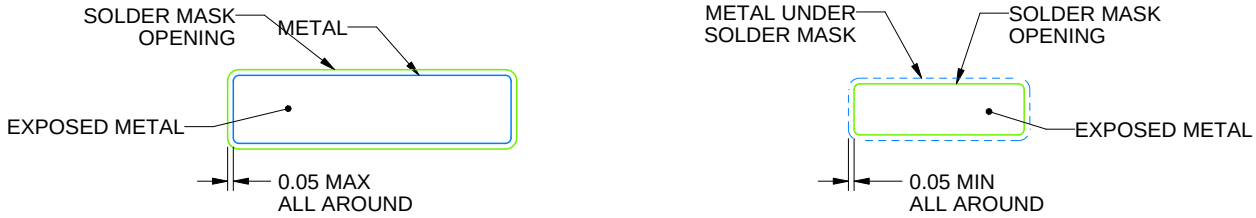


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

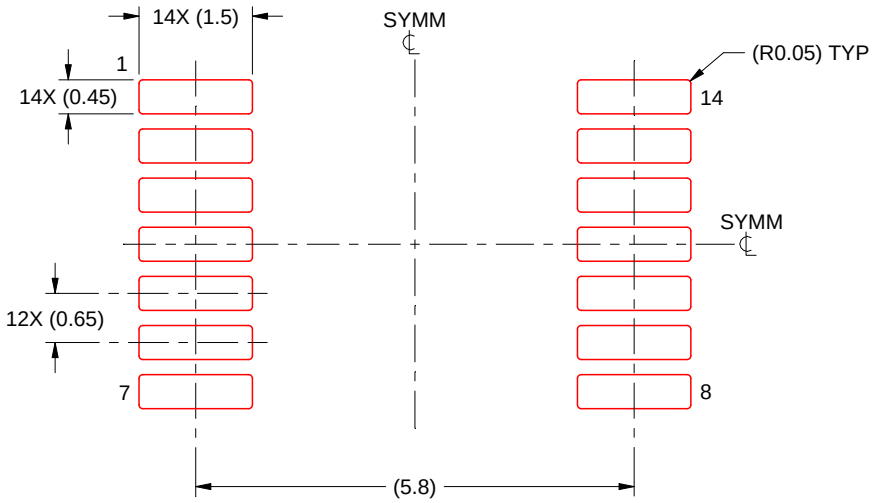


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

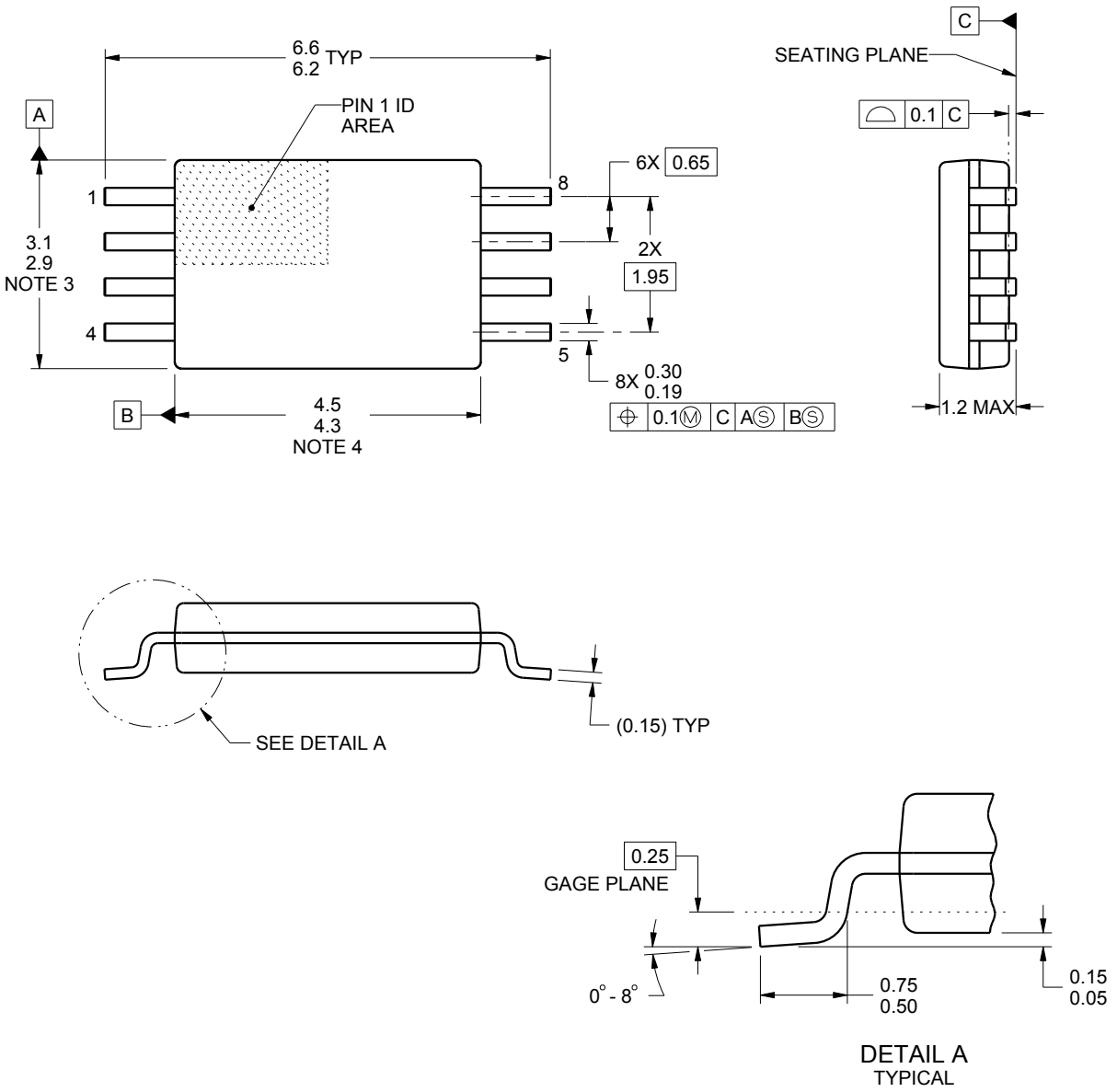
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

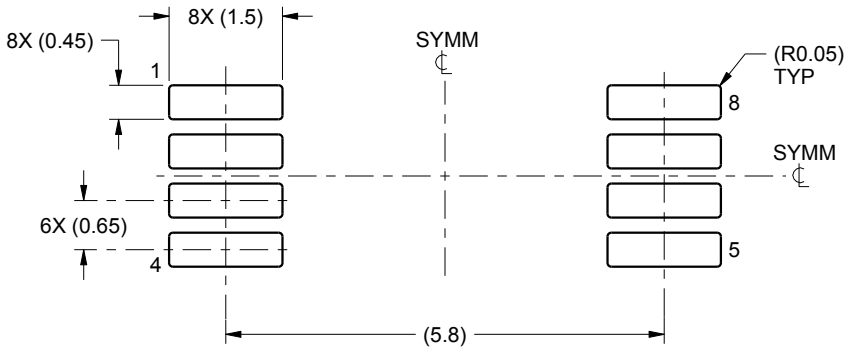
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

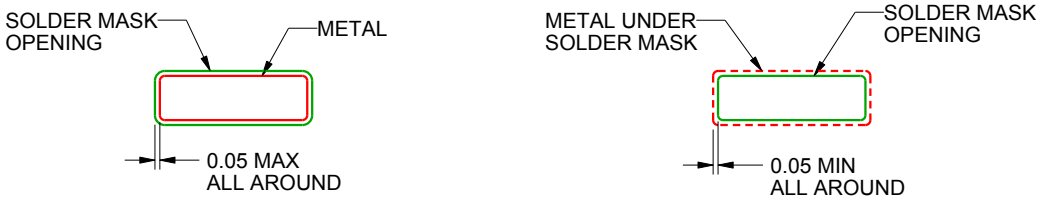


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

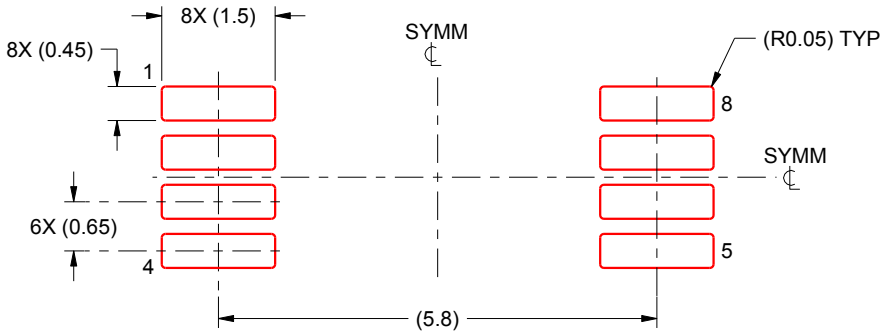


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

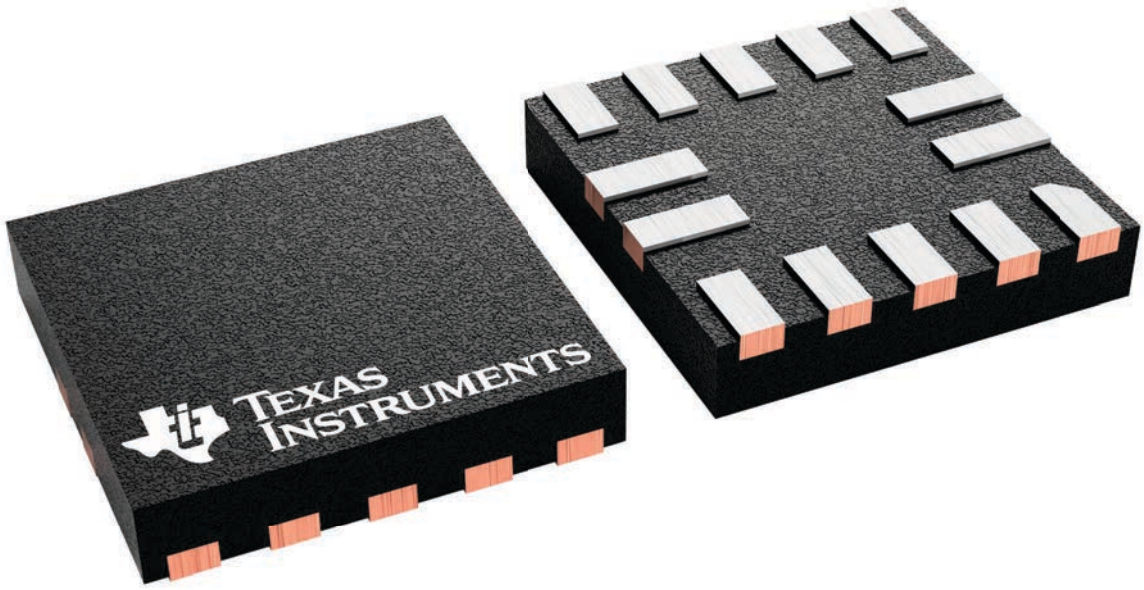
RUC 14

X2QFN - 0.4 mm max height

2 x 2, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

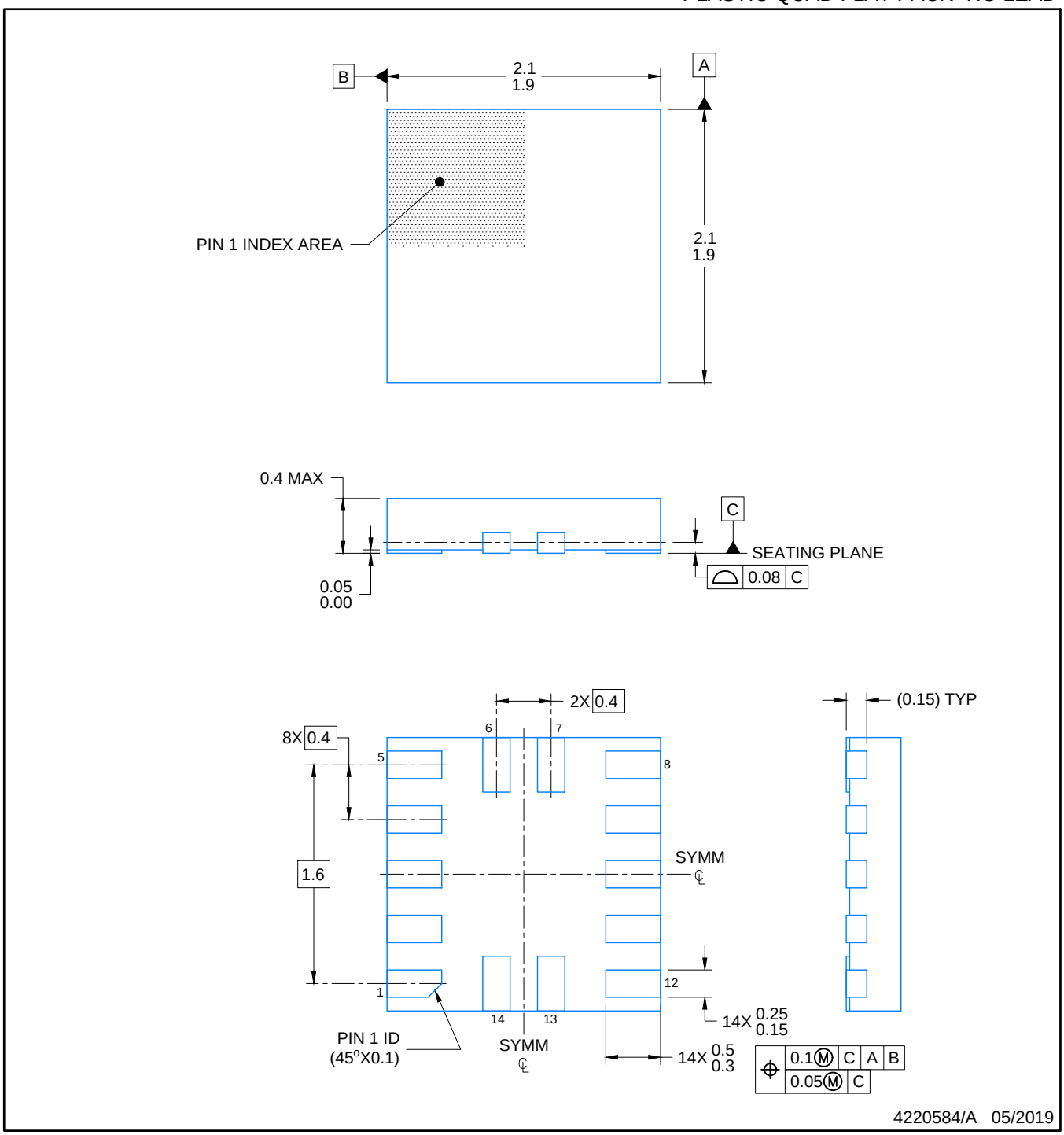


PACKAGE OUTLINE

RUC0014A

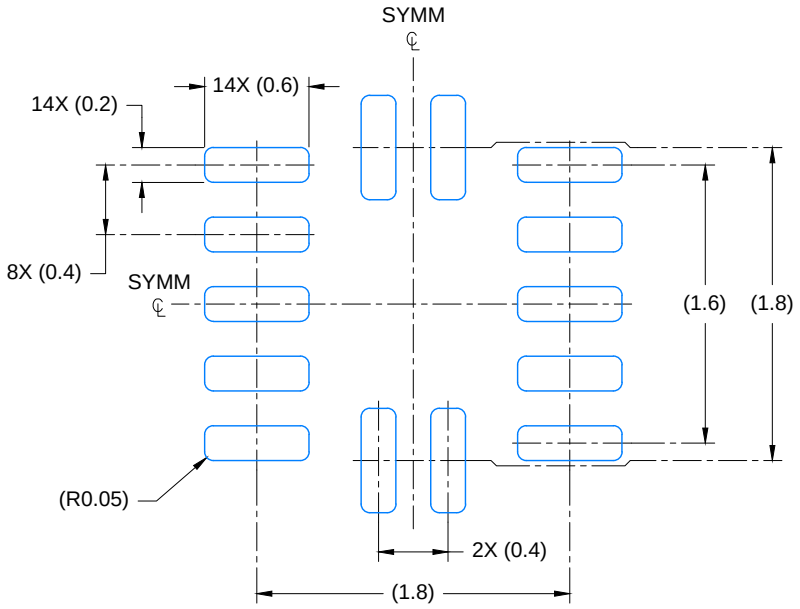
X2QFN - 0.4 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD

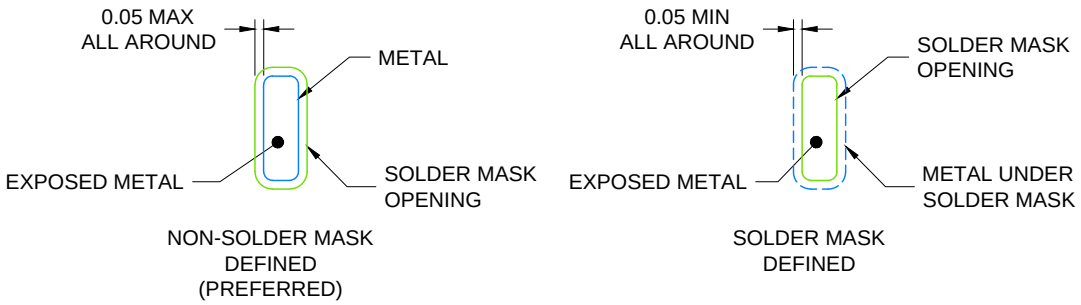


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 23X

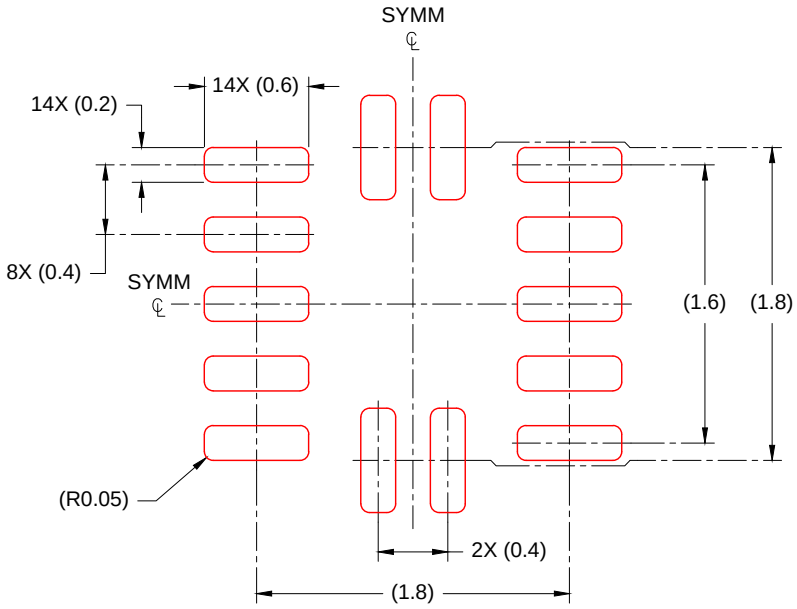


SOLDER MASK DETAILS

4220584/A 05/2019

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.100mm THICK STENCIL
SCALE: 23X

4220584/A 05/2019

NOTES: (continued)

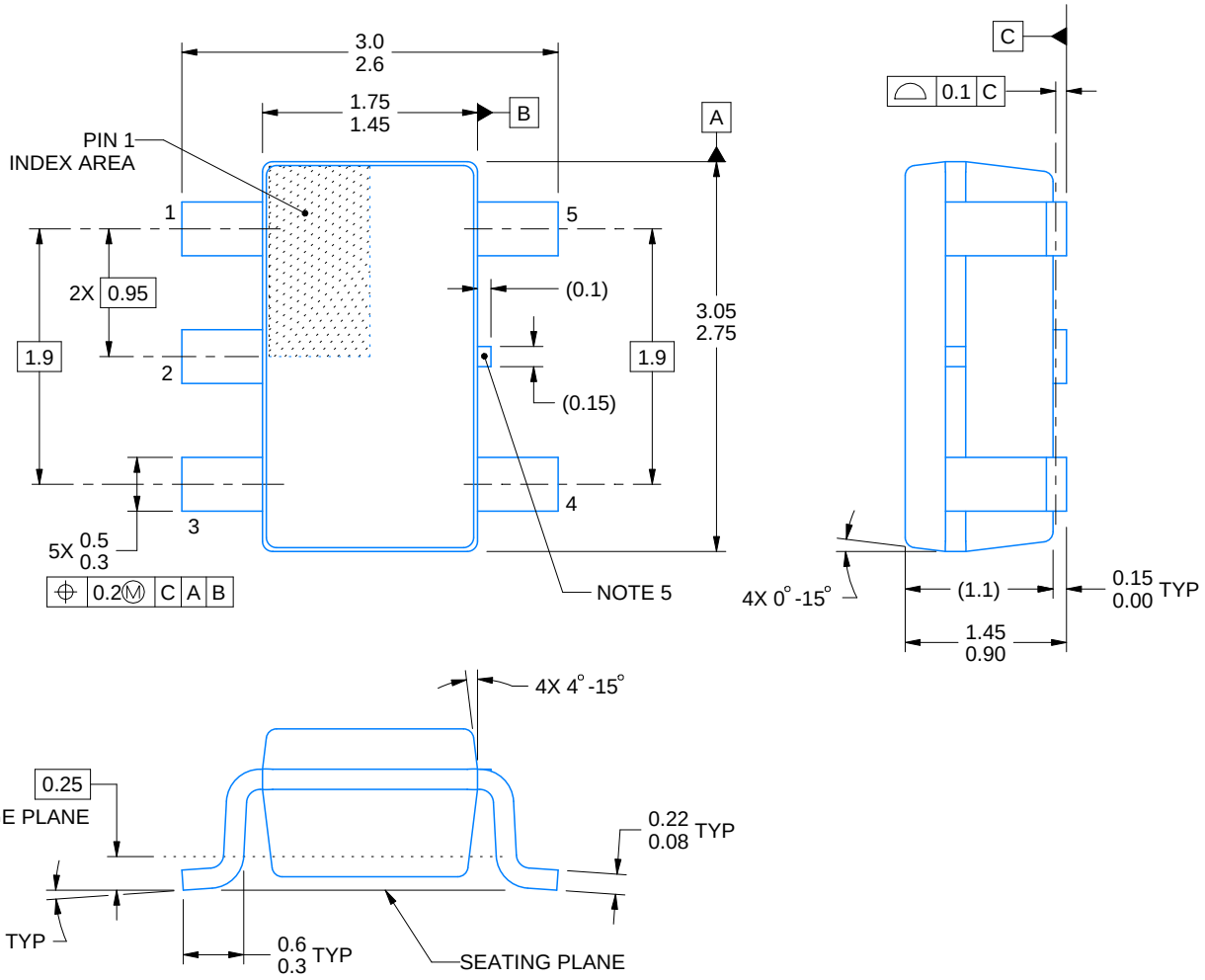
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

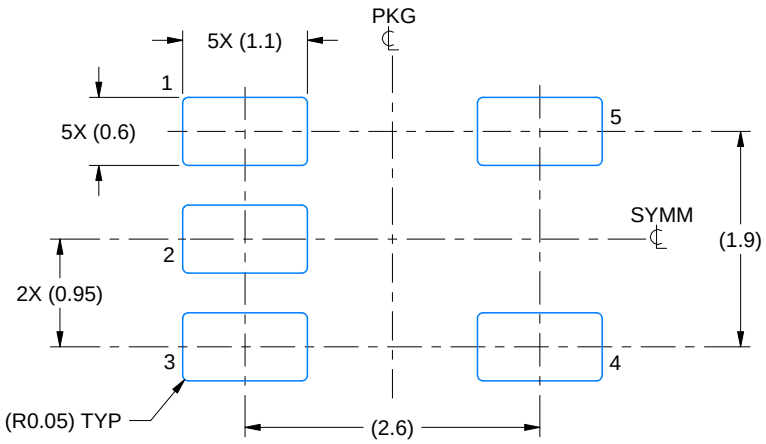
SMALL OUTLINE TRANSISTOR



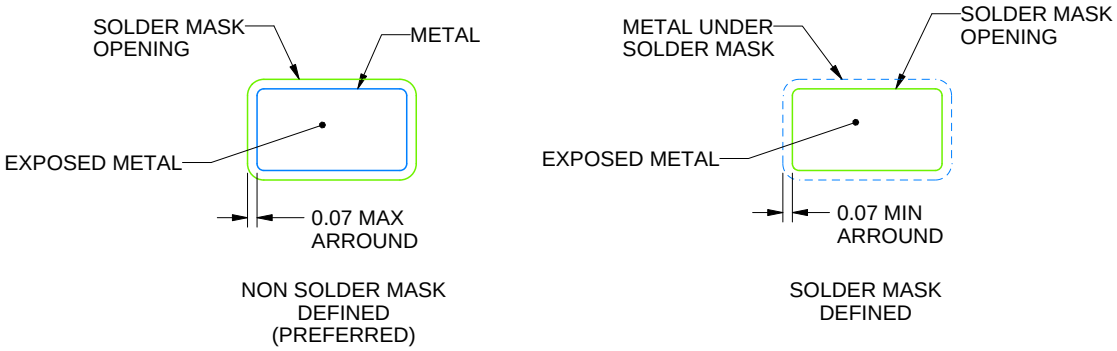
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

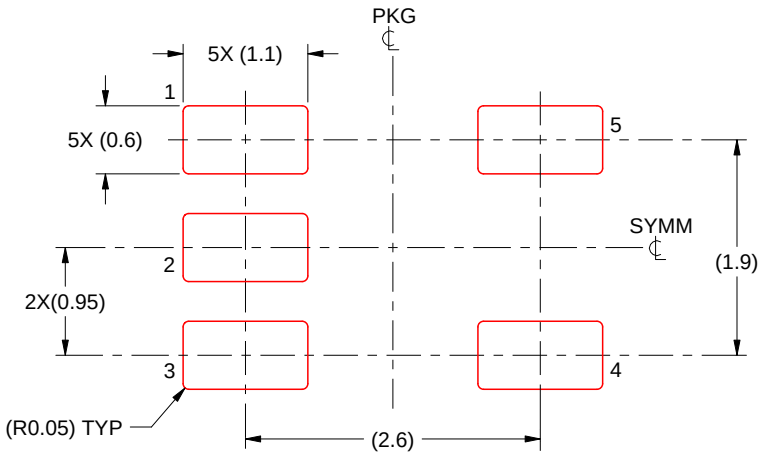


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

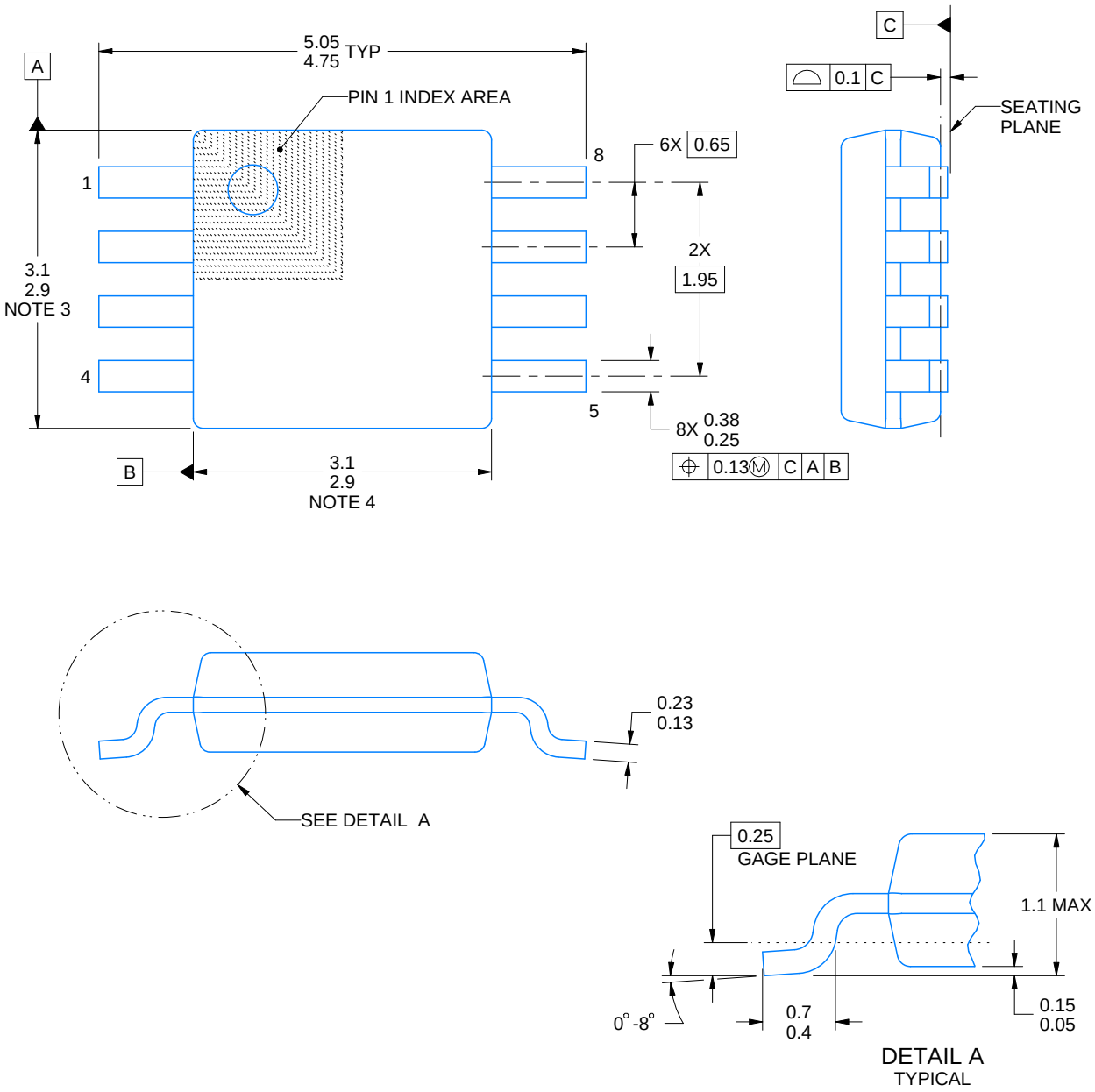
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

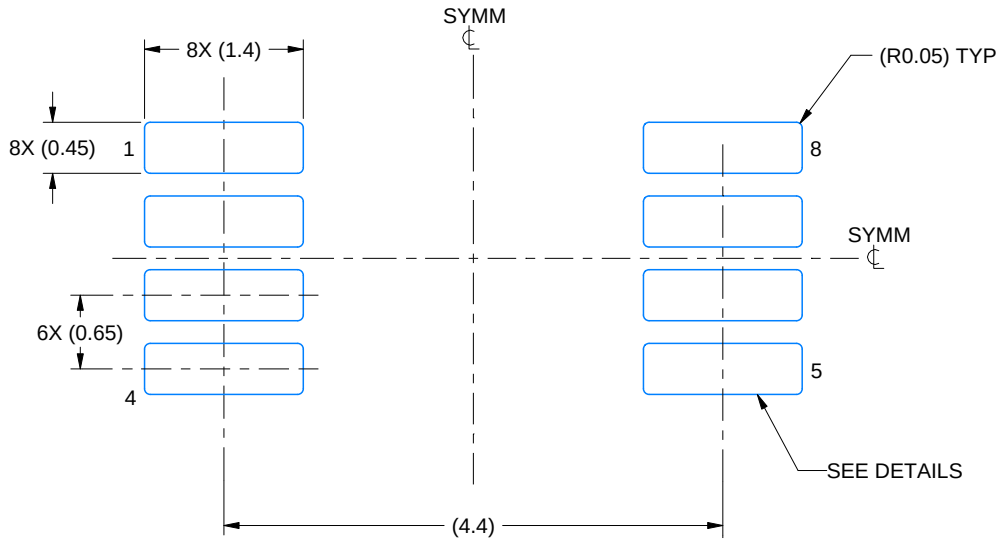
SMALL OUTLINE PACKAGE



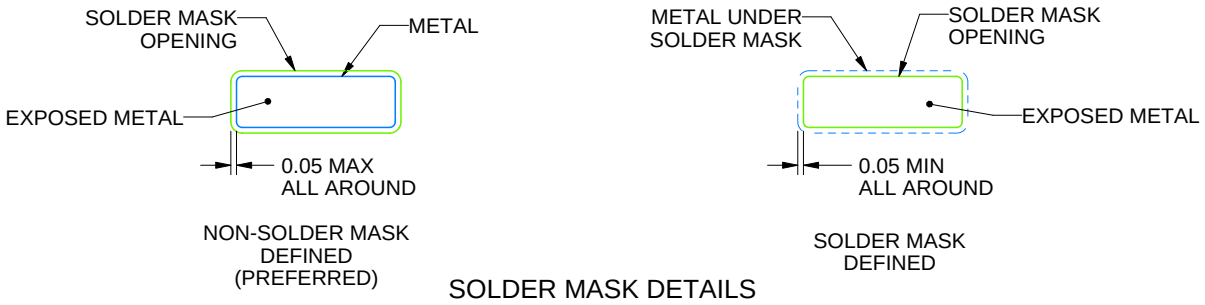
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

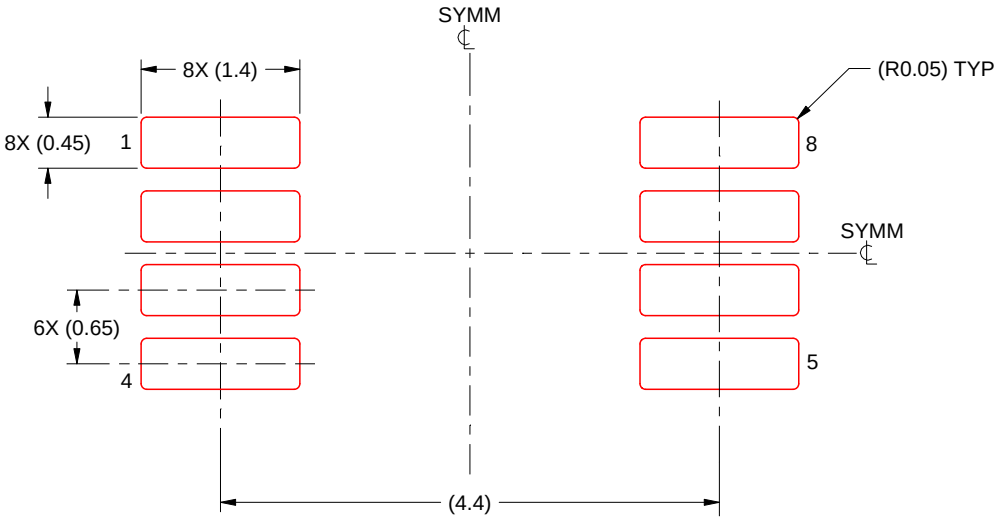


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

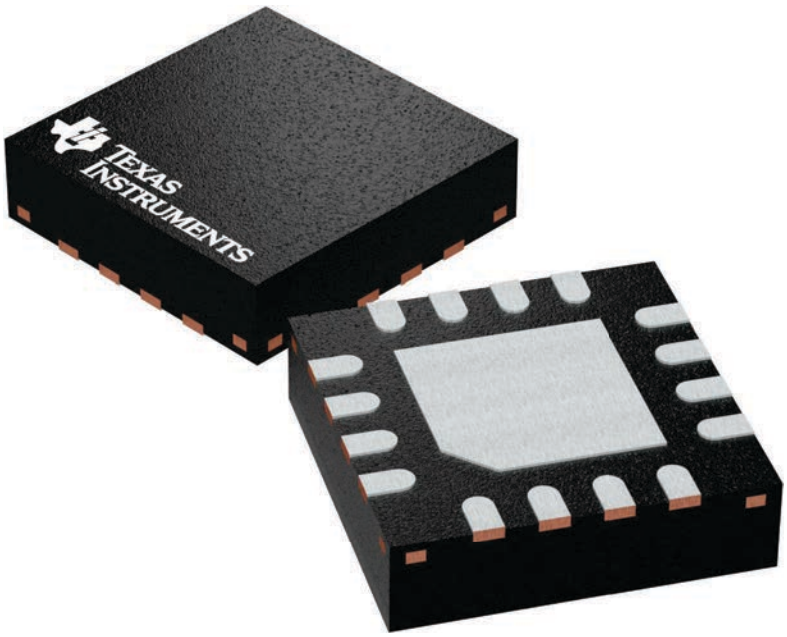
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

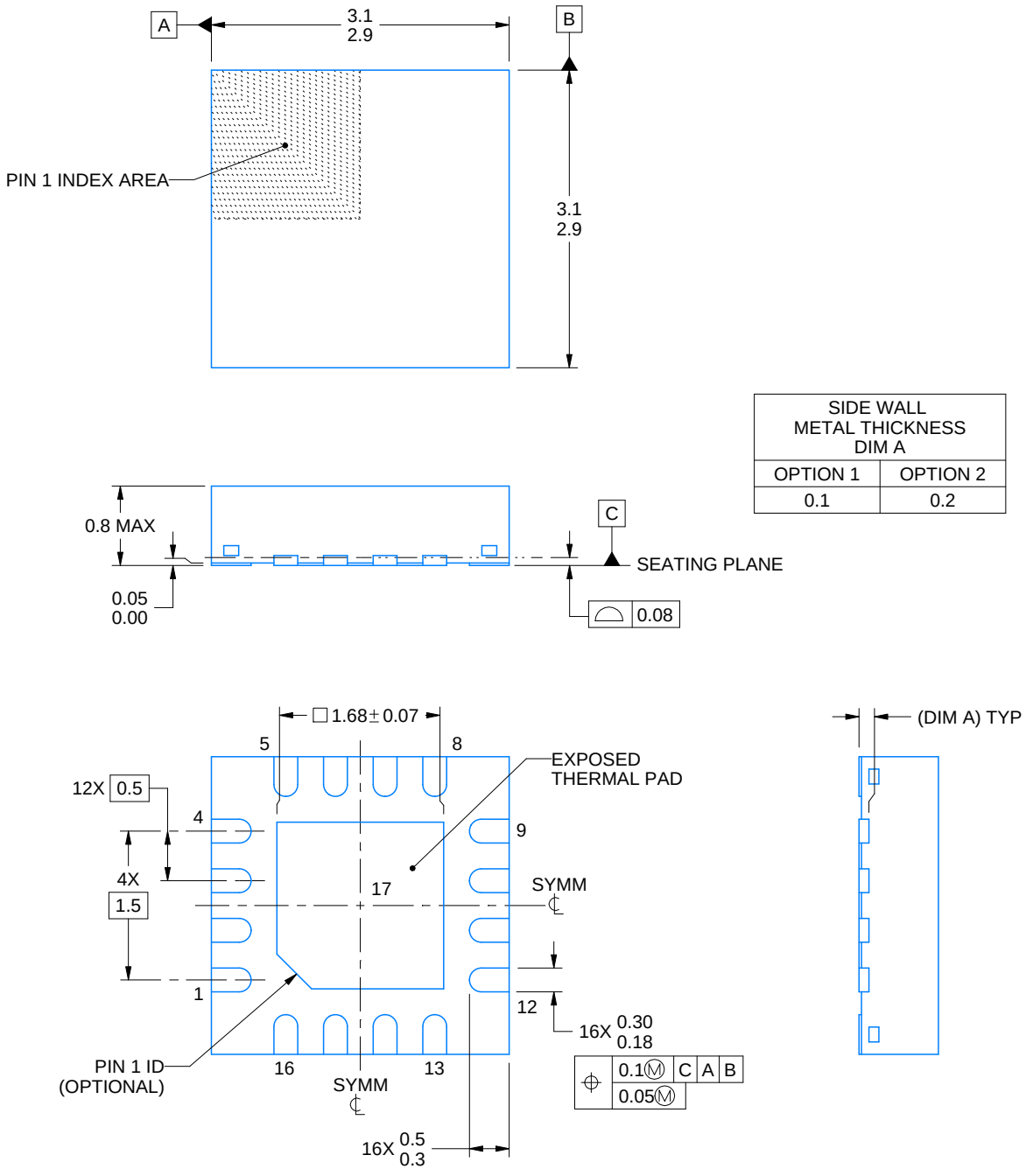


RTE0016C

PACKAGE OUTLINE

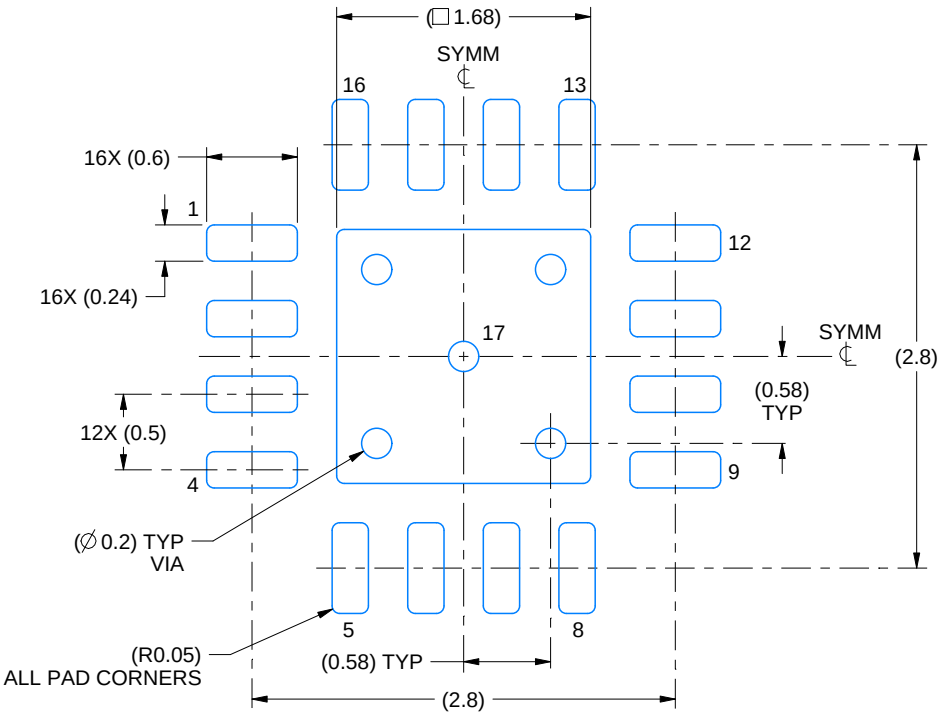
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

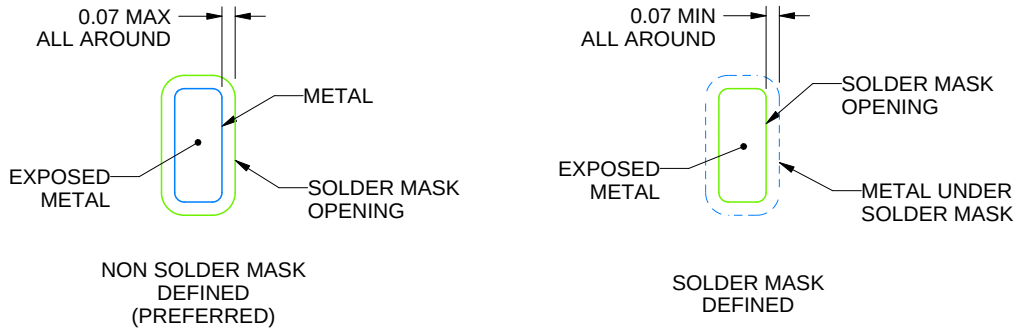


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

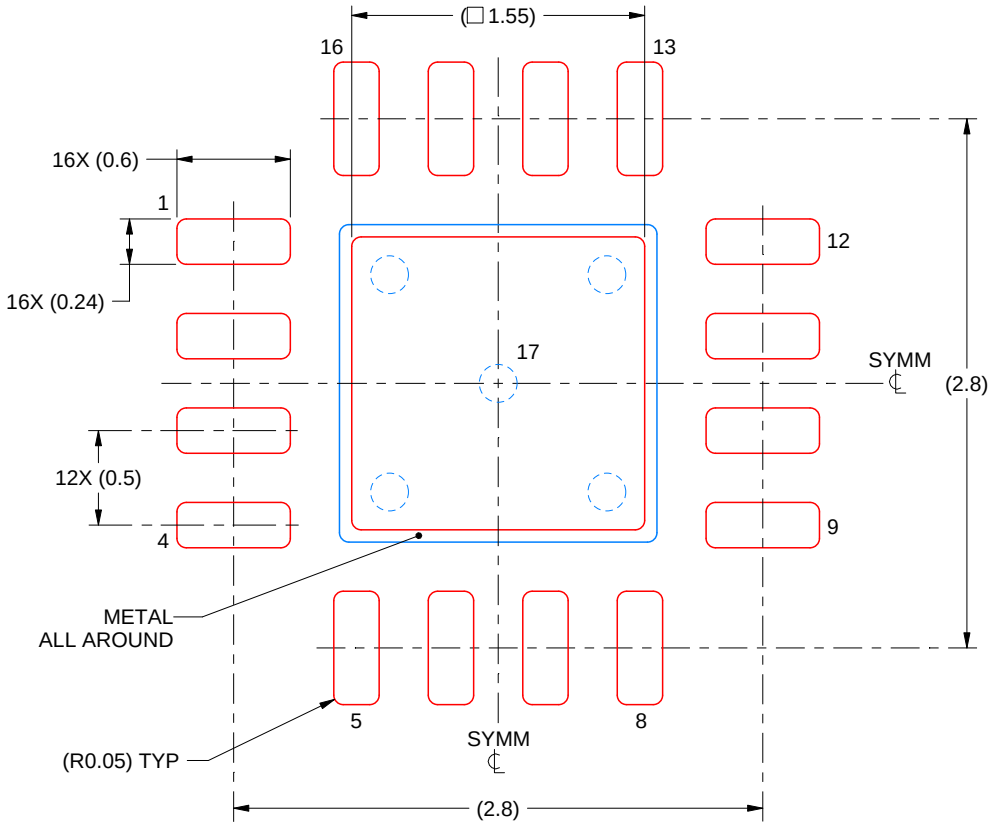


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



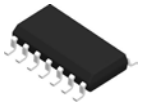
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

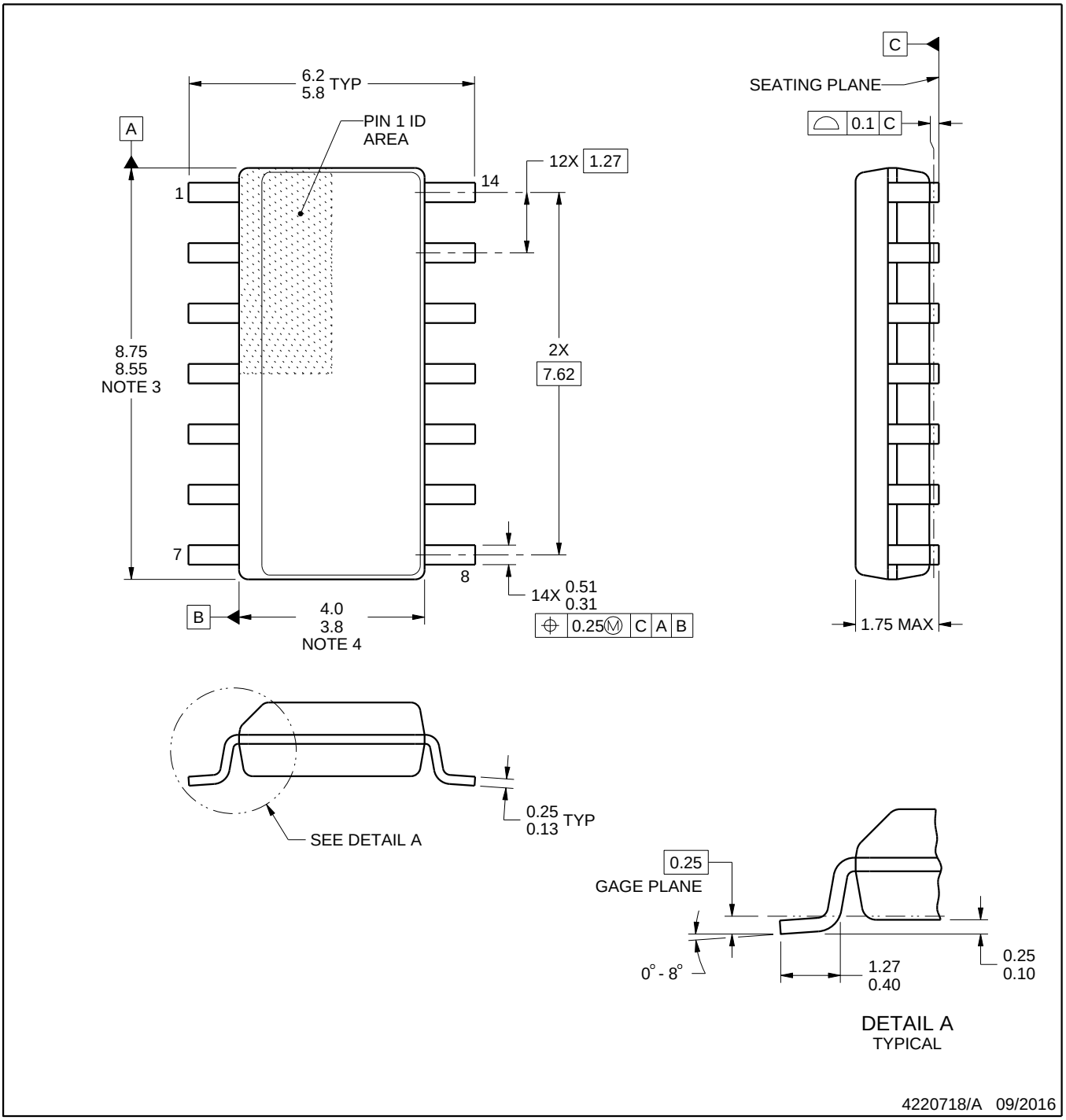


PACKAGE OUTLINE

D0014A

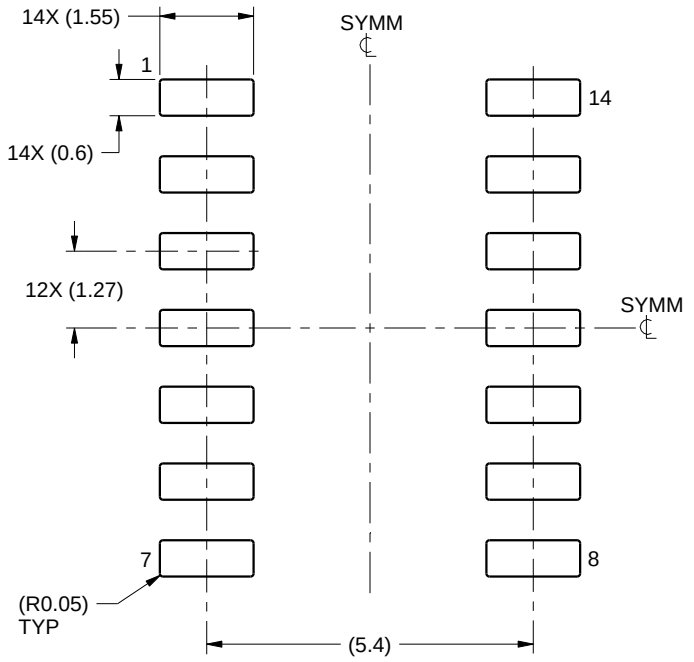
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

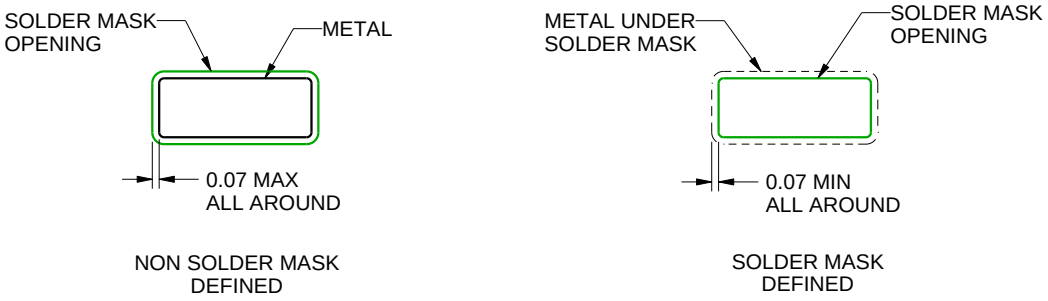


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

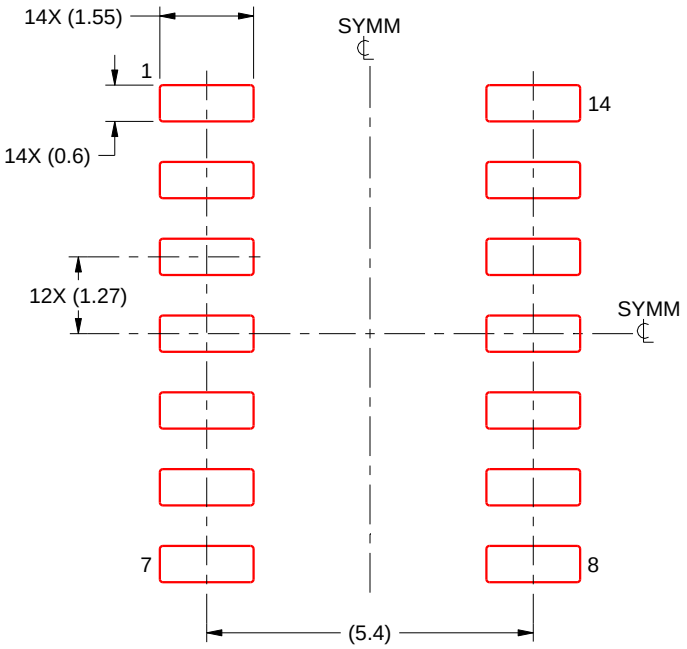
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

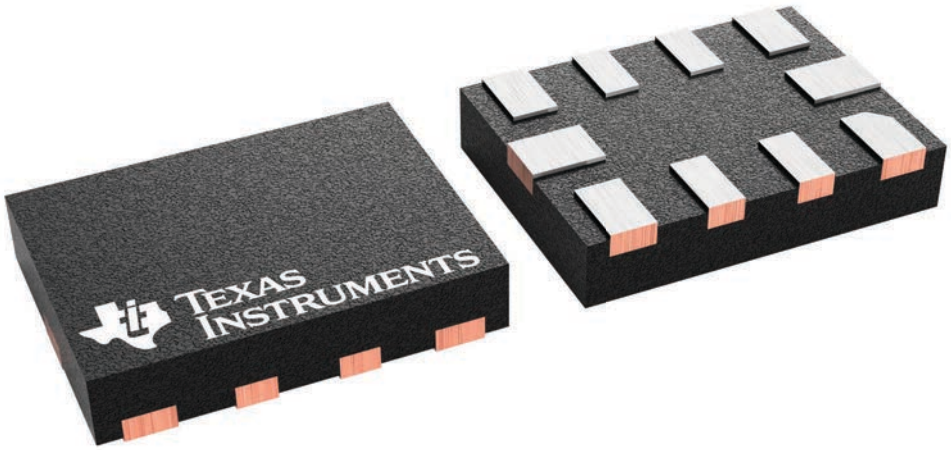
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



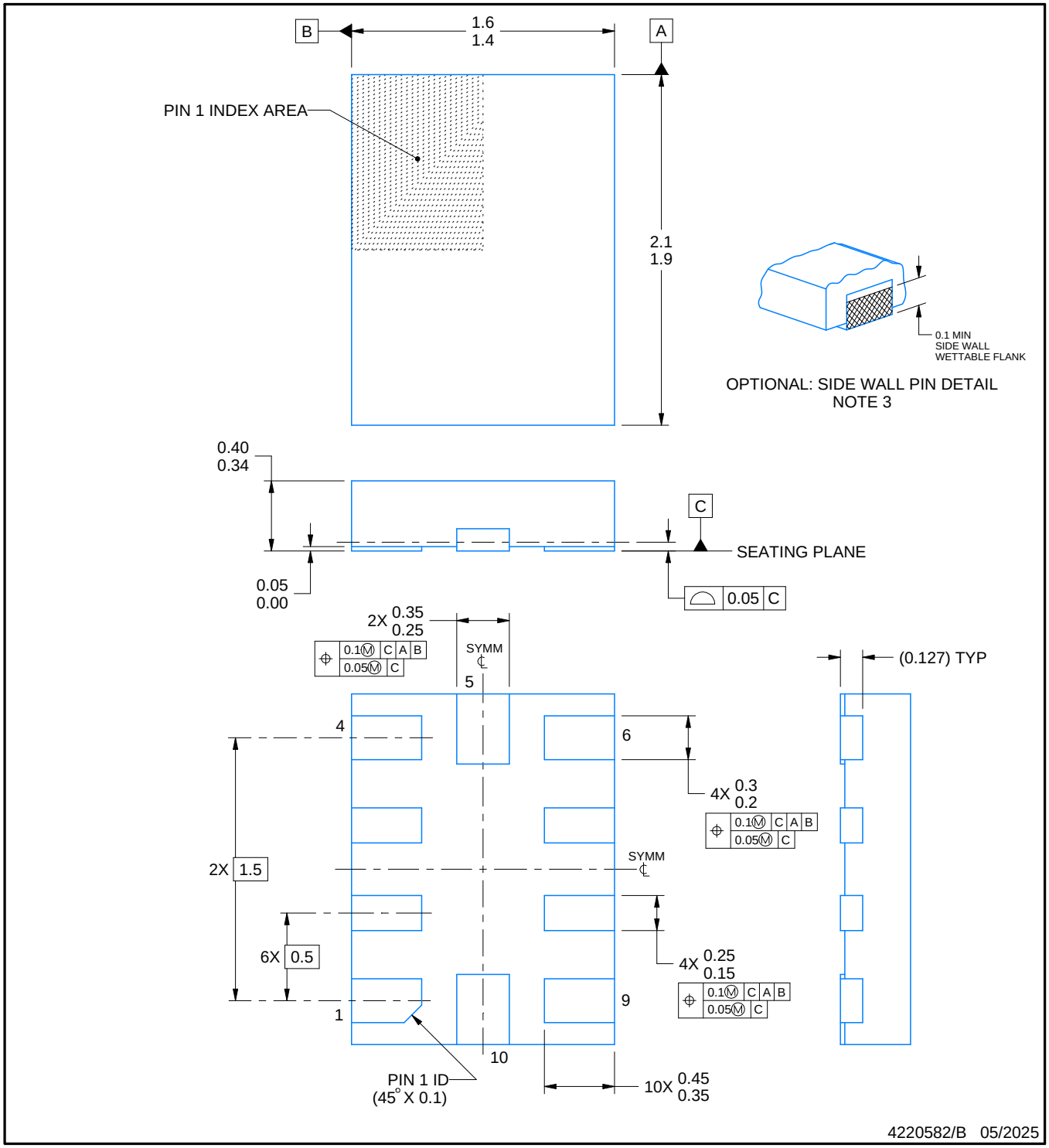
4231768/A

RUG0010B

PACKAGE OUTLINE

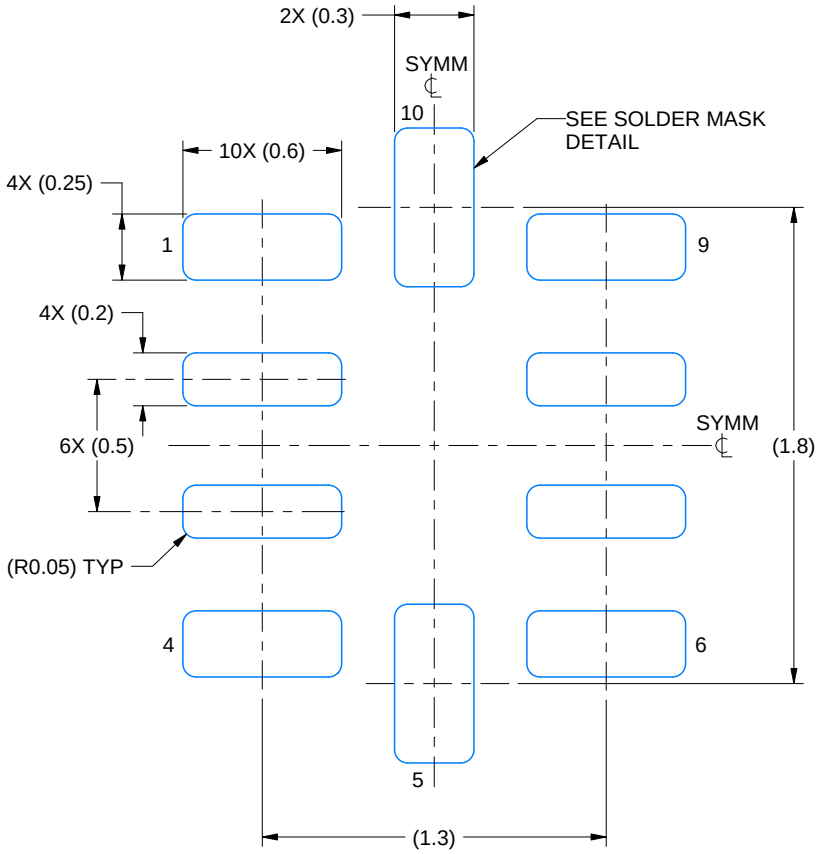
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

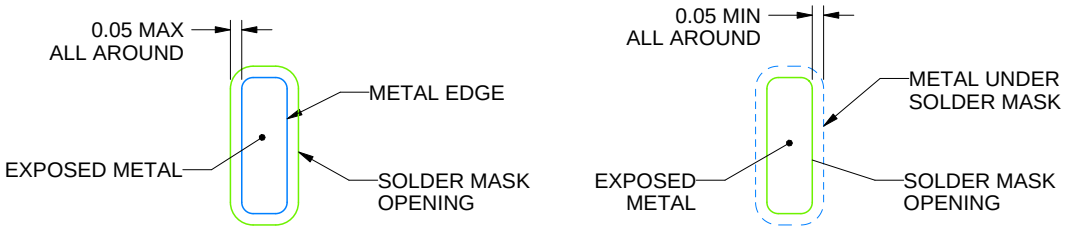


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X

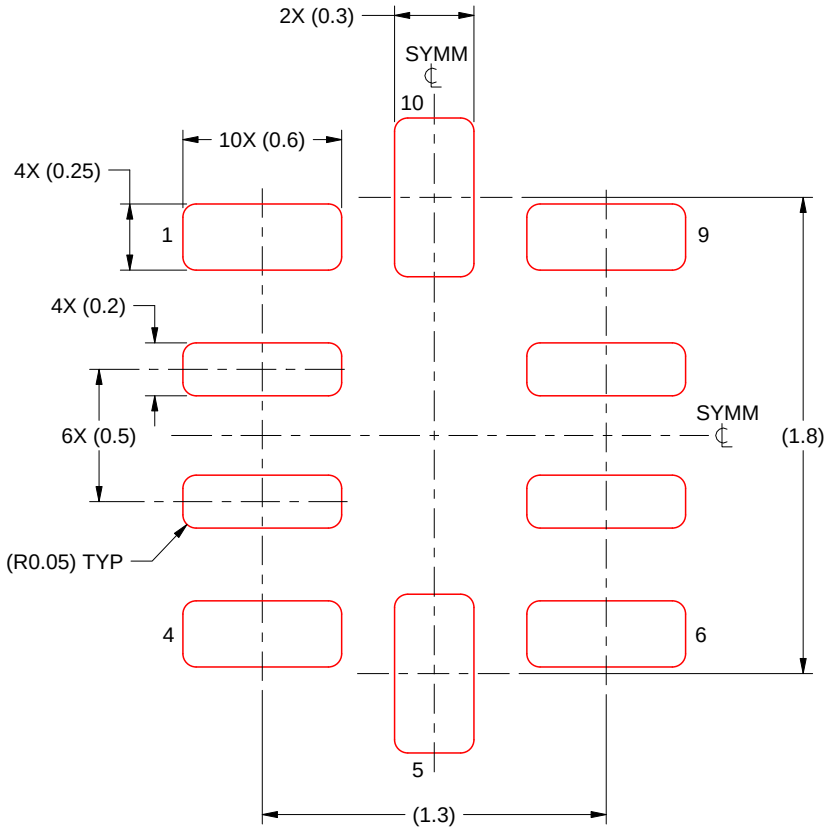


SOLDER MASK DETAILS

4220582/B 05/2025

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4220582/B 05/2025

NOTES: (continued)

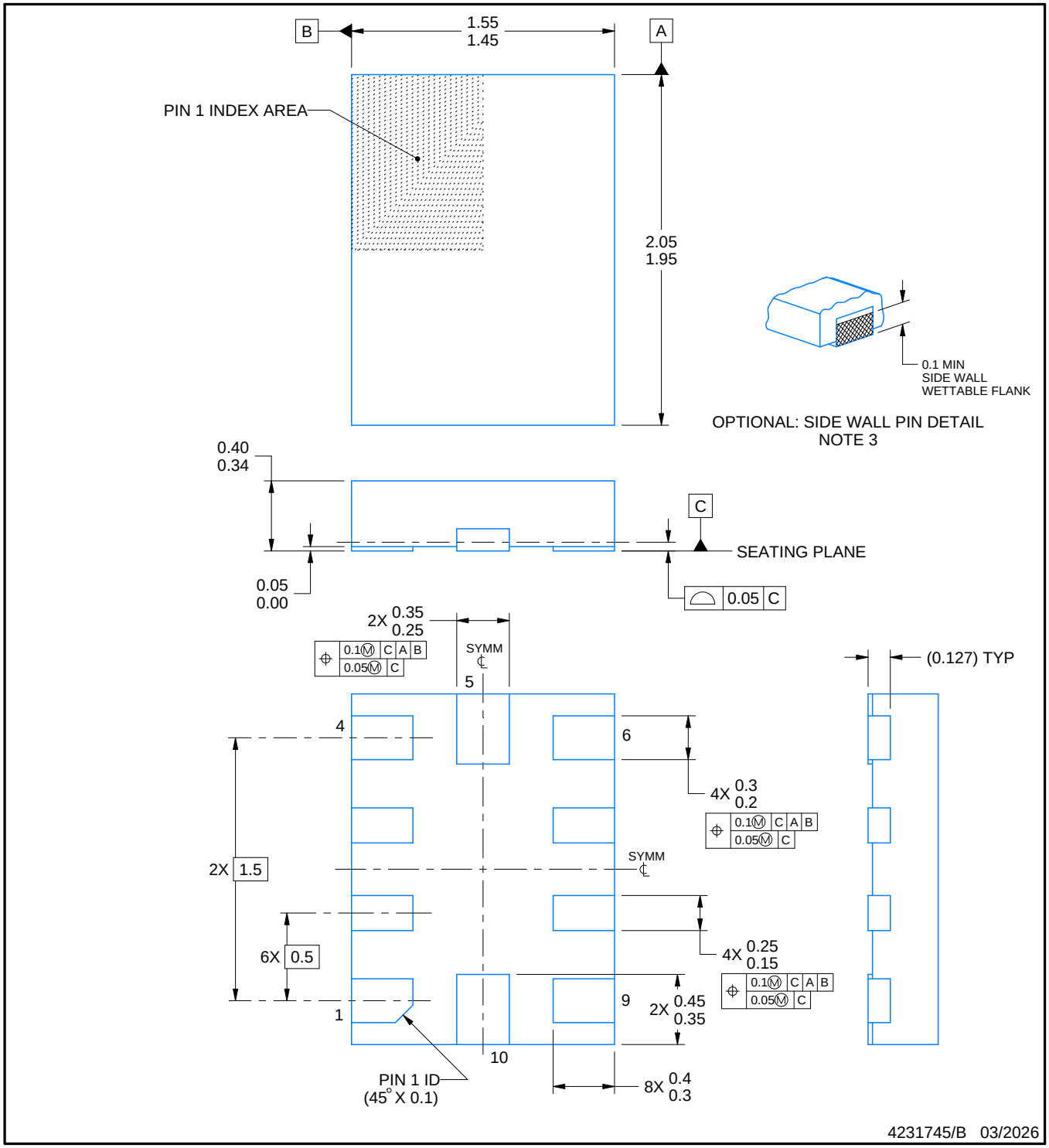
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RUG0010A

PACKAGE OUTLINE

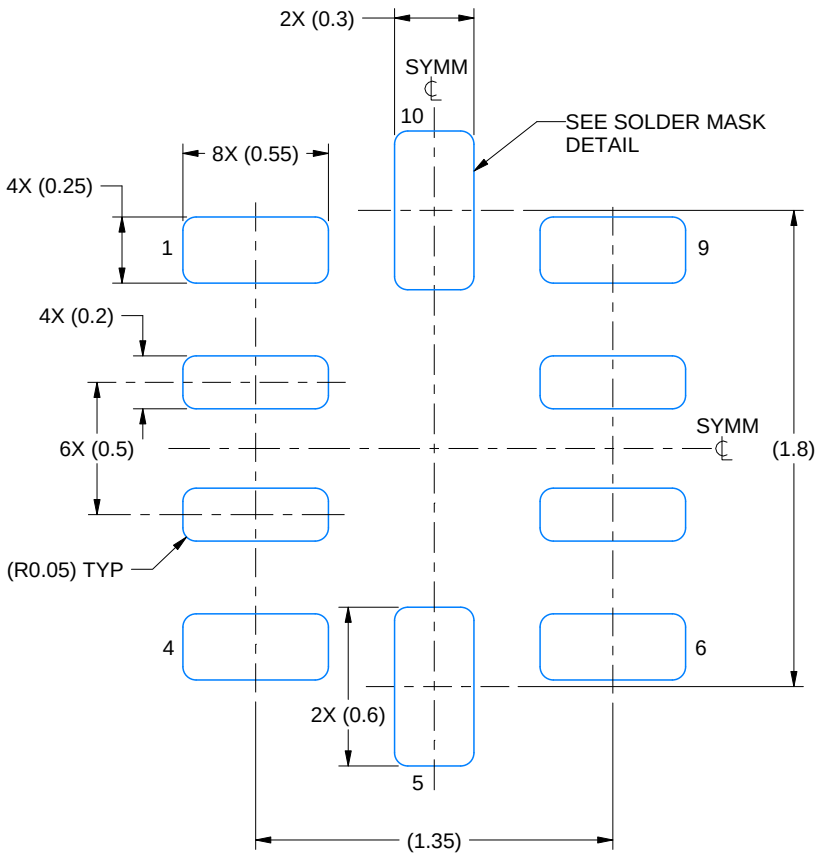
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

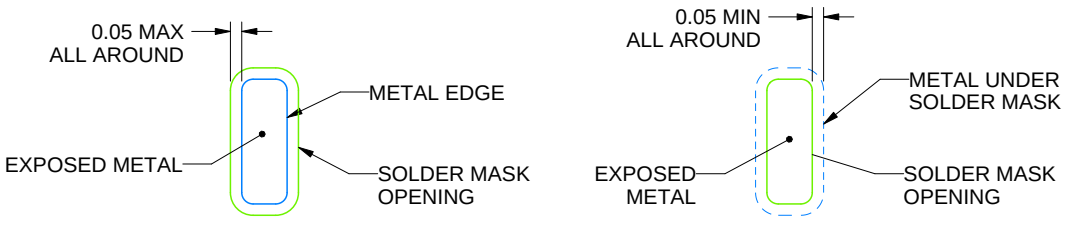


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

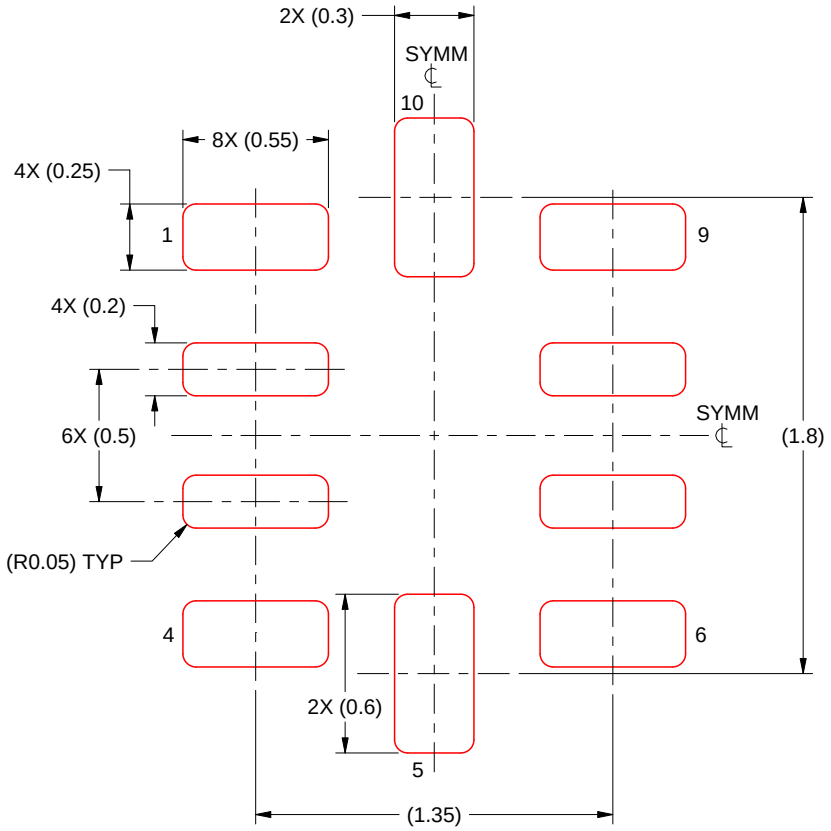
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUG0010A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

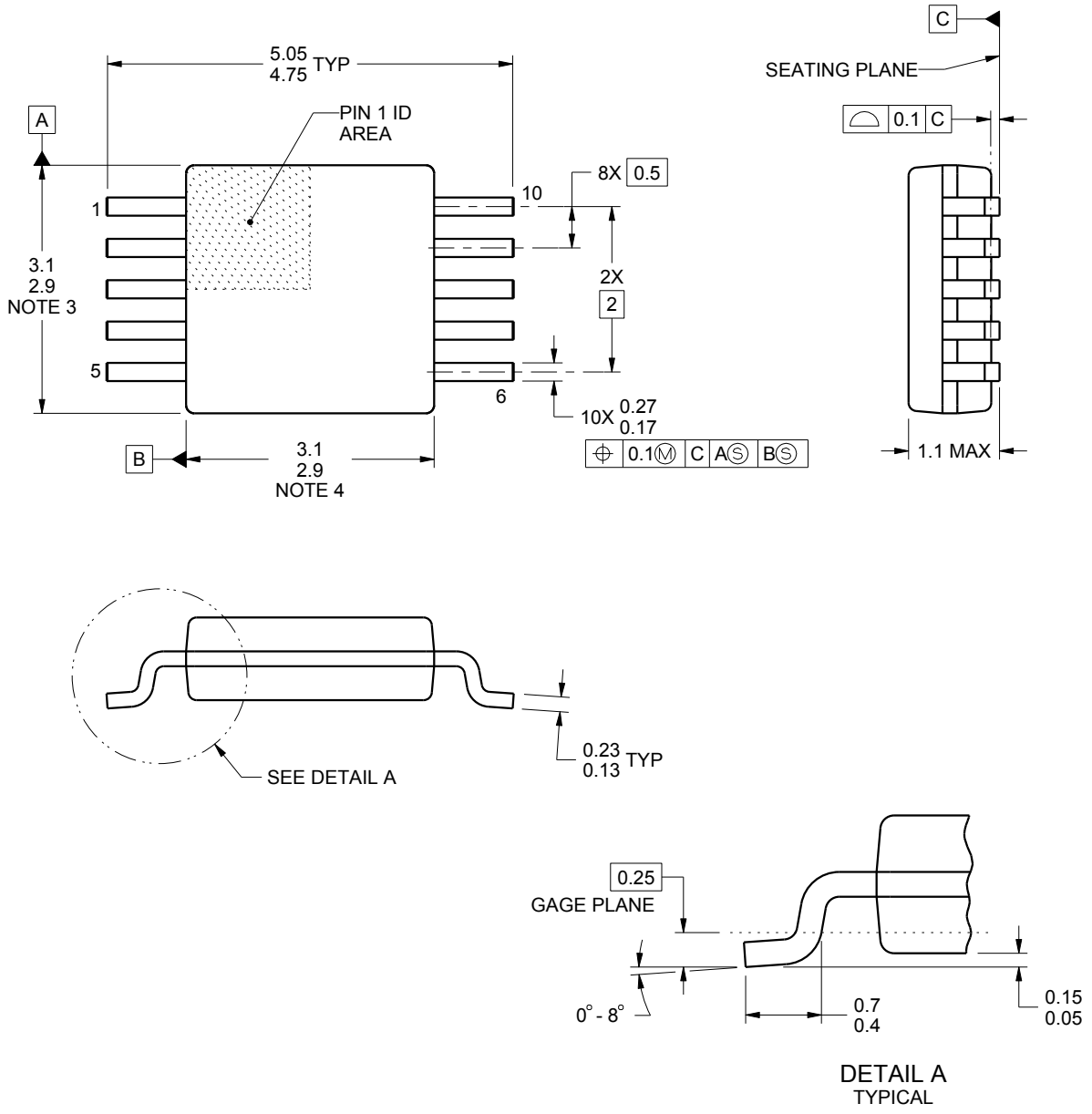
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DGS0010A

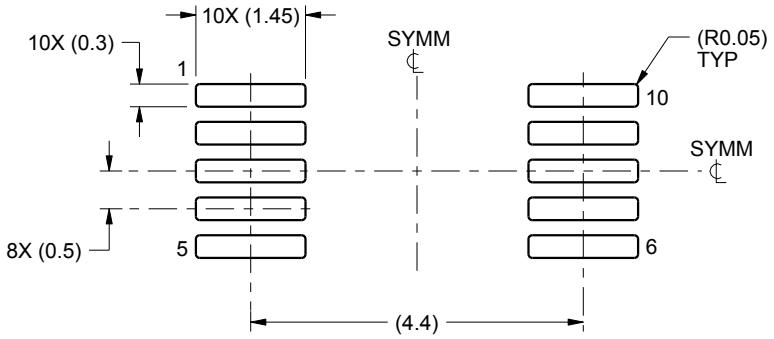
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

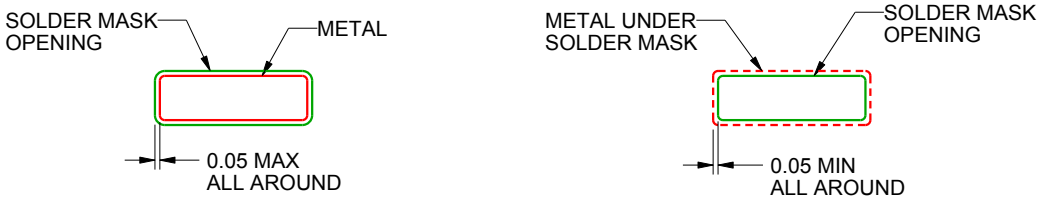


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

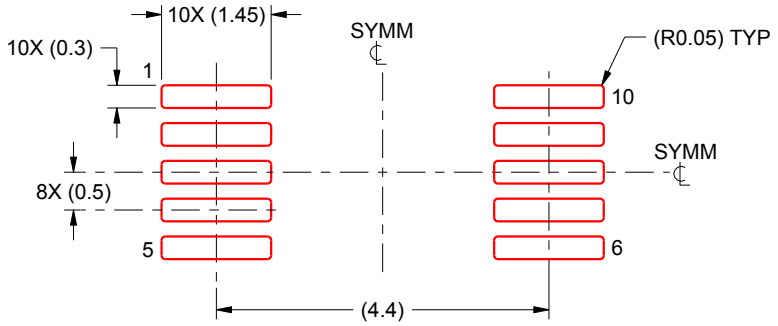


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

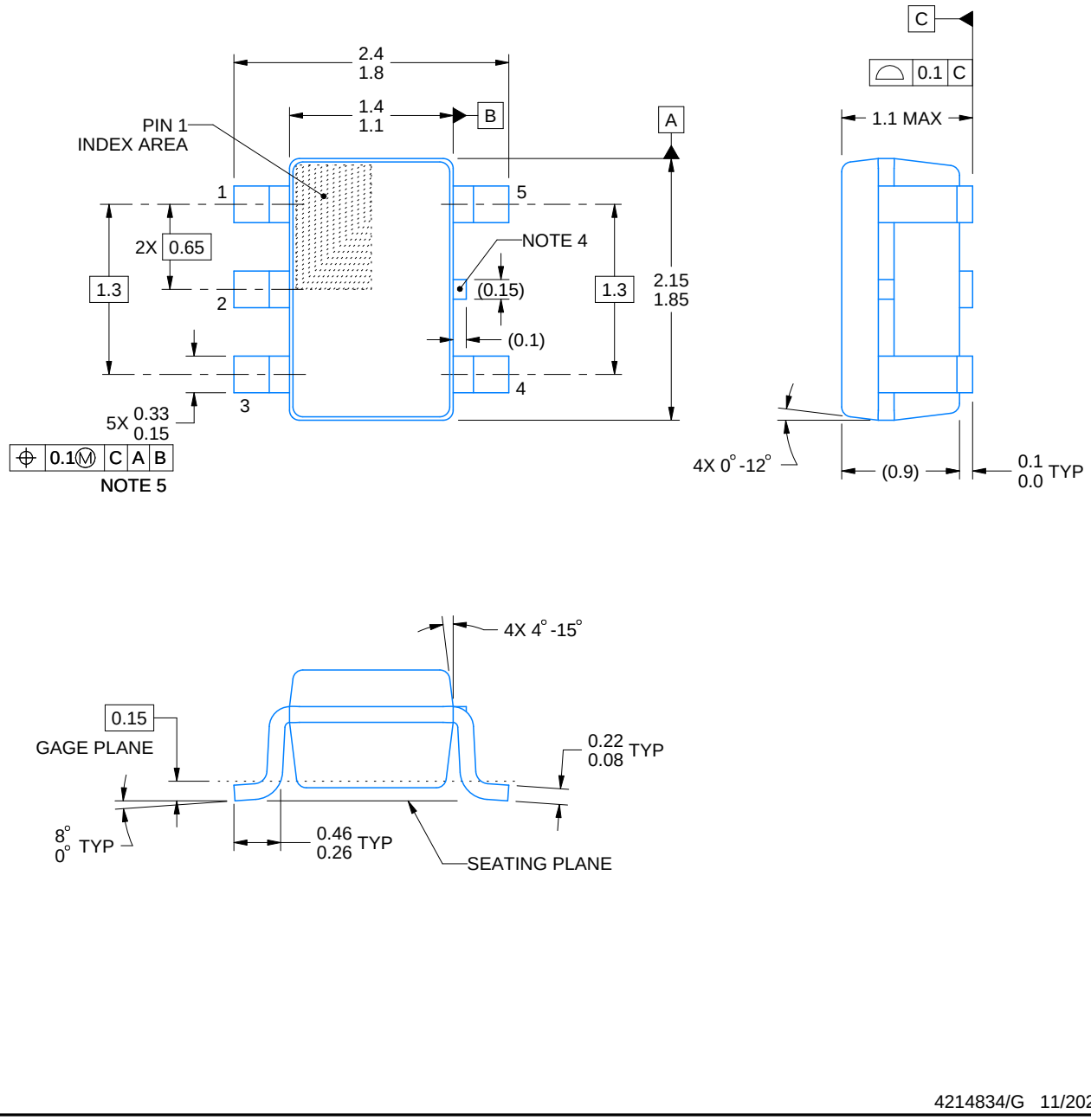
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

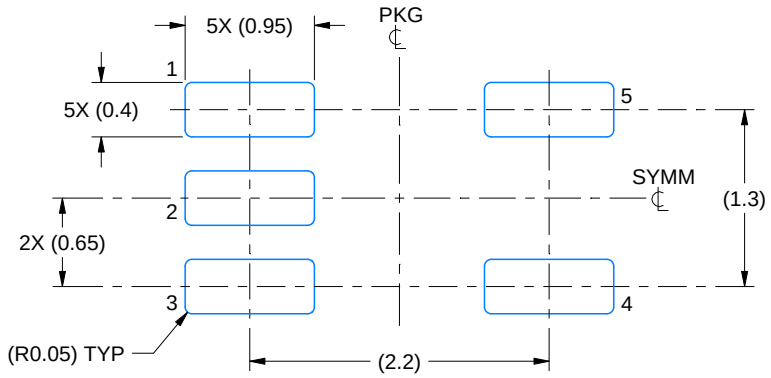
SMALL OUTLINE TRANSISTOR



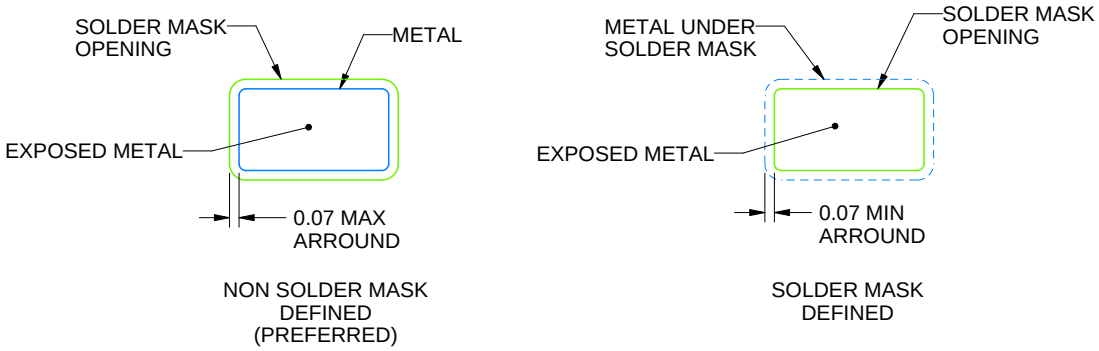
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

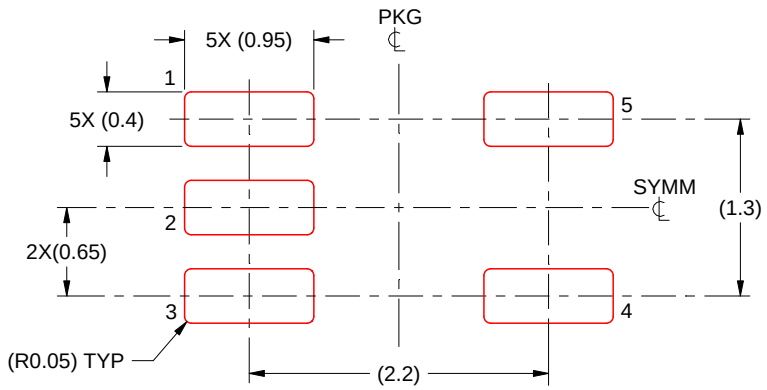


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

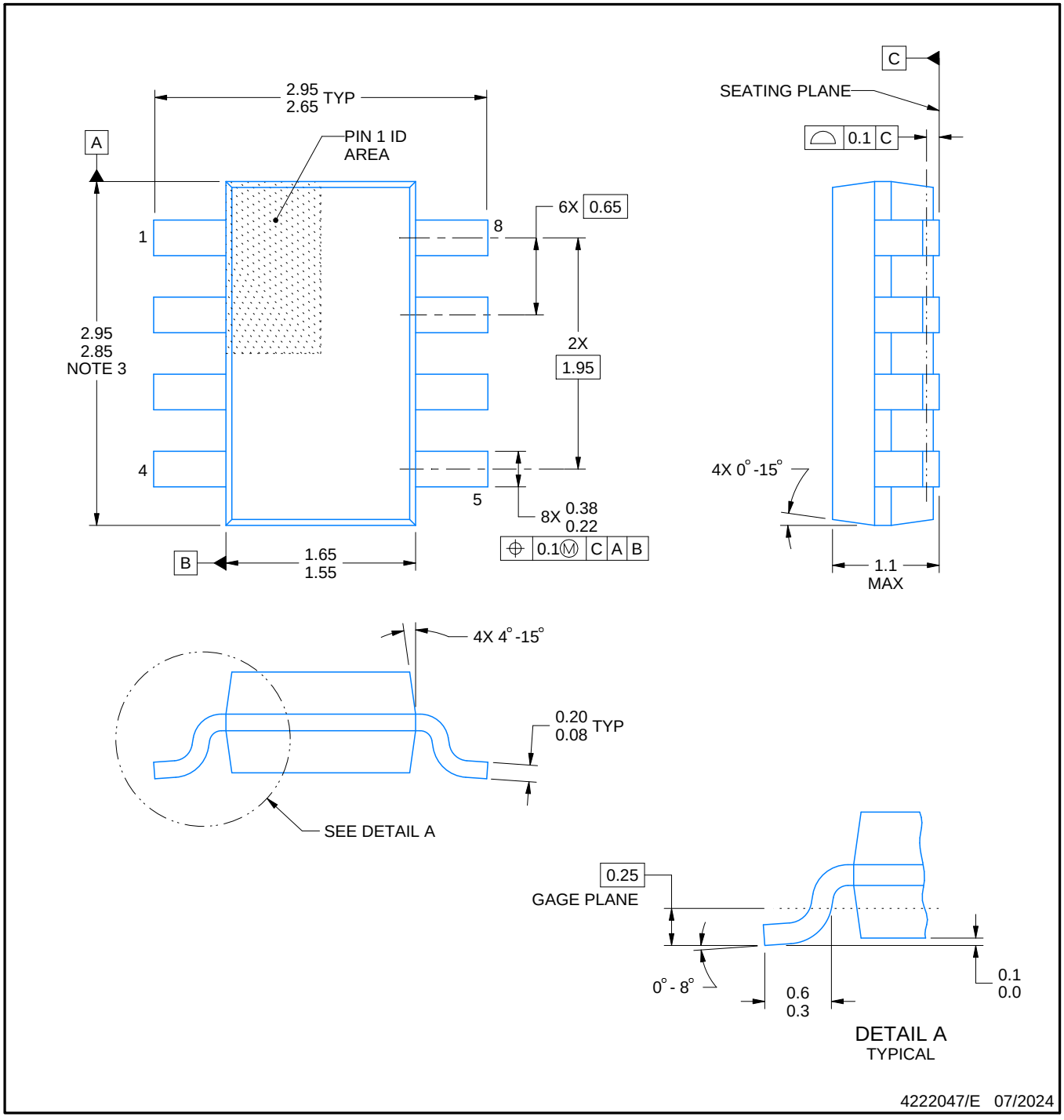
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

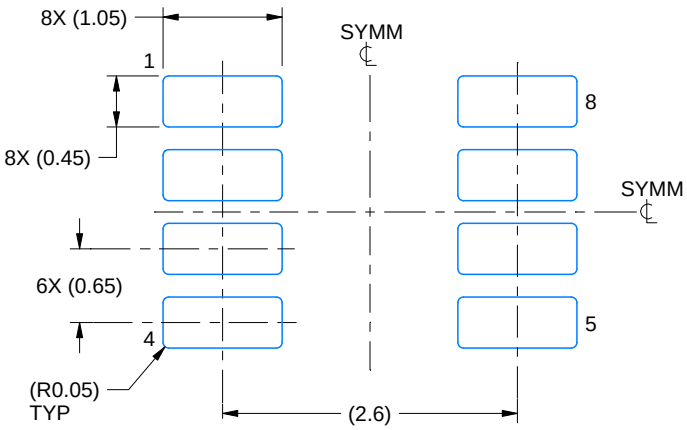
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

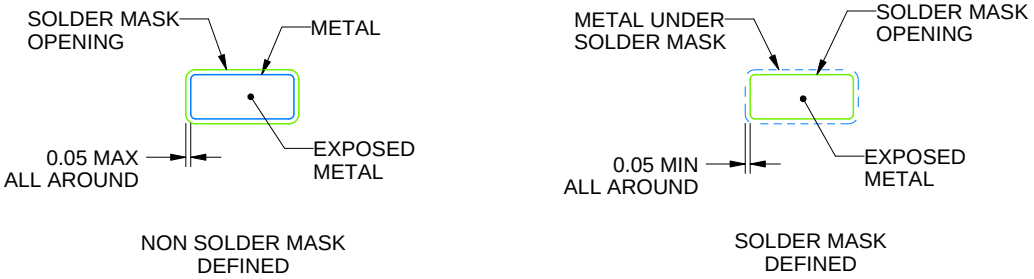


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

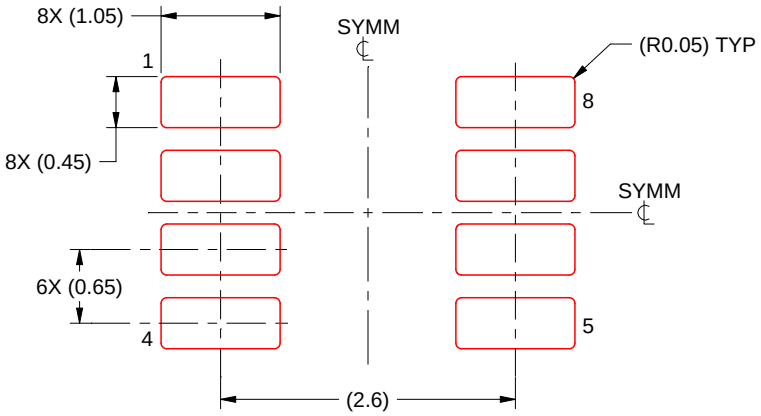
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

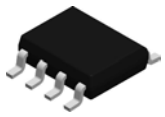


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

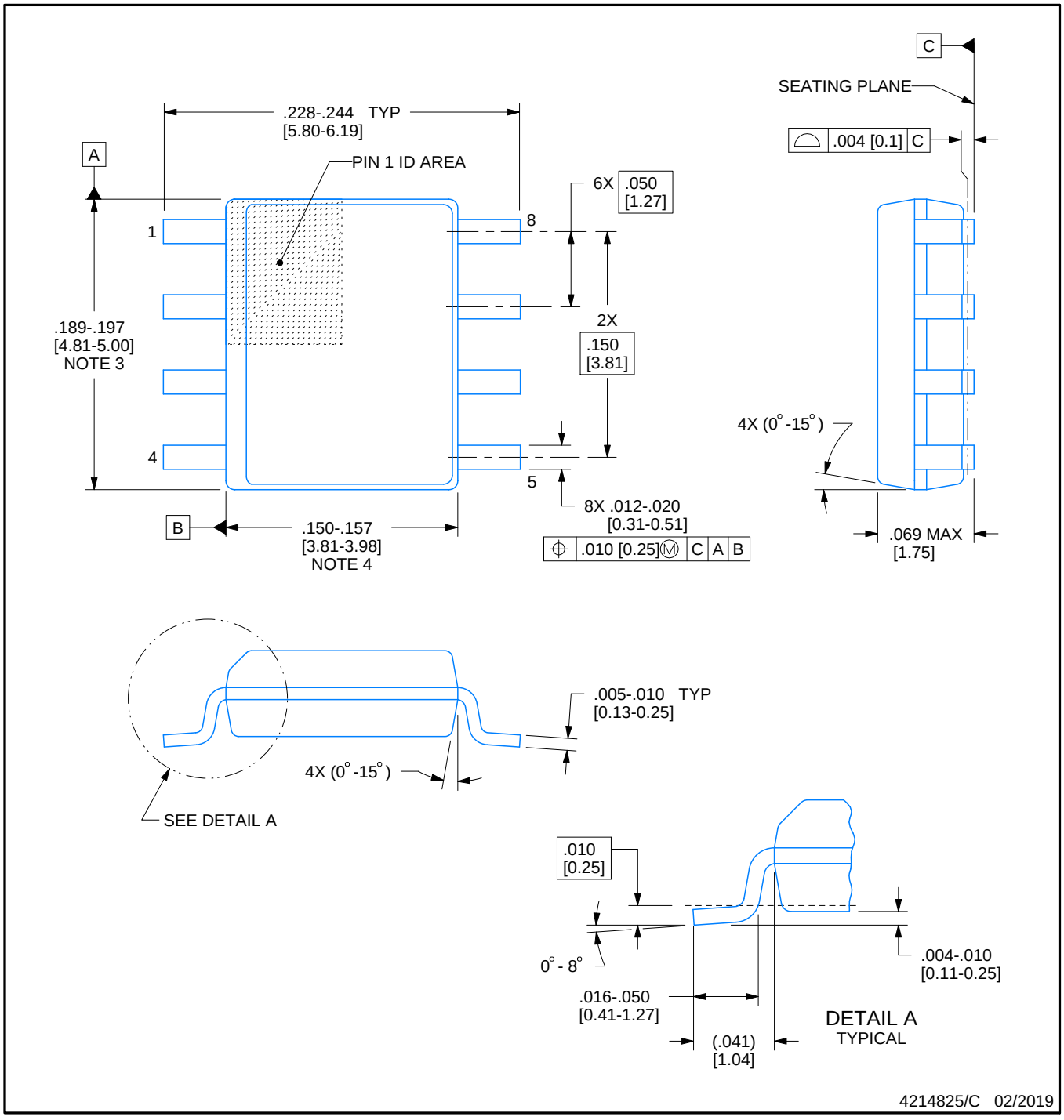


PACKAGE OUTLINE

D0008A

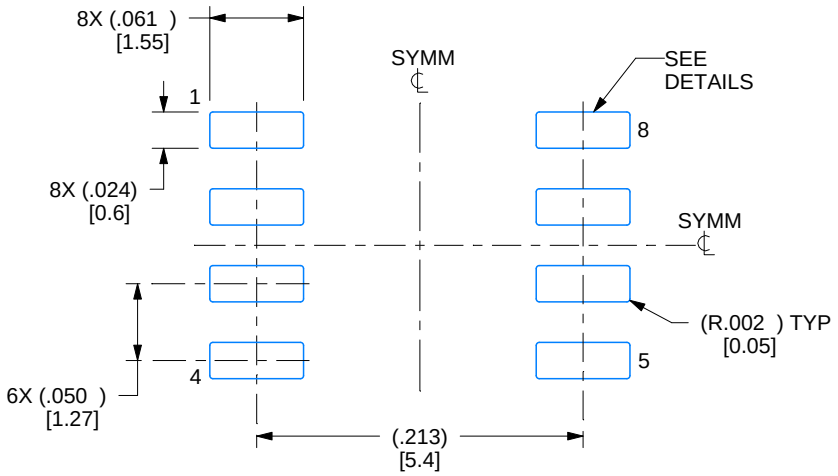
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

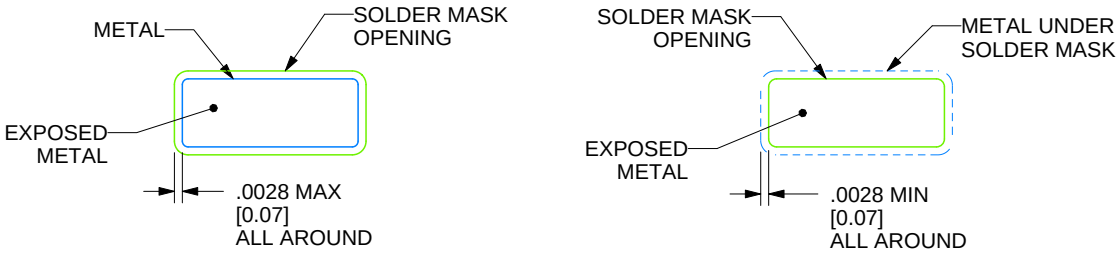


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

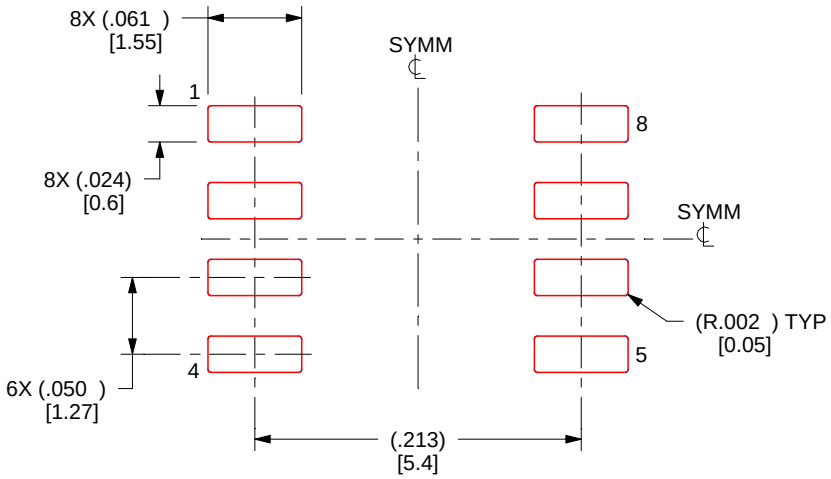
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月