OPAx354-Q1 250MHz、轨到轨 I/O CMOS 运算放大器

1 特性

- 符合汽车应用要求
- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度等级：–40°C 至 +125℃ 环境工作温度范围
- 单位带宽增益积：250MHz
- 宽带宽：100MHz GBW 乘积
- 高压摆率：150V/μs
- 低噪声：6.5nV/$\sqrt{Hz}$
- 轨到轨 I/O
- 大输出电流：>100mA
- 出色的视频性能
  - 差动增益误差：0.02%
  - 差动相位误差：0.09°
  - 0.1dB 增益平坦度：40MHz
- 低输入偏置电流：3pA
- 静态电流：5mA
- 热关断
- 电源电压范围：2.5V 至 5.5V

2 应用

- 导航和无线电系统
- 盲点检测
- 短程到中程雷达
- 视频处理
- 超声波
- 光纤网络、可调激光器
- 光电二极管互阻抗放大器
- 有源滤波器
- 高速积分器
- 模数转换器 (ADC) 输入缓冲器
- 数模转换器 (DAC) 输出放大器
- 条形码扫描器
- 通信

3 说明

OPAx354-Q1 系列高速电压反馈 CMOS 运算放大器的设计适用于视频和其他需要宽带宽的应用。这些器件具有单位增益稳定性，可驱动大输出电流。差动增益为 0.02%，差动相位为 0.09°。每通道静态电流仅为 5mA。

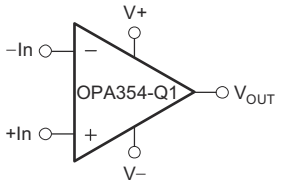
OPAx354-Q1 系列运算放大器经过优化，可在低至 2.5V (±1.25V) 和高达 5.5V (±2.75V) 的单电源或双电源下运行。共模输入范围可以扩展至电源电压以上。输出摆幅在电源轨的 100mV 以内，支持宽动态范围。

单电源版本 (OPA354A-Q1) 采用微型 SOT-23-5 (DBV) 封装。双电源版本 (OPA2354A-Q1) 采用微型 VSSOP-8 (DGK) 封装，具有完全独立的电路，可尽可能减少串扰并消除交互。四电源版本 (OPA4354-Q1) 采用 TSSOP-14 (PW) 封装。器件规格适用于在汽车级温度范围（–40°C 至 +125℃）内运行。

封装信息

器件型号	封装(1)	封装尺寸(2)
OPA354A-Q1	DBV (SOT-23 5)	2.90mm × 1.60mm
OPA2354A-Q1	DGK (VSSOP 8)	3.00mm × 3.00mm
OPA4354-Q1	PW (TSSOP 14)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性 6
5.6 典型特性 8
6 详细说明 13
6.1 概述 13
6.2 功能方框图 13
6.3 特性说明 13
6.4 器件功能模式 18
7 应用和实施 19
7.1 应用信息 19
7.2 典型应用 19
7.3 电源相关建议 23
7.4 布局 24
8 器件和文档支持 25
8.1 文档支持 25
8.2 接收文档更新通知 25
8.3 支持资源 25
8.4 商标 25
8.5 静电放电警告 25
8.6 术语表 25
9 修订历史记录 26
10 机械、封装和可订购信息 26

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

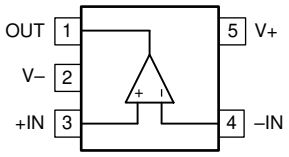


图 4-1. OPA354A-Q1 DBV 封装 5 引脚 SOT-23 顶视图

表 4-1. 引脚功能：OPA354A-Q1

引脚		I/O	说明
名称	编号		
+IN	3	I	同相输入
–IN	4	I	反相输入
OUT	1	O	输出
V+	5	—	正（最高）电源
V–	2	—	负（最低）电源

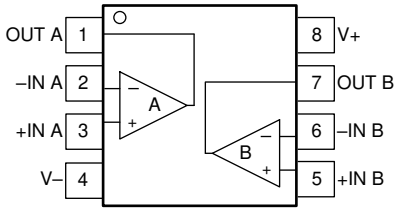


图 4-2. OPA2354A-Q1 DGK 封装 8 引脚 VSSOP 顶视图

表 4-2. 引脚功能：OPA2354A-Q1

引脚		I/O	说明
名称	编号		
+IN A	3	I	同相输入，通道 A
+IN B	5	I	同相输入，通道 B
–IN A	2	I	反相输入，通道 A
–IN B	6	I	反相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V+	5	—	正（最高）电源
V–	2	—	负（最低）电源

Copyright © 2026 Texas Instruments Incorporated

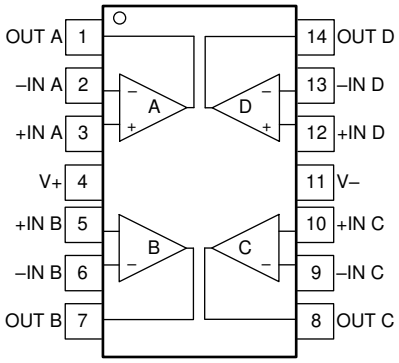


图 4-3. OPA4354-Q1 PW 封装 14 引脚 TSSOP 顶视图

表 4-3. 引脚功能：OPA4354-Q1

引脚		I/O	说明
名称	编号		
+IN A	3	I	同相输入，通道 A
+IN B	5	I	同相输入，通道 B
+IN C	10	I	同相输入，通道 C
+IN D	12	I	同相输入，通道 D
–IN A	2	I	反相输入，通道 A
–IN B	6	I	反相输入，通道 B
–IN C	9	I	反相输入，通道 C
–IN D	13	I	反相输入，通道 D
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
OUT C	1	O	输出，通道 C
OUT D	7	O	输出，通道 D
V+	5	—	正（最高）电源
V–	2	—	负（最低）电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)		7.5	V
V_I	信号输入端子	(V–) – 0.5	(V+) + 0.5	V
I_{SC}	输出短路(2)	持续		
T_A	工作温度	-55	125	°C
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1) 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(2)	±2000	V
		对于 OPA354A-Q1 和 OPA2354A-Q1，充电器件模型 (CDM)，符合 AEC Q100-011 标准 充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(3)	±1000	
$V_{(ESD)}$	静电放电	对于 OPA4354-Q1，充电器件模型 (CDM)，符合 AEC Q100-011	±250	V

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。
(2) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(3) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	2.5		5.5	V
T_A	额定温度	-40	25	125	°C

5.4 热性能信息

热指标(1)		OPA354A-Q1 DBV (SOT-23) 5 引脚	OPA2354A-Q1 DGK (VSSOP) 8 引脚	OPA4354-Q1 PW (TSSOP) 14 引脚	单位
$R_{\theta JA}$	结至环境热阻	216.3	175.9	92.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	115.0	67.8	27.5	°C/W
$R_{\theta JB}$	结至电路板热阻	83.2	97.1	33.6	°C/W
ψ_{JT}	结至顶部特征参数	50.3	9.3	1.9	°C/W
ψ_{JB}	结至电路板特征参数	82.7	95.5	33.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在 T_A = 25°C、R_F = 0Ω、R_L = 1kΩ（连接至 V_S/2）时测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入偏移电压	V_S = 5V，T_A = 25°C		±2	±8	mV
		V_S = 5V，T_A = –40°C 至 +125°C			±10	mV
dV_{OS}/dT	输入失调电压漂移	V_S = 5V，T_A = –40°C 至 +125°C		±4		µV/°C
PSRR	电源抑制比	V_S = 2.7V 至 5.5V，V_{CM} = (V_S / 2) – 0.55V		±200	±800	µV/V
		V_S = 2.7V 至 5.5V，V_{CM} = (V_S / 2) – 0.55V，T_A = –40°C 至 +125°C			±900	
输入偏置电流						
I_B	输入偏置电流(2)			3	±50	pA
I_{OS}	输入失调电流(2)			±1	±50	
噪声						
en	输入电压噪声密度	f = 1MHz		6.5		nV/√Hz
i_n	输入电流噪声密度	对于 OPA2354A-Q1、OPA4354-Q1，f = 1MHz		50		fA/√Hz
		对于 OPA354A-Q1，f = 1MHz		300		
输入电压范围						
V_{CM}	共模电压		(V–) – 0.1		(V+) + 0.1	V
CMRR	共模抑制比	V_S = 5.5V，–0.1V < V_{CM} < 3.5V，T_A = 25°C	66	80		dB
		V_S = 5.5V，–0.1V < V_{CM} < 3.5V，T_A = –40℃ 至 +125℃	64			
		V_S = 5.5V，–0.1V < V_{CM} < 5.6V，T_A = 25°C	56	68		
		V_S = 5.5V，–0.1V < V_{CM} < 5.6V，T_A = –40℃ 至 +125℃	55			
输入阻抗						
C_{IN}	差分			10^{13} || 2		Ω || pF
	共模			10^{13} || 2		
开环增益						
A_{OL}	开环增益	V_S = 5.5V，0.3V < V_O < 4.7V，T_A = 25°C	94	110		dB
		V_S = 5.5V，0.4V < V_O < 4.6V，T_A = –40 to +125℃	90			
频率响应						
f_{-3dB}	增益带宽积	G = +1、V_O = 100mV_{PP}、R_F = 25Ω		250		MHz
		G = +2，V_O = 100mV_{PP}		90		
GBW	增益带宽积	G = +10		100		MHz
$f_{0.1dB}$	0.1dB 增益平坦度带宽	G = +2、V_O = 100mV_{PP}		40		MHz
SR	压摆率	V_S = 5V，G = +1，4V 阶跃		150		V/µs
		V_S = 5V，G = +1，2V 阶跃		130		
		V_S = 3V，G = +1，2V 阶跃		110		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在 T_A = 25°C、R_F = 0Ω、R_L = 1kΩ（连接至 V_S/2）时测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
	上升和下降时间	对于 OPA2354A-Q1、OPA4354-Q1，G = +1，V_O = 200mV$_{PP}$，10% 至 90%		2		ns
		对于 OPA354A-Q1，G = +1，V_O = 200mV$_{PP}$，10% 至 90%		3		
		G = +1，V_O = 2V$_{PP}$，10% 至 90%		11		
t_S	趋稳时间	0.1%，V_S = 5V，G = +1，2V 输出阶跃		30		ns
		0.01%，V_S = 5V，G = +1，2V 输出阶跃		60		
	过载恢复时间	V_{IN} × G = V_S		5		ns
HD2	二阶谐波失真	G = +1，f = 1MHz，V_O = 2V$_{PP}$，R_L = 200Ω，V_{CM} = (V⁻) + 1.5V		-75		dBc
HD3	三阶谐波失真	G = +1，f = 1MHz，V_O = 2V$_{PP}$，R_L = 200Ω，V_{CM} = (V⁻) + 1.5V		-83		dBc
	差分增益误差	NTSC，R_L = 150Ω		0.02%		
	差分相位误差	NTSC，R_L = 150Ω		0.09		°
	通道间串扰	OPA2354 A-Q1，f = 5MHz		-100		dB
	通道间串扰	OPA4354-Q1、f = 5MHz		-84		dB
输出						
	相对于电源轨的输出电压摆幅	V_S = 5V，A_{OL} > 94dB		0.1	0.3	V
		V_S = 5V，R_L = 1kΩ，A_{OL} > 90dB，T_A = –40°C 至 +125°C			0.4	
I_O	输出电流，单路、双路、四路 (1) (2)	V_S = 5V	100			mA
		V_S = 3V		50		
	闭环输出阻抗	f < 100kHz		0.05		Ω
R_O	开环输出电阻	对于 OPA2354A-Q1、OPA4354-Q1		35		Ω
		适用于 OPA354A-Q1		39		Ω
电源						
I_Q	（每个放大器）的静态电流	对于 OPA2354A-Q1、OPA4354-Q1，T_A = 25°C，V_S = 5V（已启用），I_O = 0A		4.9	6	mA
		T_A = 25°C，V_S = 5V（已启用）、I_O = 0A，适用于 OPA354A-Q1		5	6.3	
		对于 OPA2354A-Q1、OPA4354-Q1，T_A = –40°C 至 +125°C			7.5	
		对于 OPA354A-Q1，T_A = –40°C 至 +125°C			7.7	
热关断：结温						
	关断			160		℃
	从关断状态复位			140		℃

(1) 请参阅输出电压摆幅与输出电流之间关系的典型特性曲线。
(2) 根据设计指定。

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性

在 T_A = 25°C、V_S = 5V、G = +1、R_F = 0Ω、R_L = 1kΩ（连接至 V_S / 2）时测得，除非另有说明。

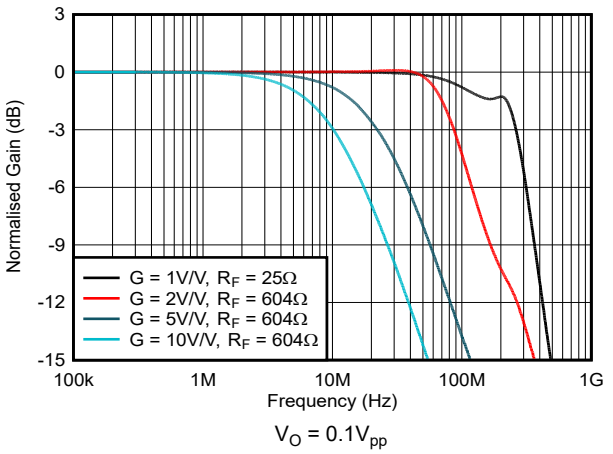


图 5-1. 非反相微小信号频率响应

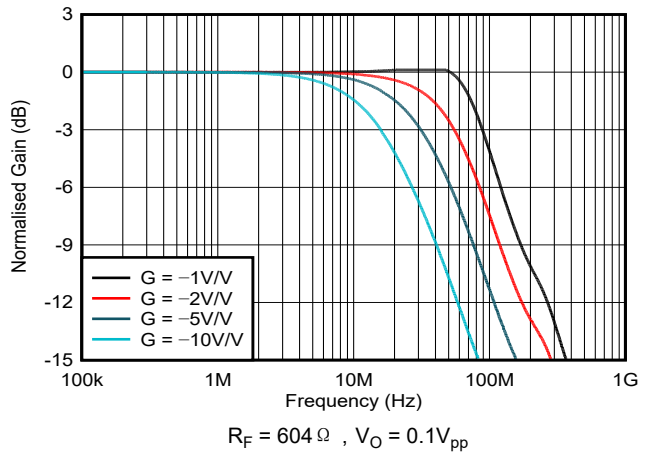


图 5-2. 反相小信号频率响应

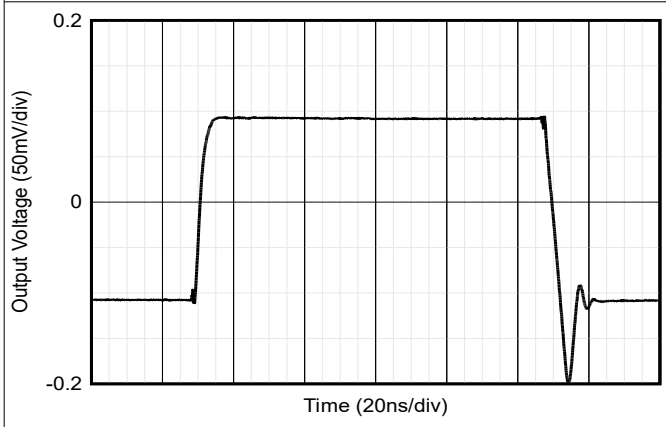


图 5-3. 非反相微小信号阶跃响应

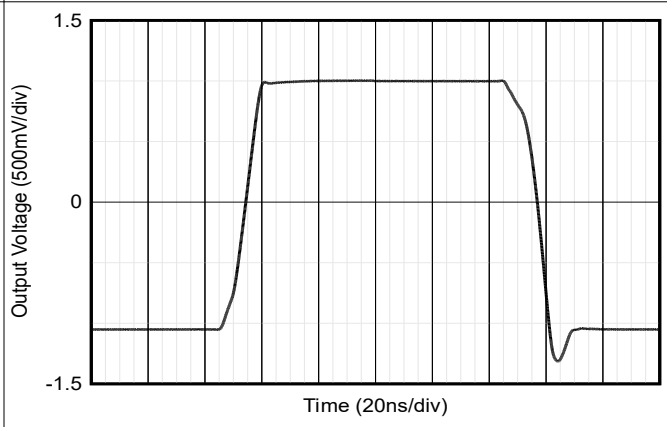


图 5-4. 同相大信号阶跃响应

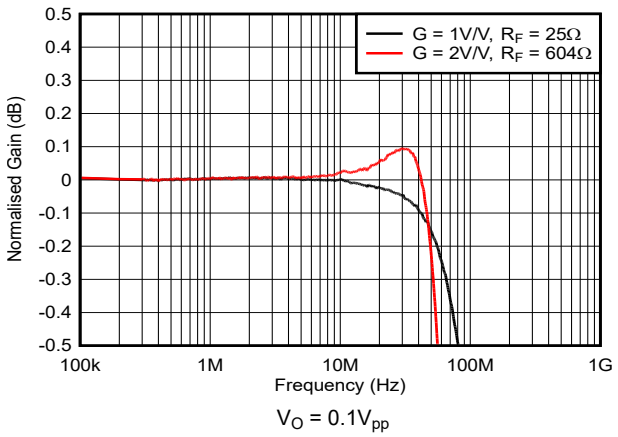


图 5-5. 0.1dB 增益平坦度

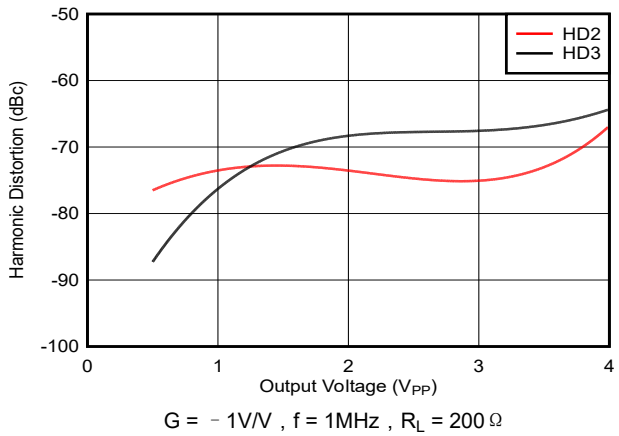
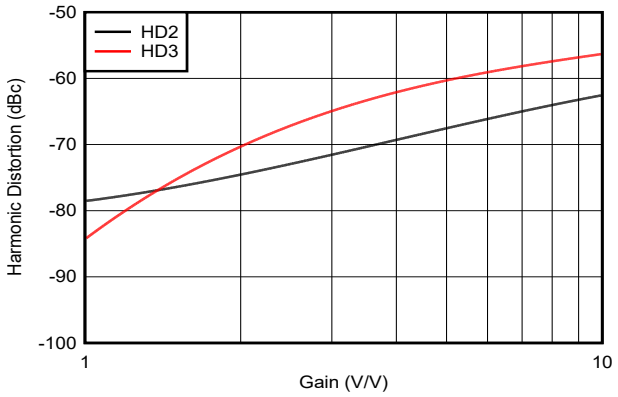


图 5-6. 谐波失真与输出电压间的关系

Copyright © 2026 Texas Instruments Incorporated

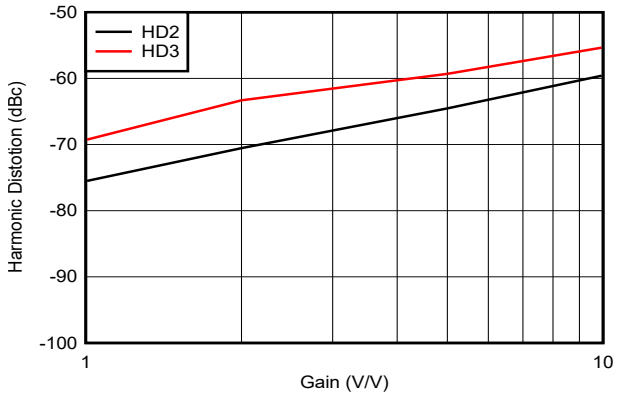
5.6 典型特性（续）

在 T_A = 25°C、V_S = 5V、G = +1、R_F = 0Ω、R_L = 1kΩ（连接至 V_S / 2）时测得，除非另有说明。



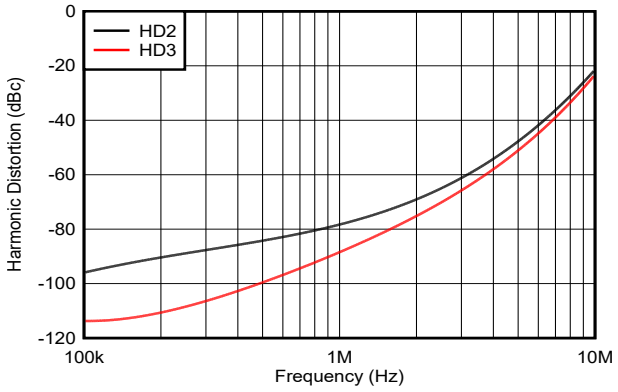
V_O = 2V_{PP}，f = 1MHz，R_L = 200Ω

图 5-7. 谐波失真与非反相增益间的关系



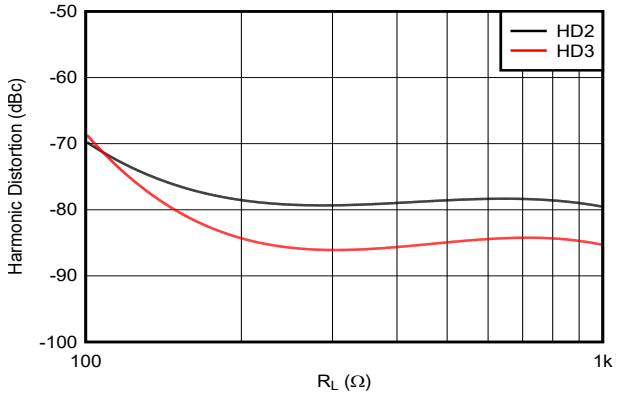
V_O = 2V_{PP}，f = 1MHz，R_L = 200Ω

图 5-8. 谐波失真与反相增益间的关系



V_O = 2V_{PP}，R_L = 200Ω，V_{CM} = 1.5V

图 5-9. 谐波失真与频率间的关系



V_O = 2V_{PP}，f = 1MHz，V_{CM} = 1.5V

图 5-10. 谐波失真与负载电阻间的关系

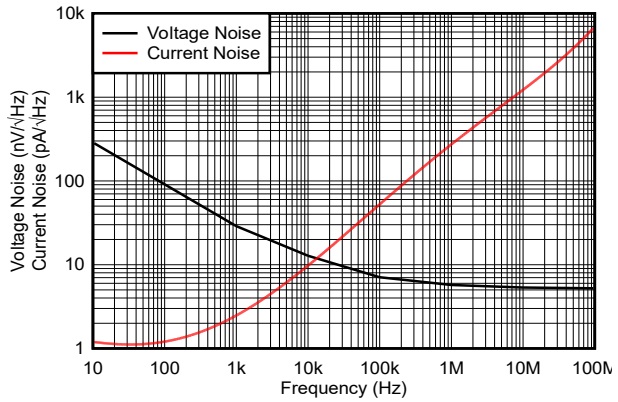
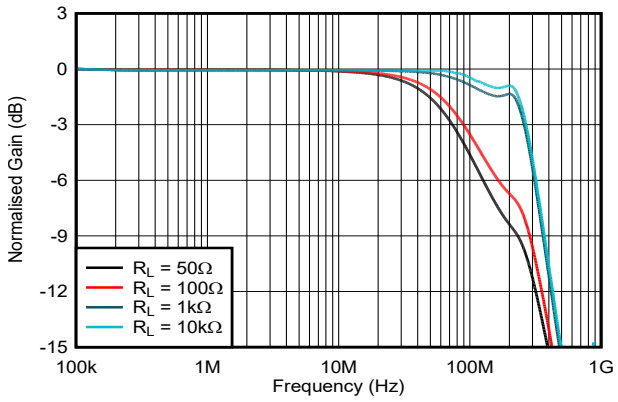


图 5-11. 输入电压和电流噪声频谱密度与频率间的关系



V_O = 0.1V_{pp}，C_L = 0pF

图 5-12. 频率响应与各种 R_L 值之间的关系

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

在 T_A = 25°C、V_S = 5V、G = +1、R_F = 0Ω、R_L = 1kΩ（连接至 V_S / 2）时测得，除非另有说明。

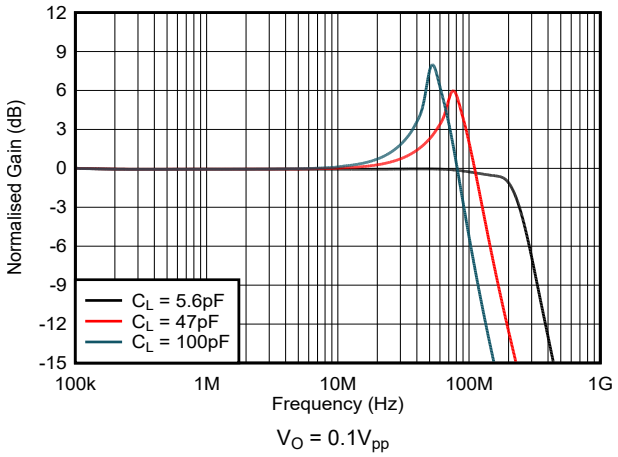


图 5-13. 各种 C_L 值的频率响应

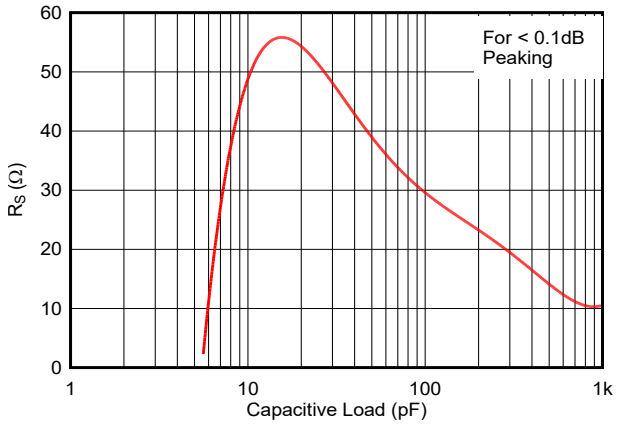


图 5-14. 建议的 R_S 与容性负载间的关系

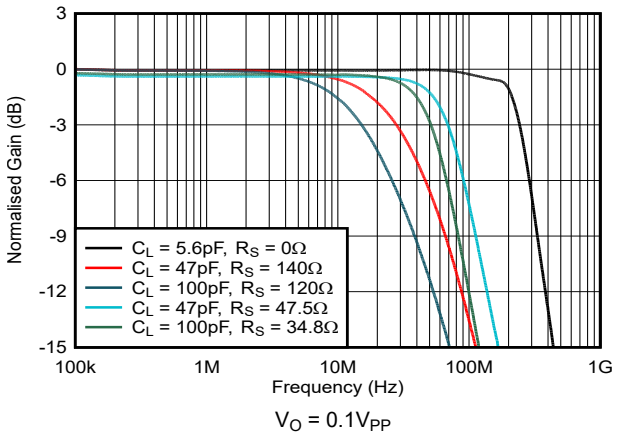


图 5-15. 频率响应与容性负载间的关系

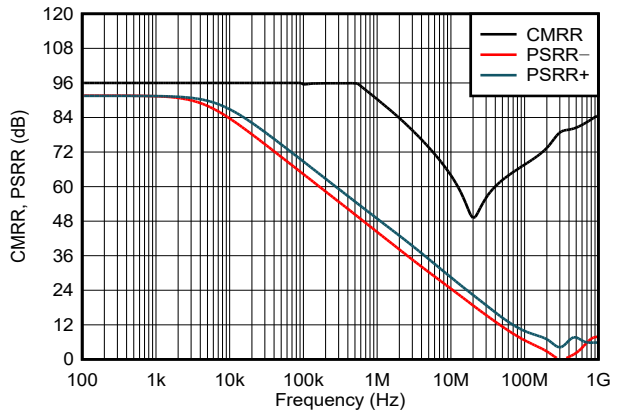


图 5-16. 共模抑制比和电源抑制比与频率间的关系

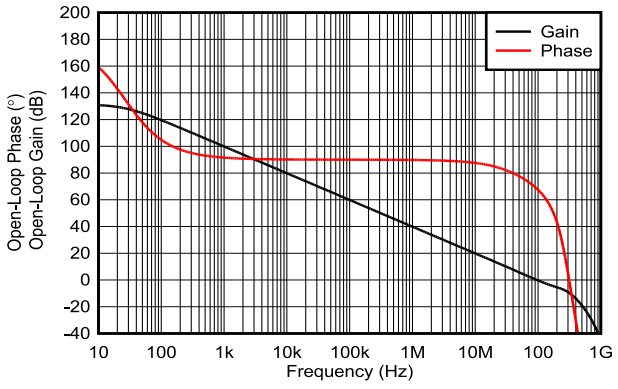


图 5-17. 开环增益和相位

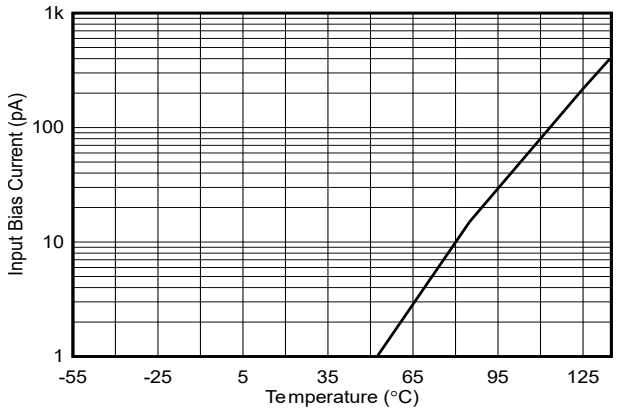


图 5-18. 输入偏置电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

在 T_A = 25°C、V_S = 5V、G = +1、R_F = 0Ω、R_L = 1kΩ（连接至 V_S / 2）时测得，除非另有说明。

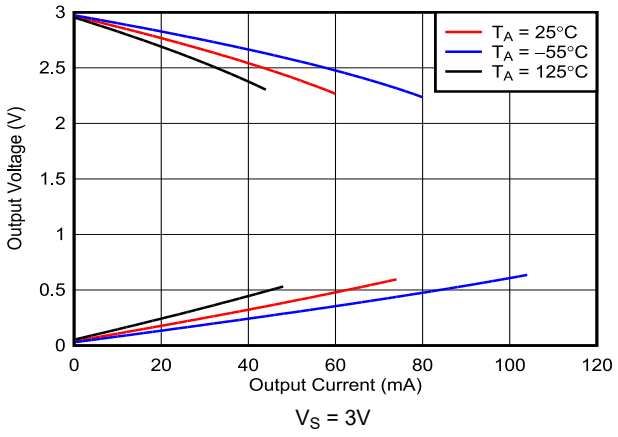


图 5-19. 输出电压摆幅与输出电流间的关系

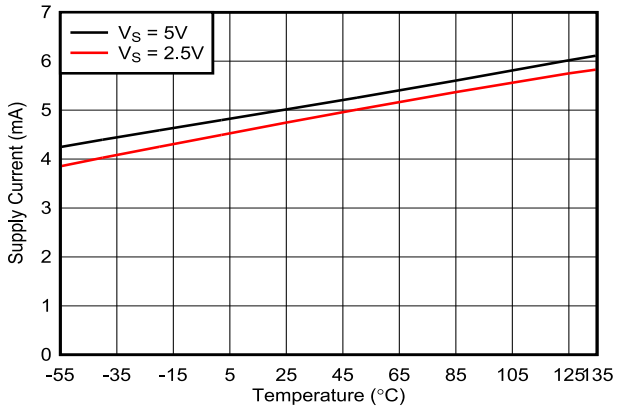


图 5-20. 电源电流与温度间的关系

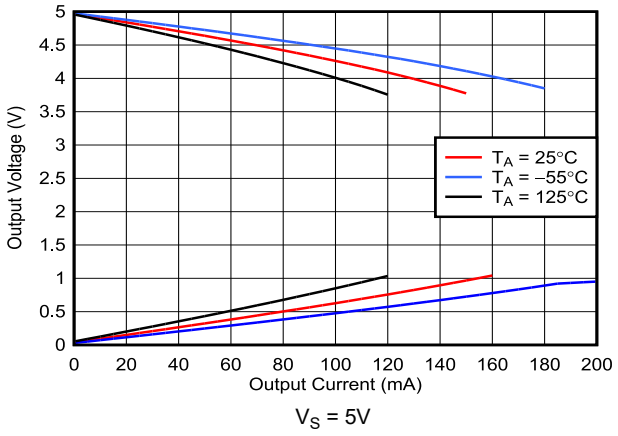


图 5-21. 输出电压摆幅与输出电流间的关系

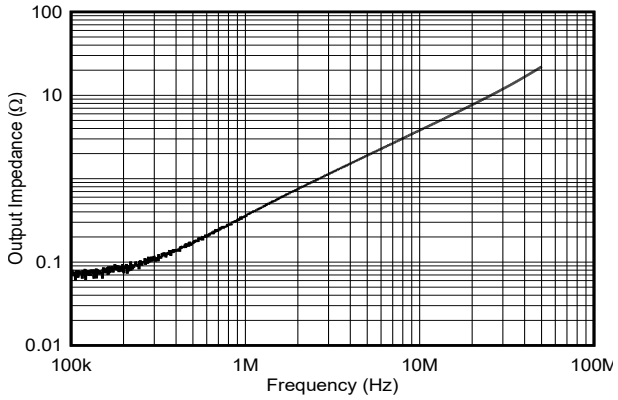


图 5-22. 闭环输出阻抗与频率间的关系

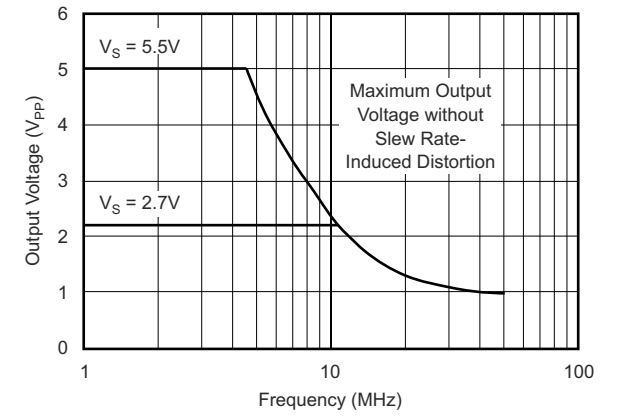


图 5-23. 最大输出电压与频率间的关系

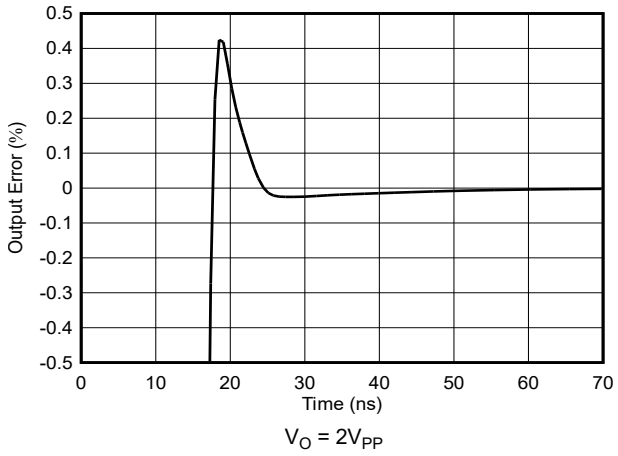


图 5-24. 输出趋稳时间精度达 0.1%

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

在 T_A = 25°C、V_S = 5V、G = +1、R_F = 0Ω、R_L = 1kΩ（连接至 V_S / 2）时测得，除非另有说明。

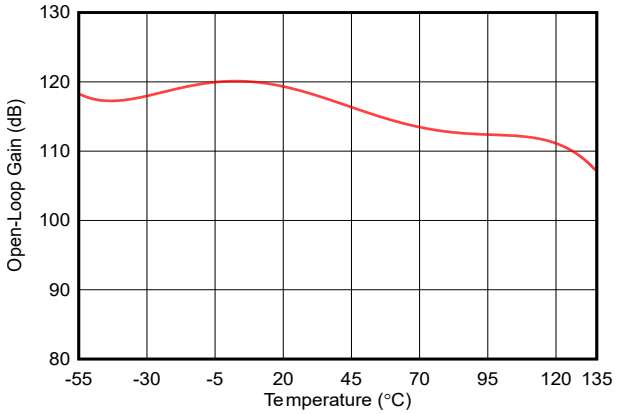


图 5-25. 开环增益与温度间的关系

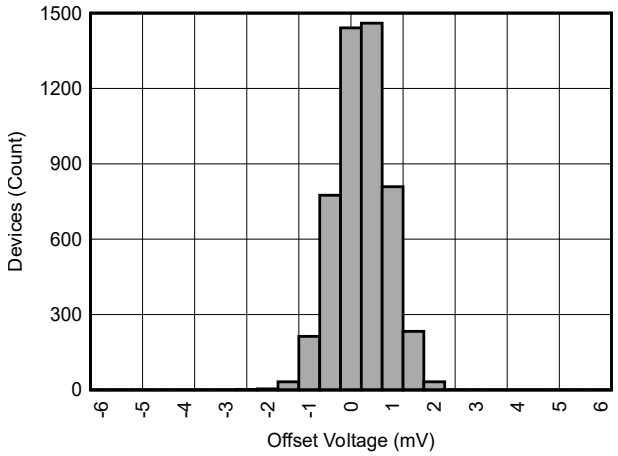


图 5-26. 失调电压产生分布

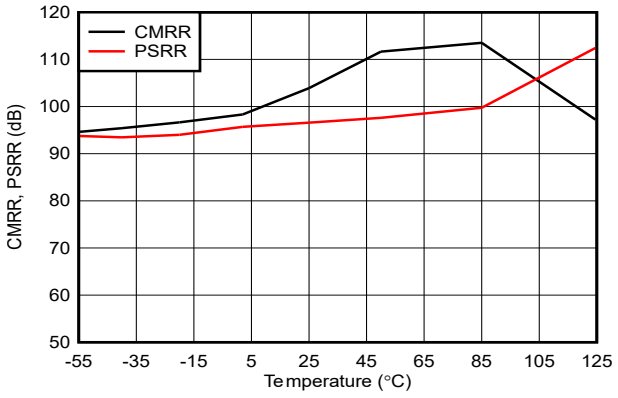


图 5-27. 共模抑制比和电源抑制比与温度间的关系

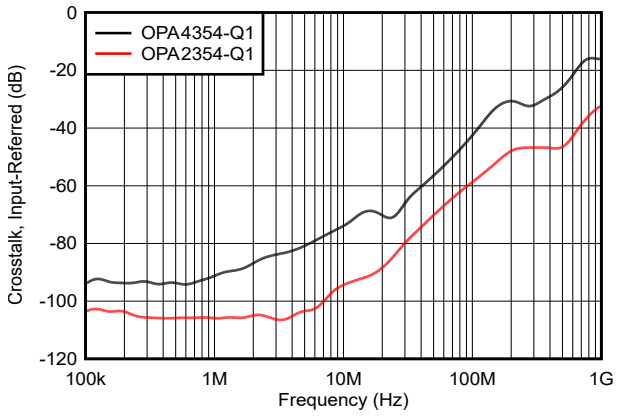


图 5-28. 通道间串扰

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

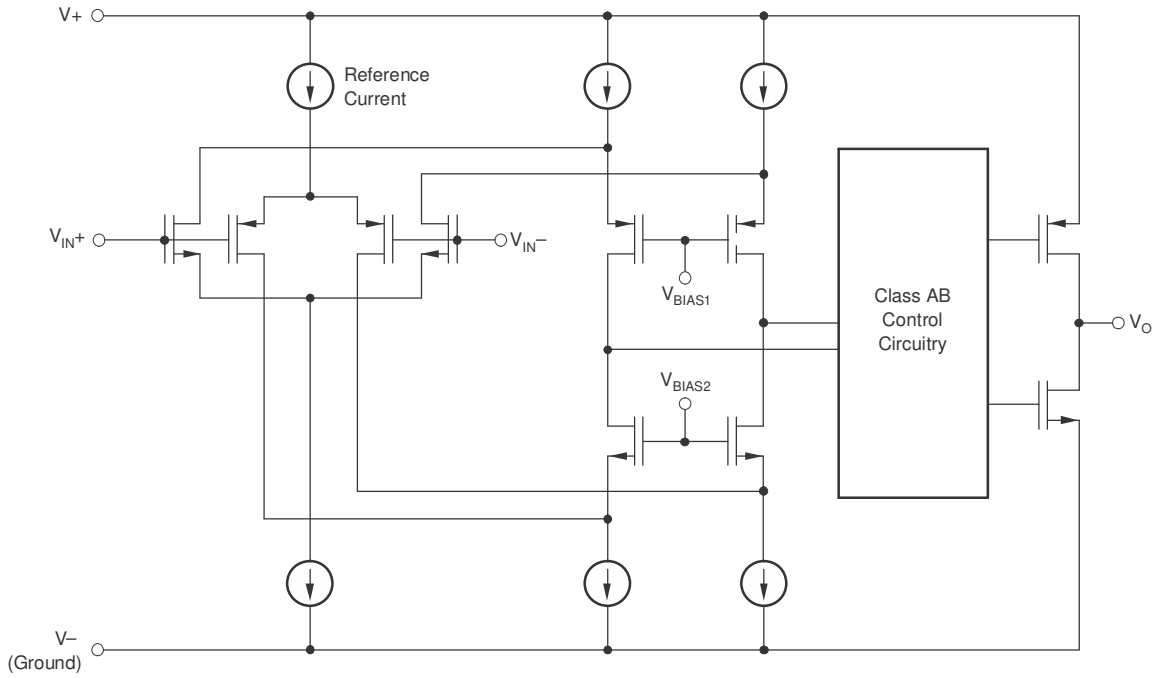
6.1 概述

OPAx354-Q1 运算放大器是高速 150V/μs 放大器，因此非常适合互阻抗应用。这些器件具有单位增益稳定特性，可在单电源电压（2.5V 至 5.5V）或双电源电压（±1.25V 至 ±2.75V）下运行，因此用途广泛且易于使用。OPAx354A-Q1 放大器的额定电压范围为 2.5V 至 5.5V，可在汽车级温度范围 –40°C 至 +125°C 下运行。

表 6-1. OPAx354-Q1 相关产品

特性	产品
OPA354 系列的关断版本	OPAx357
200MHz GBW、轨到轨输出、CMOS、关断	OPAx355
200MHz GBW、轨到轨输出、CMOS	OPAx356
38MHz GBW、轨到轨输入/输出、CMOS	OPAx350/3
75MHz BW、G = 2、轨到轨输出	OPAx631
150MHz BW、G = 2、轨到轨输出	OPAx634
100MHz BW、差动输入/输出、3.3V 电源	THS412x

6.2 功能方框图



6.3 特性说明

6.3.1 工作电压

OPAx354-Q1 系列器件的规格适用于 2.5V 至 5.5V（±1.25V 至 ±2.75V）的电源电压范围。高于 7.5V（绝对最大值）的电源电压可能会对放大器造成永久性损坏。

节 5.6 中显示了随电源电压或温度而变化的参数。

6.3.2 轨到轨输入

OPAx354-Q1 系列器件的指定输入共模电压范围在电源轨基础上向外扩展了 100mV。此扩展由一个互补输入级（一个 N 通道输入差动对和一个 P 通道差动对并联）实现。N 沟道对对于靠近正电源轨的输入电压有效，通常比

Copyright © 2026 Texas Instruments Incorporated

正电源高 (V+) – 1.2V 至 100mV，而 P 沟道对针对低于负电源轨 100mV 至大约 (V+) – 1.2V 间的输入打开。存在一个小转换区域，通常介于 (V+) – 1.5V 至 (V+) – 0.9V 之间，在这个区间内两个对都打开。此 600mV 转换区域可能随工艺不同而有 ±500mV 波动。因此，此转换区域（两个输入级都有效）在低端上的范围介于 (V+) – 2V 至 (V+) – 1.5V 之间，在高端上的范围高达 (V+) – 0.9V 至 (V+) – 0.4V 之间。

双折叠的共源共栅增加了来自两个输入对的信号，并向 AB 类输出级提供差动信号。

6.3.3 轨到轨输出

器件采用具有共源晶体管的 AB 类输出级来实现轨到轨输出。对于高阻抗负载 (> 200Ω)，输出电压摆幅通常为与电源轨相差 100mV。在 10Ω 负载下，用户可以在保持高开环增益的同时实现有用的输出摆幅；请参阅图 5-19（*输出电压摆幅与输出电流之间的关系*）。

6.3.4 输出驱动

OPAx354-Q1 输出级提供 ±100mA 的持续输出电流，并且在 5V 电源上仍提供大约 2.7V 的输出摆幅，如图 6-1 所示。

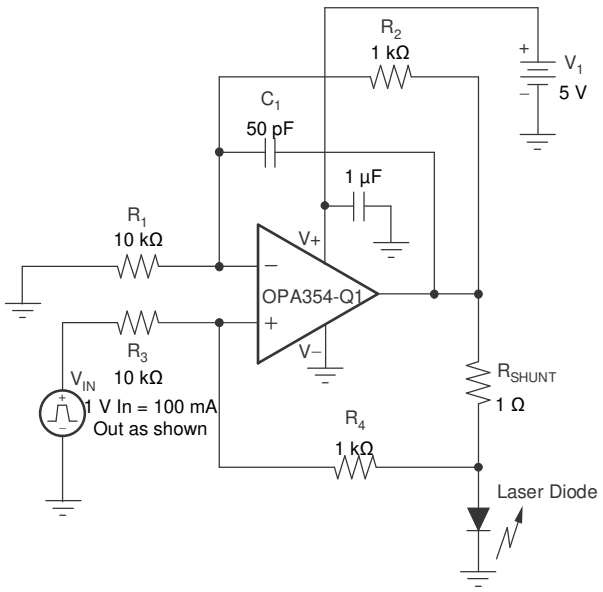


图 6-1. 激光二极管驱动器

为了获得最大可靠性，TI 不建议运行大于 ±100mA 的连续直流电流；请参阅图 5-19（*输出电压摆幅与输出电流之间的关系*）。并联运行 OPAx354-Q1 系列器件，以提供大于 ±100mA 的持续输出电流，如图 6-2 所示。

Copyright © 2026 Texas Instruments Incorporated

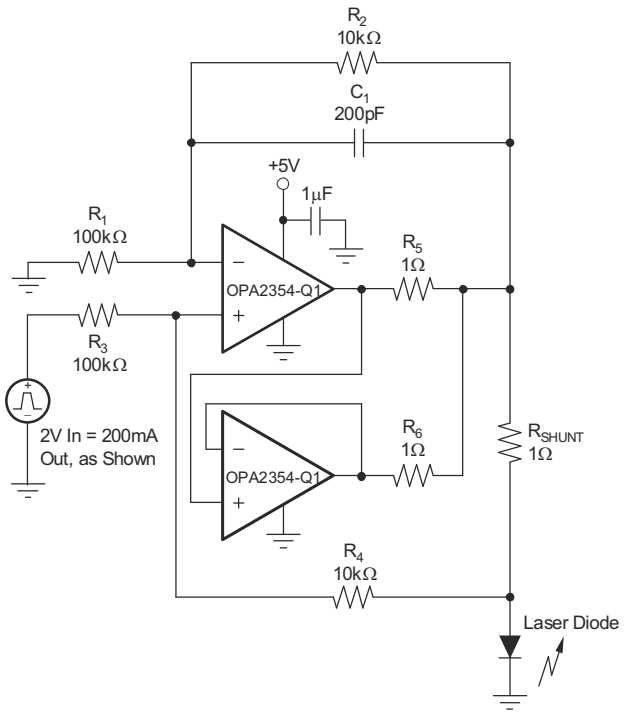


图 6-2. 并行运行

OPAx354-Q1 系列器件提供高达 200mA 的峰值电流，该电流与典型短路电流相对应。因此，提供了片上热关断电路来保护 OPAx354-Q1 系列器件免受危险的高结温影响。在 160°C 时，保护电路会关断放大器。当结温冷却至低于 140°C 时，将恢复正常运行。

6.3.5 视频

OPAx354-Q1 输出级能够驱动标准的反端接 75Ω 视频电缆（参阅图 6-3）。反向端接传输线路不会对驱动器表现出容性负载。正确的反向端接 75Ω 电缆不显示为电容；该电缆为 OPAx354-Q1 输出端提供 150Ω 电阻负载。

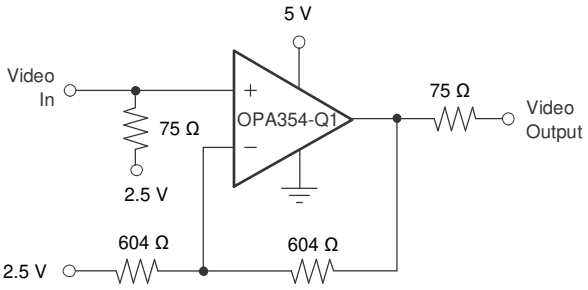
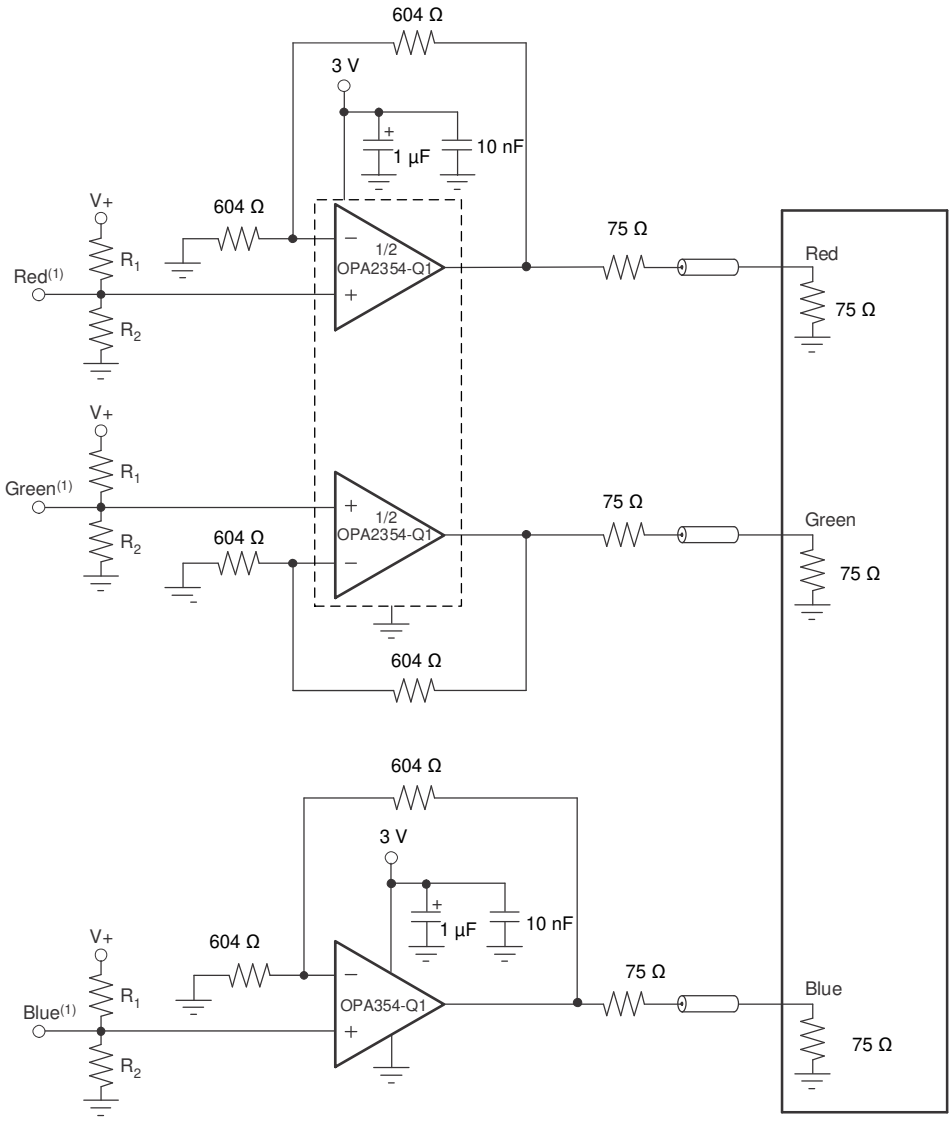


图 6-3. 单电源视频线路驱动器

该系列放大器可用作 RGB 图形信号的放大器，该信号通过对信号进行偏移和交流耦合，在视频黑电平处具有零电压（参阅图 6-4）。



A. 源视频信号偏移地电平以上 300mV，以适应运算放大器摆幅至接地能力。

图 6-4. RGB 电缆驱动器

6.3.6 驱动模数转换器

OPAx354-Q1 系列运算放大器提供 60ns 的趋稳时间（精度为 0.01%），因此适合驱动高速和中速采样 ADC 和基准电路。OPAx354-Q1 系列器件提供了一种在提供信号增益的同时缓冲 ADC 输入电容及产生的电荷注入的有效方法。OPAx354-Q1 系列器件专为需要高直流精度的应用而设计。

图 6-5 显示了驱动 ADC 的 OPAx354-Q1 系列器件。使用反相配置的 OPAx354-Q1，在反馈电阻器上使用电容器可以滤除信号中的高频噪声。

Copyright © 2026 Texas Instruments Incorporated

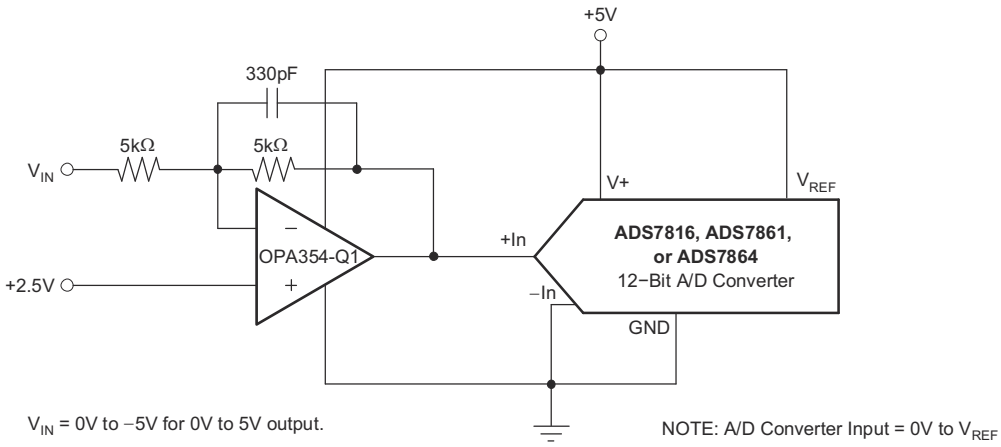


图 6-5. 驱动 ADS7816 的 OPA354A-Q1 反相配置

6.3.7 容性负载和稳定性

OPAx354-Q1 系列运算放大器可以驱动各种容性负载。但是，在某些情况下，所有运算放大器都可能变得不稳定。运算放大器配置、增益及负载值是确定稳定性时需要考虑的几个因素。采用单位增益配置的运算放大器最易受到容性负载的影响。容性负载与运算放大器的输出电阻以及任何额外的负载电阻相互作用，在小信号响应中产生一个极点，从而使相位裕度降级。有关详细信息,请参阅图 5-15（*频率响应与容性负载间的关系*）。

OPAx354-Q1 拓扑结构增强了器件驱动电容负载的能力。在单位增益下，这些运算放大器在大容性负载下表现良好。有关详细信息，请参阅图 5-14（建议的 R_S *与容性负载间的关系*）和图 5-15（*频率响应与容性负载间的关系*）。

插入一个与输出串联的 10Ω 到 20Ω 电阻器以提高单位增益配置中的容性负载驱动能力，如图 6-6 所示。此配置可显著减少大容性负载下的振铃；请参阅图 5-15（*频率响应与容性负载间的关系*）。但是，如果有一个与容性负载并联的电阻负载，则 R_S 会创建一个分压器。这种配置在输出端引入了直流误差，并略微降低了输出摆动。此误差可能微不足道。例如，如果 R_L = 10kΩ 且 R_S = 20Ω，则输出误差约为 0.2%。

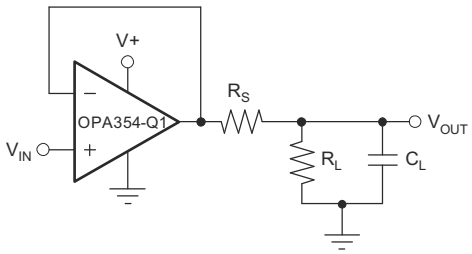


图 6-6. 单位增益配置的串联电阻器可以改进容性负载驱动

6.3.8 宽带互阻抗放大器

OPAx354-Q1 系列器件具有宽带宽、低输入偏置电流、低输入电压和电流噪声，是适用于低电压单电源应用的宽带光电二极管互阻抗放大器。低电压噪声很重要，因为光电二极管电容会导致电路的有效噪声增益在高频时增加。

互阻抗设计的关键要素（参阅图 6-7）是预期的二极管电容 [包括 OPAx354-Q1 的寄生输入共模和差模输入电容 (2 + 2)pF]、所需的互阻抗增益 (R_F) 和 OPAx354-Q1 系列器件 (100MHz) 的增益带宽积 (GBW)。在确定好这三个变量后，通过设置反馈电容器值 (C_F) 来控制频率响应。

Copyright © 2026 Texas Instruments Incorporated

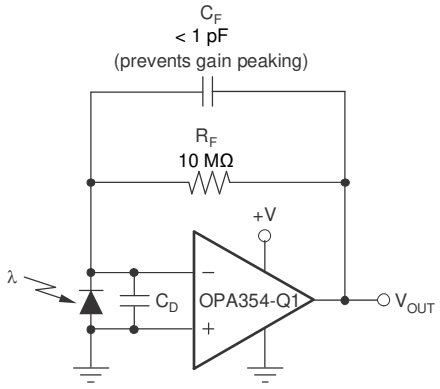


图 6-7. 跨阻放大器

为了实现最大平坦、二阶巴特沃斯频率响应，请按方程式 1 所示设置反馈极点。

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBP}{4\pi R_F C_D}} \tag{1}$$

典型的表面贴装电阻器具有大约 0.2pF 的寄生电容，需要从计算得出的反馈电容值中扣除该值。

根据方程式 2 计算带宽。

$$f_{-3dB} = \sqrt{\frac{GBP}{2\pi R_F C_D}} Hz \tag{2}$$

为了获得更高的互阻抗带宽，使用高速 CMOS OPA355-Q1 (200MHz GBW) 或 OPA655-Q1 (400MHz GBW)。

6.4 器件功能模式

OPAx354-Q1 系列器件会在连接电源时通电。这些器件可根据应用情况作为单电源运算放大器或双电源放大器使用。这些器件可与不对称电源配合使用，只要差动电压（V– 至 V+）至少为 1.8V 且不大于 5.5V（例如：V– 设定为 –3.5V，V+ 设定为 1.5V）。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

OPAx354-Q1 系列器件是一种为视频、高速及其他应用而设计的 CMOS、轨到轨 I/O、高速、电压反馈运算放大器。OPAx354-Q1 系列器件分为单路、双路或四路运算放大器。

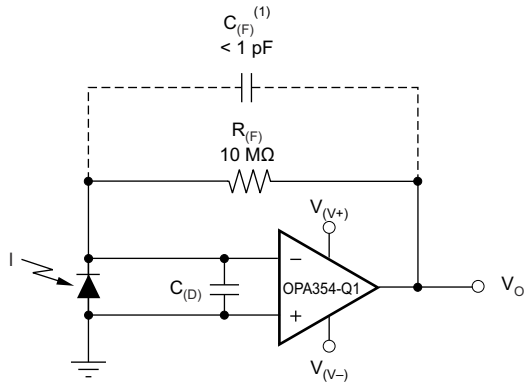
这些放大器的增益带宽为 100MHz，转换速率为 150V/µs，但器件的单位增益稳定，工作电压为 1V/V。

7.2 典型应用

7.2.1 跨阻放大器

OPAx354-Q1 系列器件具有宽增益带宽、低输入偏置电流、低输入电压和电流噪声，是理想的宽带光电二极管互阻抗放大器。低电压噪声很重要，因为光电二极管电容会导致电路的有效噪声增益在高频时增加。

互阻抗设计的关键要素（如图 7-1 所示）是预期的二极管电容 ($C_{(D)}$)（包括寄生输入共模和差模输入电容 (4pF + 5pF)）、所需的互阻抗增益 ($R_{(FB)}$) 和 OPAx354-Q1 系列器件 (20MHz) 的增益带宽 (GBW)。在确定好这三个变量后，通过设置反馈电容器值 ($C_{(FB)}$) 来控制频率响应。$C_{(FB)}$ 包括 $R_{(FB)}$ 的杂散电容（对于典型的表面贴装电阻器，此电容为 0.2pF）。



A. $C_{(FB)}$ 是可选的，可防止增益峰值。$C_{(FB)}$ 包括 $R_{(FB)}$ 的杂散电容。

图 7-1. 双电源跨阻放大器

7.2.1.1 设计要求

参数	值
电源电压 $V_{(V+)}$	2.5V
电源电压 $V_{(V-)}$	-2.5V

7.2.1.2 详细设计过程

为了实现最大平坦、二阶巴特沃斯频率响应，必须将反馈极点设置为：

$$\frac{1}{2 \times \pi \times R_{(FB)} \times C_{(FB)}} = \sqrt{\frac{GBW}{4 \times \pi \times R_{(FB)} \times C_{(D)}}} \quad (3)$$

根据方程式 4 计算带宽。

$$f_{(-3\ dB)} = \sqrt{\frac{GBW}{2 \times \pi \times R_{(FB)} \times C_{(D)}}} \quad (4)$$

对于其他互阻抗带宽，请考虑高速 CMOS OPA380 (90MHz GBW)、OPA354 (100MHz GBW)、OPA300 (180MHz GBW)、OPA355 (200MHz GBW) 或 OPA656 和 OPA657 (400MHz GBW)。

对于单电源应用，可使用正的直流电压对 +INx 输入进行偏置，从而使输出在光电二极管不受任何光线照射时达到真正的零点，并且在响应时不会出现由负电源轨导致的额外延迟；该配置如图 7-2 所示。该偏置电压出现在光电二极管上，可提供反向偏置以加快运算速度。

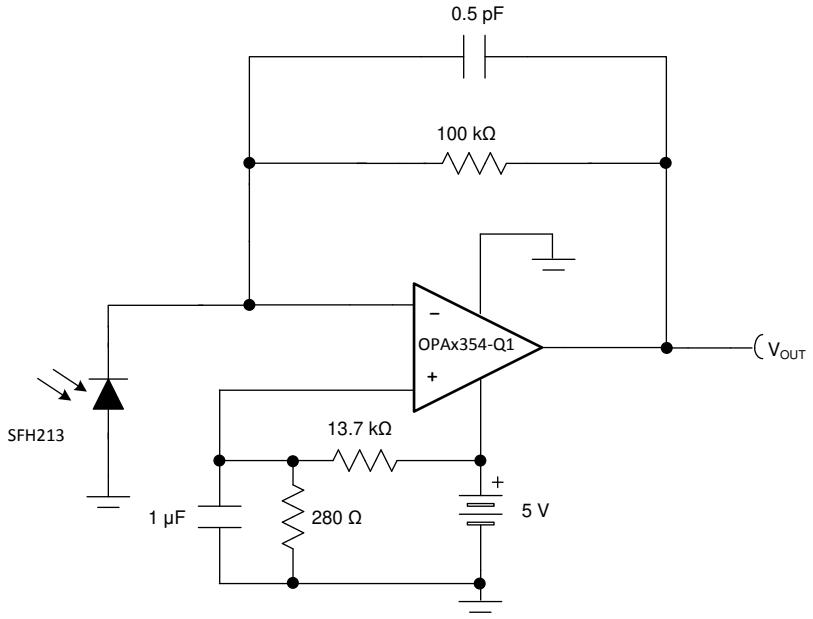


图 7-2. 单电源跨阻放大器

有关更多信息，请参阅*用直观方式补偿互阻抗放大器*应用公告。

7.2.1.2.1 优化互阻抗电路

为了达到最佳性能，必须根据以下准则选择元件：

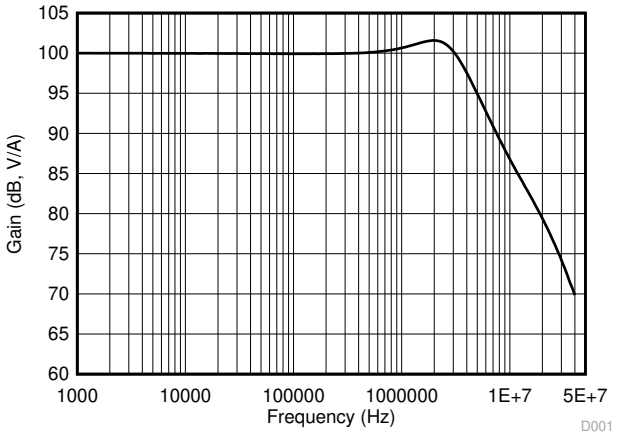
1. 为了获得最低噪声，请选择 $R_{(FB)}$ 来生成所需的总增益。使用较低的 $R_{(FB)}$ 值以及在互阻抗放大器之后增加增益，通常会产生较差的噪声性能。$R_{(FB)}$ 产生的噪声随 $R_{(FB)}$ 的平方根值增加而增加，而该信号是呈线性增加的。因此，当所有需要的增益都置于互阻抗级中时，信噪比会提高。
2. 尽可能减小求和点（反相输入）处的光电二极管电容和杂散电容。该电容会导致运算放大器的电压噪声放大（高频下放大效果会更强）。使用低噪声电压源对光电二极管进行反向偏置，这可显著降低电容。光电二极管越小，电容越低。使用光学元件将光集中在小型光电二极管上。

Copyright © 2026 Texas Instruments Incorporated

3. 噪声会随着带宽的增加而增加。可将电路带宽限制为所需带宽。应在 $R_{(FB)}$ 上使用电容器来限制带宽（即使不需要使用它来实现稳定性）。
4. 电路板漏电流可能会降低原本设计良好的放大器的性能。应仔细清洁电路板。使用包络求和结并以相同电压驱动的电路板防护迹线有助于控制漏电流。

有关更多信息，请参阅 *FET 互阻抗放大器的噪声分析* 和*高速运算放大器的噪声分析* 应用公告。

7.2.1.3 应用曲线



– 3dB 带宽为 4.56MHz

图 7-3. 交流传递函数

7.2.2 高阻抗传感器接口

许多传感器都具有可高达 10MΩ 甚至更高的高源阻抗。传感器的输出信号通常必须进行放大或通过放大器进行调节。该放大器的输入偏置电流可以加载传感器输出，并在源电阻两端产生电压降，如图 7-4 所示，其中 ($V_{(+INx)}$ = V_S – $I_{(BIAS)}$ × $R_{(S)}$)。最后一项 $I_{(BIAS)}$ × $R_{(S)}$ 表示 $R_{(S)}$ 两端的压降。为了防止将该电压导致的误差引入系统，请搭配使用具有极低输入偏置电流的运算放大器与高阻抗传感器。这个低电流使 $I_{(BIAS)}$ × $R_{(S)}$ 产生的误差小于放大器的输入电压噪声，确保放大器不会成为主导的噪声因子。OPAx354-Q1 系列运算放大器具有较低的输入偏置电流（通常为 200fA），因此是此类应用的理想选择。

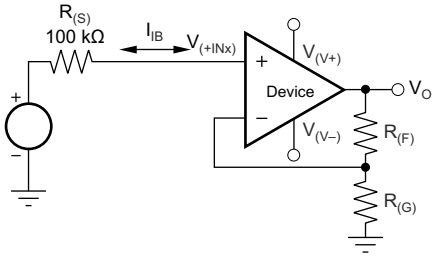
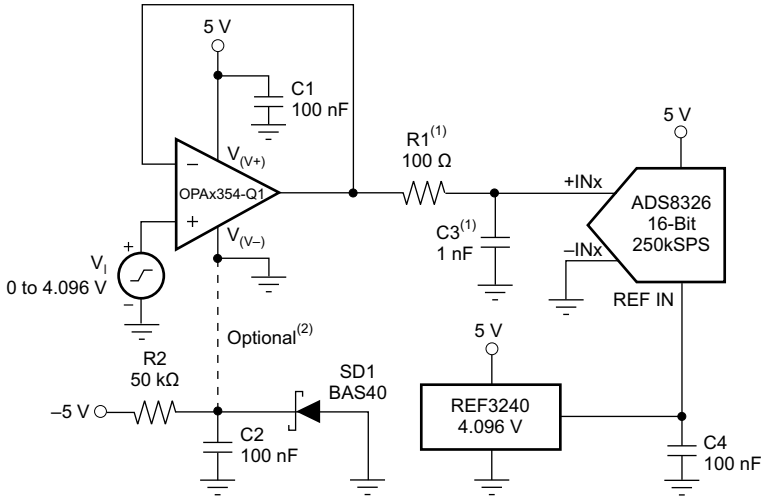


图 7-4. $I_{(BIAS)}$ 导致的噪声

7.2.3 驱动 ADC

OPAx354-Q1 运算放大器专为驱动采样速率高达 1MSPS 的采样模数转换器 (ADC) 而设计。零交越失真输入级拓扑使 OPAx354-Q1 系列器件能够驱动 ADC，而不会降低微分线性度和 THD。

OPAx354-Q1 系列器件可用于缓冲 ADC 开关输入电容和产生的电荷注入，同时提供信号增益。图 7-5 显示了配置为驱动 ADS8326 的 OPAx354-Q1 系列器件。



A. 建议值；可能需要根据具体应用进行调整。

B. 由于运算放大器输出摆幅限制，单电源应用会在接近接地时丢失少量的 ADC 代码。如果负电源可用，该简单电路会生成 -0.3V 电源，以允许输出摆动至真实接地电势。

图 7-5. 驱动 ADS8326

7.2.4 有源滤波器

OPAx354-Q1 系列器件专为需要宽带宽、快速转换率、低噪声、单电源运算放大器的有源滤波器应用而设计。图 7-6 展示了采用多反馈 (MFB) 拓扑的 500kHz 二阶低通滤波器。这些元件经过挑选，旨在提供最大平坦度的巴特沃斯型响应。超过截止频率时，
具有每十倍频 –40dB 的下降率。巴特沃斯响应适合需要可预测增益特性的应用，例如在 ADC 前面使用的抗混叠滤波器。

考虑使用 MFB 滤波器时要注意的一点是，输出相对于输入是反相的。如果不需要或者不想要反相，可以通过下面的其中一种方法实现非反向输出：

1. 添加反相放大器
2. 额外增加一个二阶 MFB 级
3. 使用非反向滤波器拓扑，如 Sallen-Key（参阅图 7-7）。

使用 TI 的 FilterPro™ 程序可实现 MFB 和 Sallen-Key 低通和高通滤波器合成。此软件可从 www.ti.com 免费下载。

Copyright © 2026 Texas Instruments Incorporated

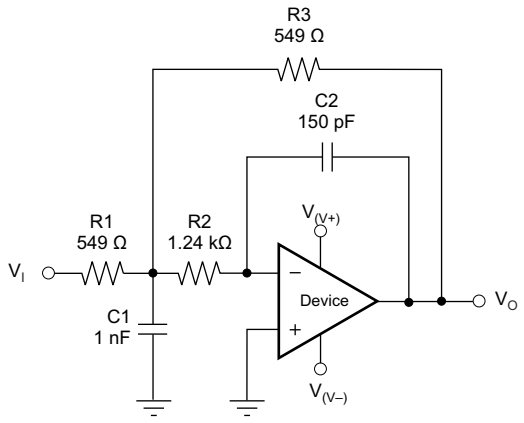


图 7-6. 二阶巴特沃斯 500kHz 低通滤波器

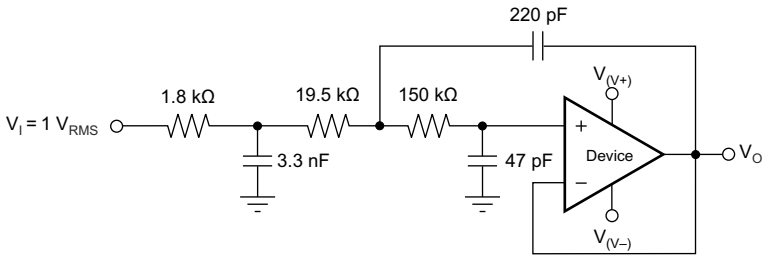


图 7-7. OPAx354-Q1 配置为三级 20kHz Sallen-Key 滤波器

7.3 电源相关建议

OPAx354-Q1 系列器件的额定工作电压为 2.5V 至 5.5V（±1.25V 至 ±2.75V）；多种规格适用于 –40°C 至 +125°C 的温度范围。*节 5.6* 中展示了可能会随工作电压或温度的变化而显著变化的参数。

小心

电源电压超过 7.5V 可能会对器件造成损坏（请参阅 *节 5.1* 表）。

将 0.1 µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅 *节 7.4.1*。

Copyright © 2026 Texas Instruments Incorporated

7.3.1 功率耗散

功耗取决于电源电压、信号和负载条件。使用直流信号时，功率耗散等于输出电流乘以传导输出晶体管上的电压的乘积 (V_S – V_O)。通过使用提供所需输出电压摆幅的最低可能电源电压来尽可能减小功率耗散。

对于电阻负载，在直流输出电压为电源电压一半时会出现最大功耗。交流信号的耗散则比较小。www.ti.com 上的*功率放大器应力和功率处理限制*应用公告介绍了如何计算或测量具有异常信号及负载的功率耗散。

任何有可能激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为了实现可靠运行，请将结温限制为最高 150°C。为了估算一个完整设计中的安全裕量，请提高环境温度直到在 160°C 触发过热保护。过热保护触发的温度必须大于 35°C（大于应用的最大预期环境条件）。

7.4 布局

7.4.1 布局指南

OPAx354-Q1 系列器件采用良好的高频印刷电路板 (PCB) 布局技术。大量使用接地平面、短和直接信号布线，以及位于 V+ 引脚上的合适旁路电容器，可实现干净、稳定的运行。大面积铜可以提供正常运行时产生的散热方式。不建议将插座用于任何高速放大器。10nF 陶瓷旁路电容器是最小建议值；在驱动低电阻负载时，并联添加一个 1 µ F 或更大的钽电容器可能有益。提供足够的旁路电容对于实现低谐波及互调失真至关重要。

为了实现器件的出色工作性能，请采用良好的 PCB 布局实践，包括：

- 噪声可通过整个电路的电源引脚以及运算放大器传入模拟电路。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅*电路板布局布线技巧*。
- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果上述迹线无法分离，则让敏感性迹线与有噪声迹线垂直交叉要远优于选择平行的布线方式。
- 外部元件应尽量靠近器件放置。如*图 7-8* 中所示，使 RF 和 RG 接近反相输入可尽可能减小寄生电容。
- 尽可能缩短输入走线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。

7.4.2 布局示例

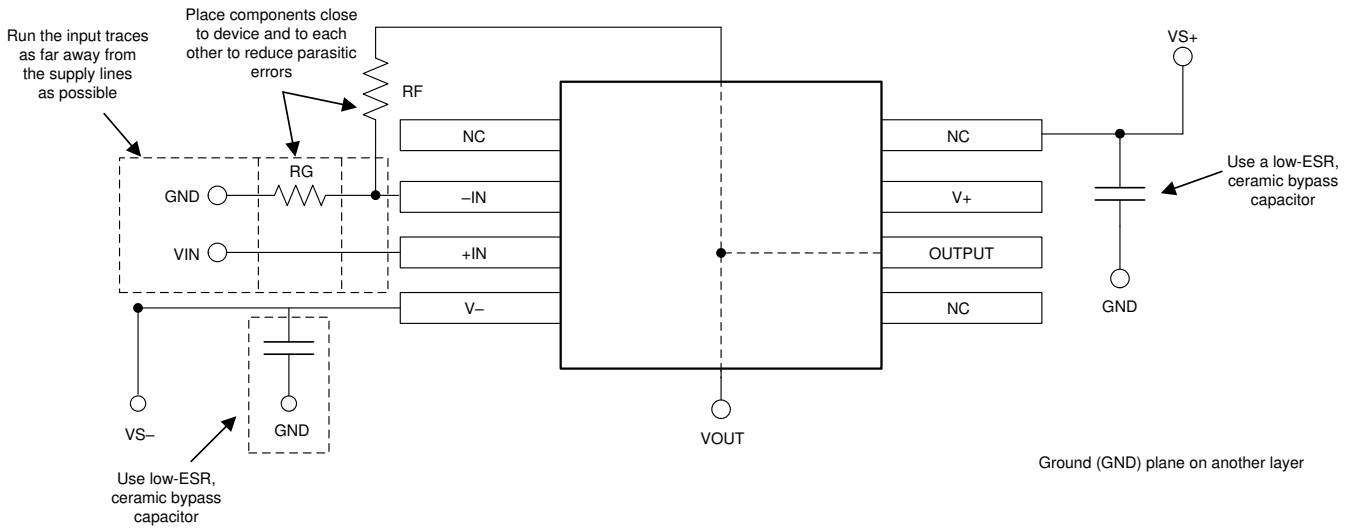


图 7-8. 同相配置的运算放大器电路板布局

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，ADS8326 *16 位高速 2.7V 至 5.5V microPower 采样模数转换器*
- 德州仪器 (TI)，*电路板布局技巧*
- 德州仪器 (TI)，*用直观方式补偿互阻抗放大器*
- 德州仪器 (TI)，*FilterPro™ 用户指南*
- 德州仪器 (TI)，*FET 互阻抗放大器噪声分析*
- 德州仪器 (TI)，*高速运算放大器噪声分析*
- 德州仪器 (TI)，OPA380 和 OPA2380 *高精度、高速互阻抗放大器*
- 德州仪器 (TI)，OPA354、OPA2354 和 OPA4354 *250MHz 轨到轨 I/O CMOS 运算放大器*
- 德州仪器 (TI)，OPA355、OPA2355 和 OPA3355 *200MHz CMOS 运算放大器，带关断功能*
- 德州仪器 (TI)，OPA656 *宽带单位增益稳定 FET 输入运算放大器*
- 德州仪器 (TI)，*功率放大器应力和功率处理限制*

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

FilterPro™ is a trademark of Texas Instruments Incorporated.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (May 2018) to Revision G (August 2026) **Page**

- 删除了特性中的 ESD 信息 1
- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 更新了 OPA354A-Q1 DBV 封装的热性能信息 5
- 更新了 OPA354A-Q1 的电气特性中的输入电流噪声、上升和下降时间、开环输出电阻和静态电流 6
- 更新了典型特性中的图 8

Changes from Revision E (August 2016) to Revision F (May 2018) **Page**

- 从绝对最大额定值表中删除了有关输入端子和输入信号的表注 5

Changes from Revision D (July 2016) to Revision E (August 2016) **Page**

- 在电气特性表中，将增益带宽积典型值从 10MHz 更改回 100MHz 6

Changes from Revision C (June 2016) to Revision D (July 2016) **Page**

- 在电气特性表中，将增益带宽积典型值从 100MHz 更改为 10MHz 6

Changes from Revision B (December 2014) to Revision C (June 2016) **Page**

- 向*应用* 部分额外添加了三种应用 1
- 更新了 ESD 等级表以显示 OPA354A-Q1 和 OPA2354A-Q1 的 CDM 值 5

Changes from Revision A (August 2009) to Revision B (December 2014) **Page**

- 添加了*处理额定值* 表、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 1
- 在数据表中添加了 OPA4354-Q1 器件 1
- 在规格表中更新了通道间串扰 6

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2354AQDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdauag | Nipdau	Level-2-260C-1 YEAR	-40 to 125	OSLQ
OPA2354AQDGKRQ1.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OSLQ
OPA354AQDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSFQ
OPA354AQDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSFQ
OPA354AQDBVRQ1.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSFQ
OPA4354AQPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	4354Q1
OPA4354AQPWRQ1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	4354Q1
OPA4354AQPWRQ1.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	4354Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA4354-Q1 :

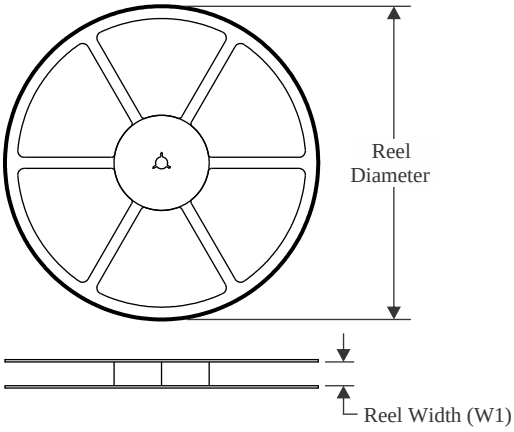
- Catalog : OPA4354

NOTE: Qualified Version Definitions:

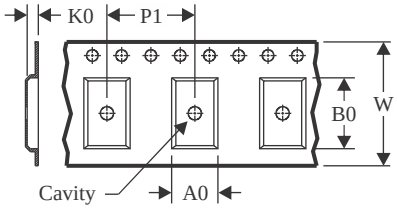
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

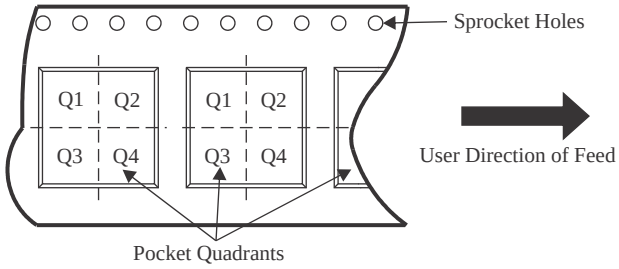


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

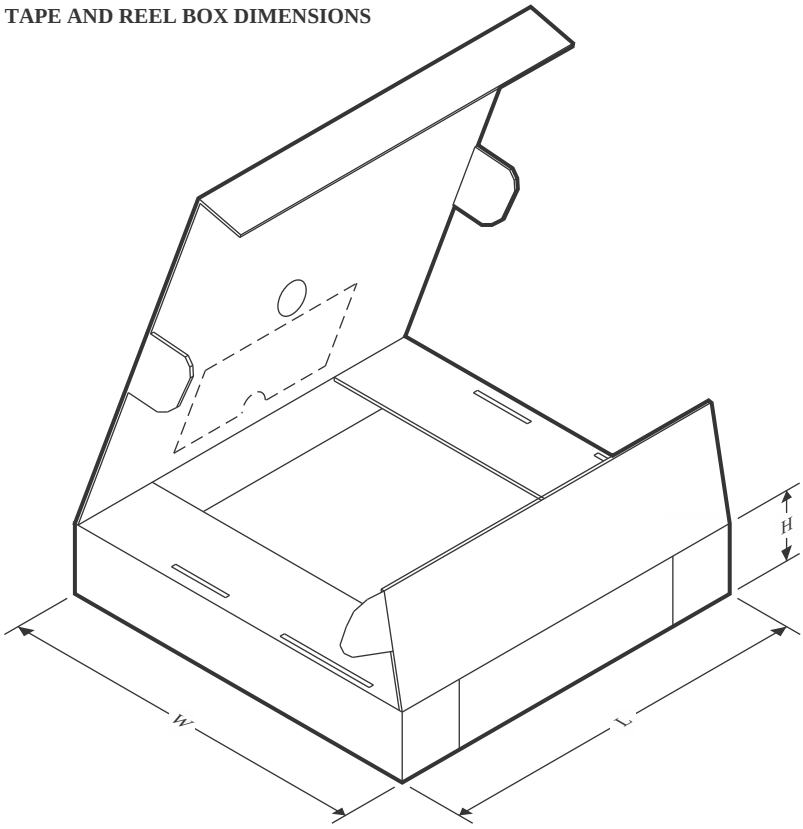
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2354AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2354AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA354AQDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA4354AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

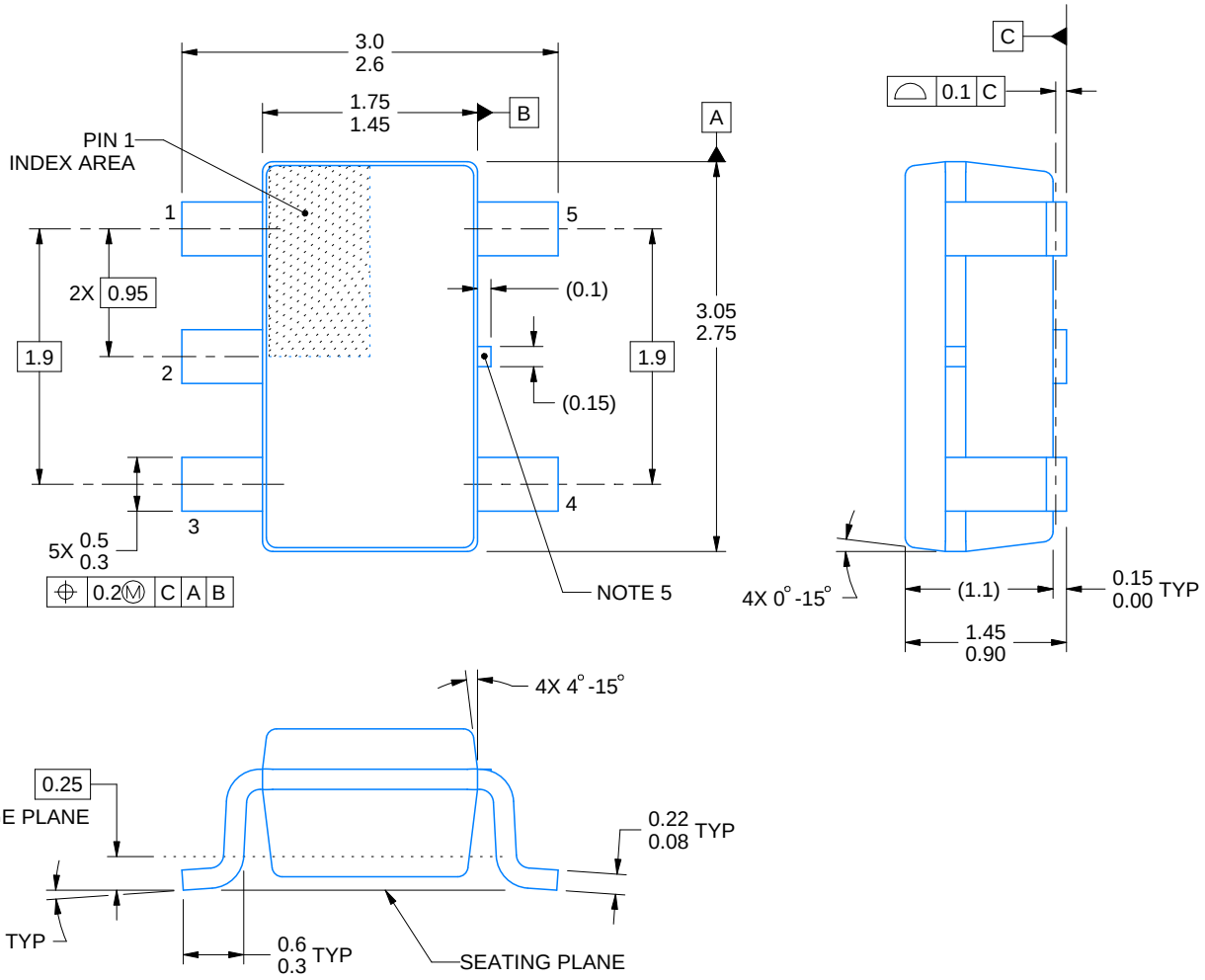
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2354AQDGKRQ1	VSSOP	DGK	8	2500	367.0	367.0	35.0
OPA2354AQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA354AQDBVRQ1	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA4354AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

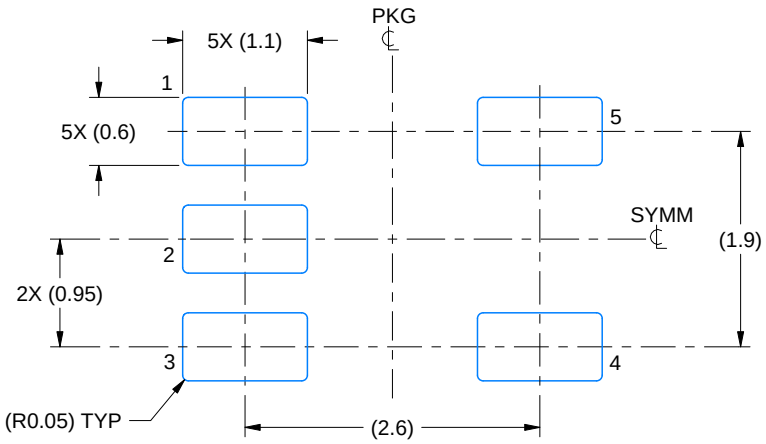
SMALL OUTLINE TRANSISTOR



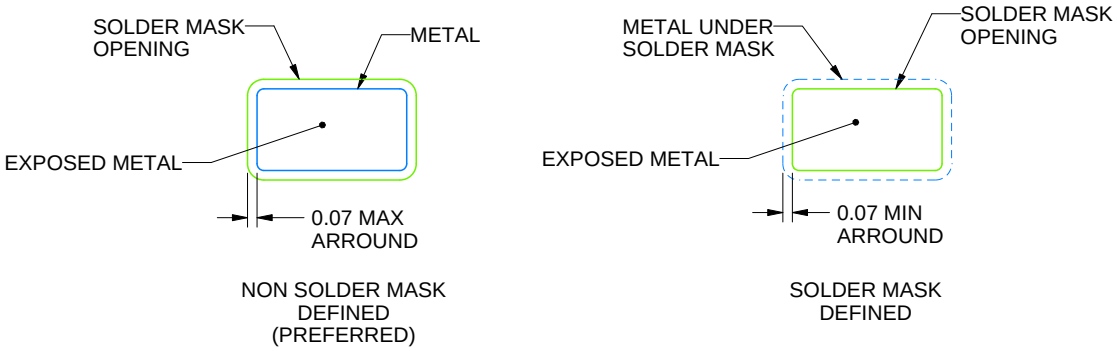
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

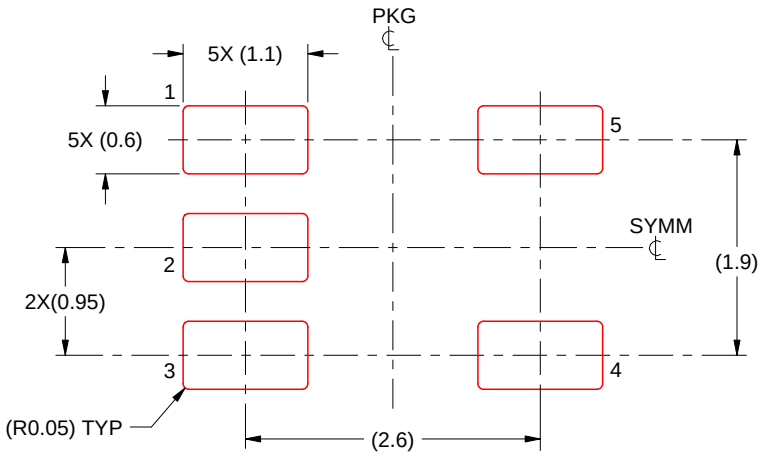


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

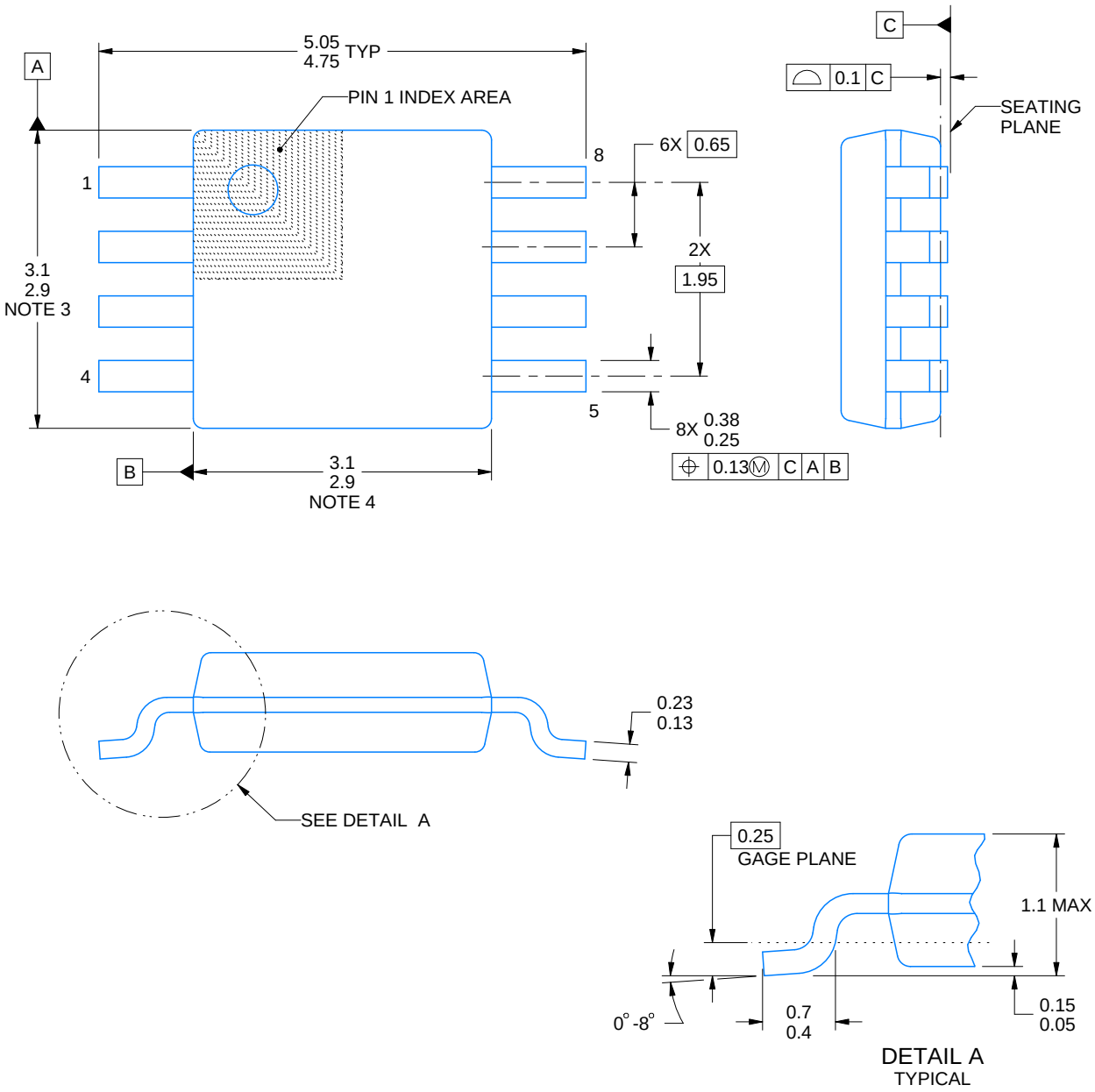
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

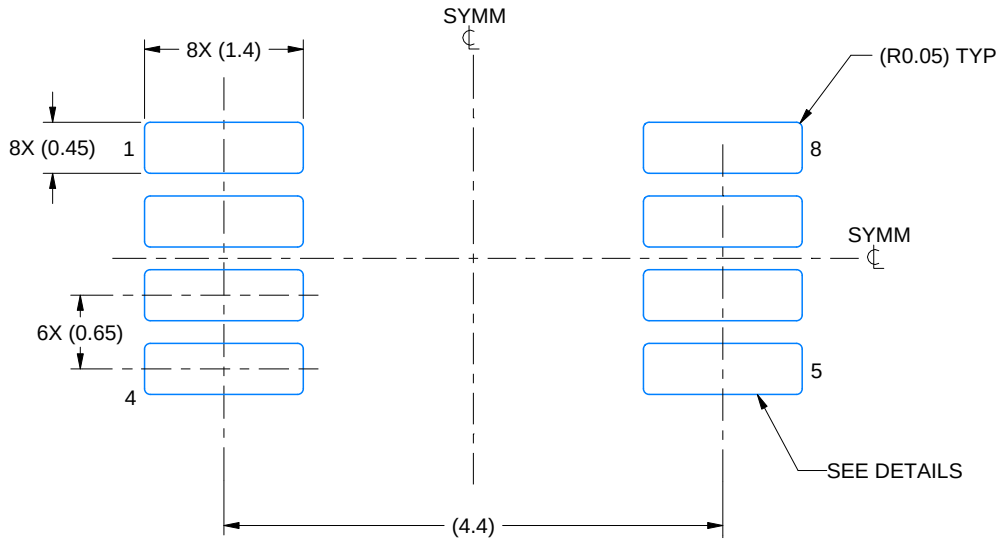
SMALL OUTLINE PACKAGE



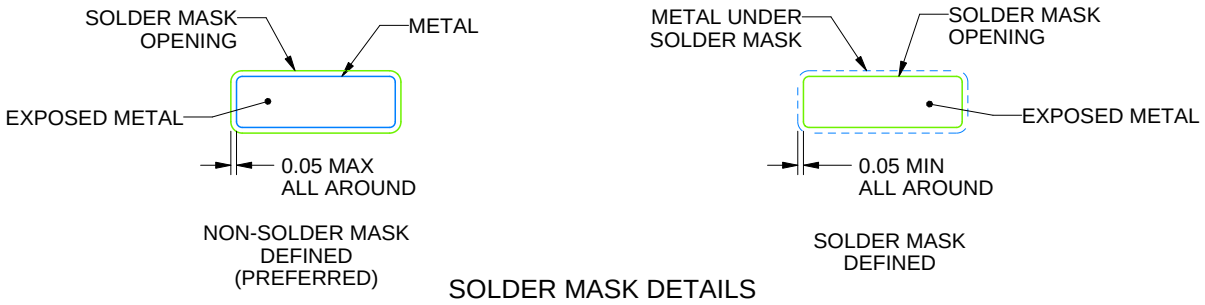
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

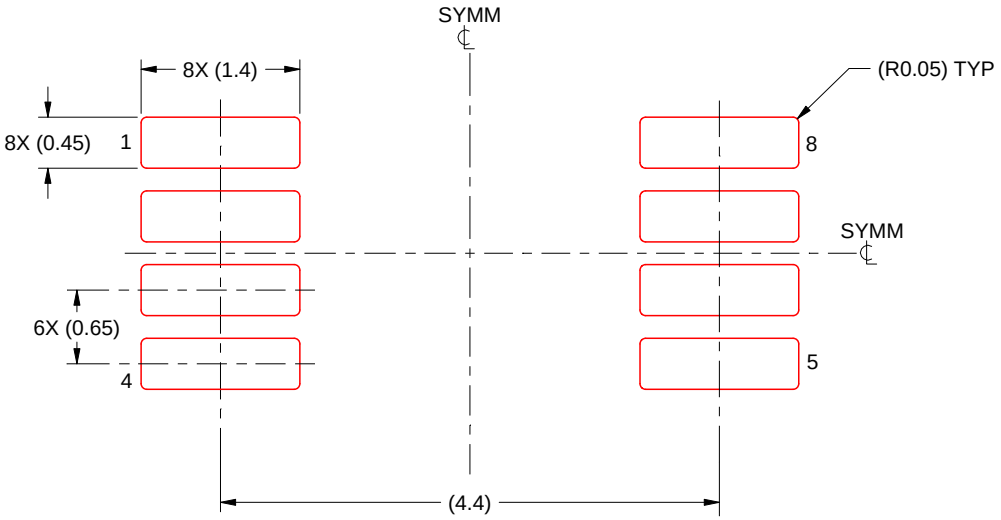


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

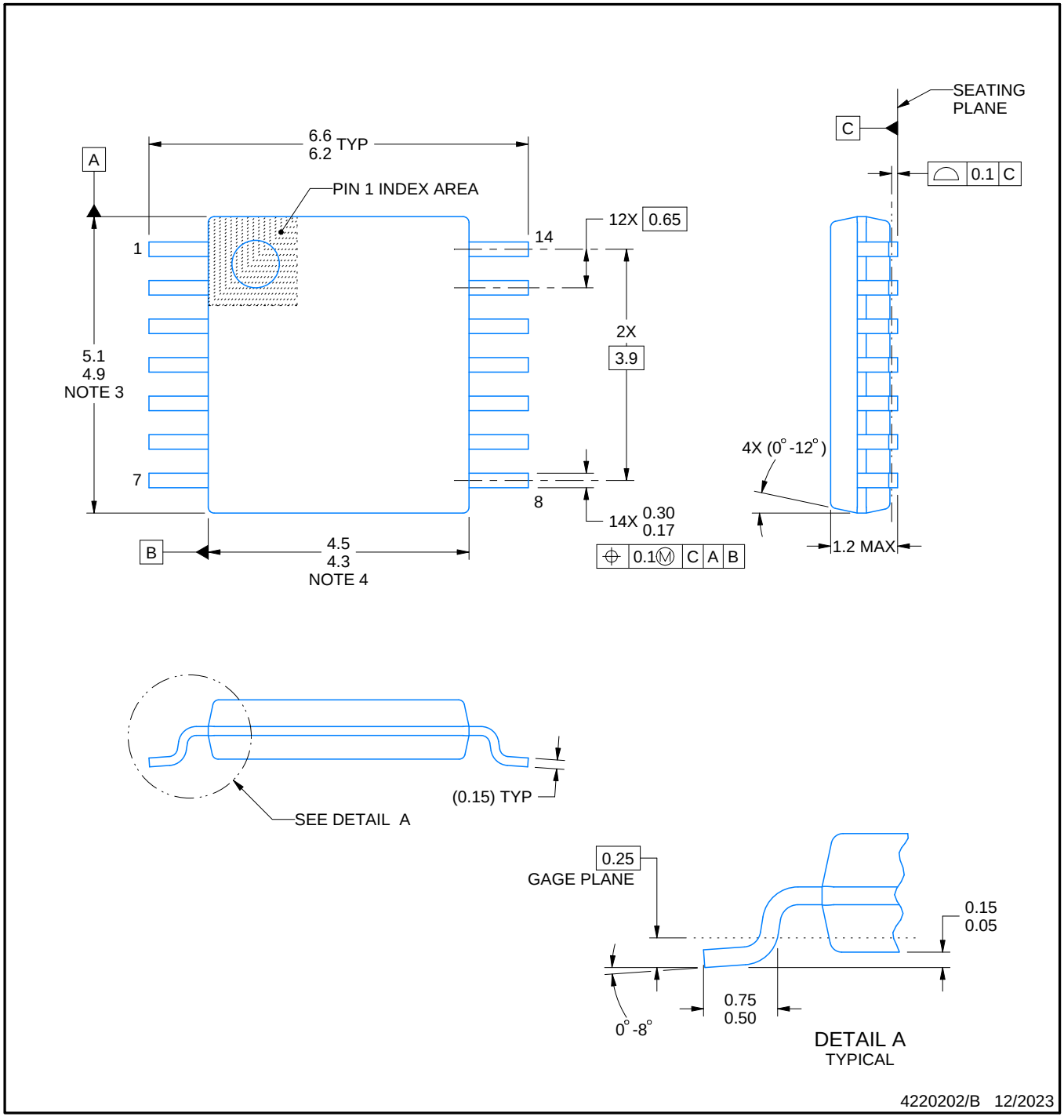
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

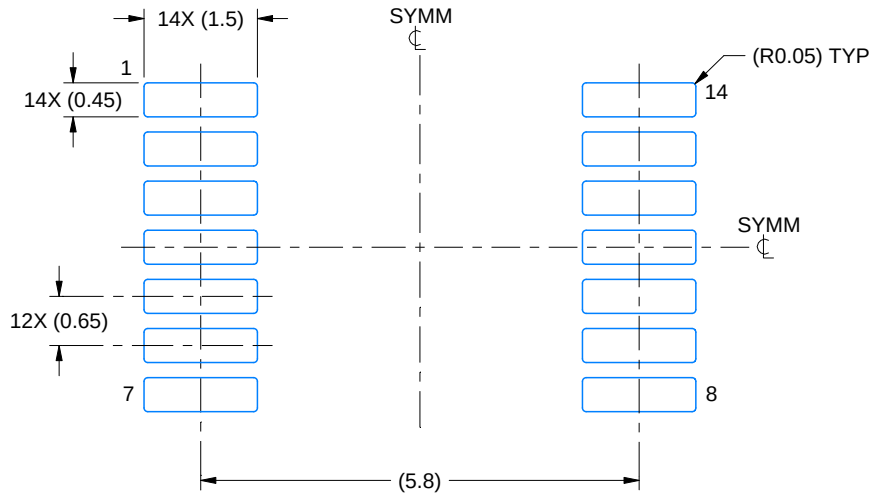
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

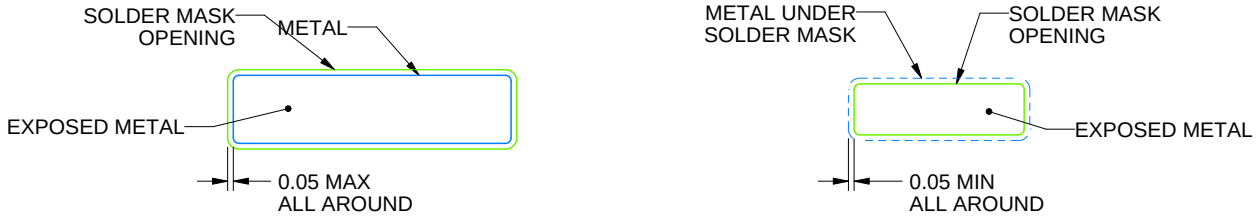


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

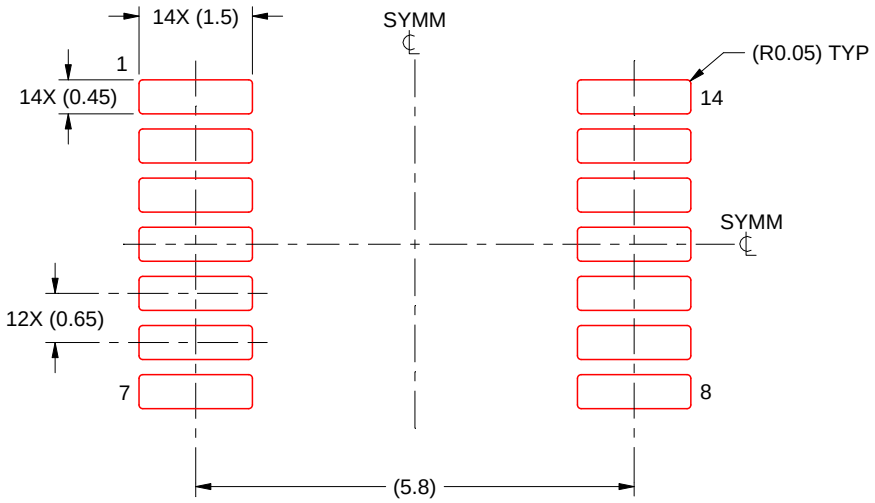


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月