SN74LV163A 4 位异步二进制计数器

1 特性

- 2V 至 5.5V V_{CC} 运行
- t_{pd} 最大值为 9.5ns（5V 时）
- V_{OLP}（输出接地反弹）典型值小于 0.8V（V_{CC} = 3.3V、T_A = 25°C 时）
- V_{OHV}（输出 V_{OH} 下冲）典型值大于 2.3V（V_{CC} = 3.3V、T_A = 25°C 时）
- 所有端口上均支持混合模式电压运行
- 内部超前功能，支持快速计数
- 用于 n 位级联的进位输出
- 同步计数
- 同步可编程
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求

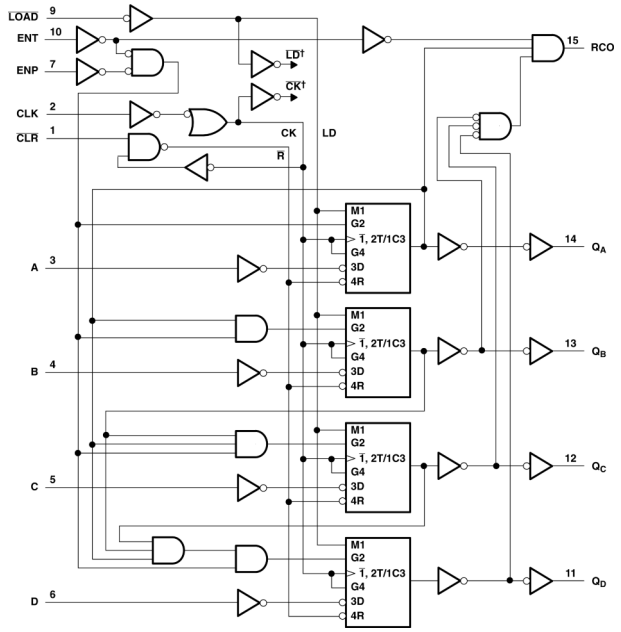
2 说明

LV163A 器件是一款 4 位同步二进制计数器，可在 2V 至 5.5V V_{CC} 下运行。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74LV163A	D（SOIC，16）	9.9mm × 6mm	9.90mm × 3.91mm
	DB（SSOP，16）	6.2mm × 7.8mm	6.20mm × 5.30mm
	DGV（TVSOP，16）	3.6mm × 6.4mm	5.00mm × 4.40mm
	NS（SOP，16）	10.2mm × 7.8mm	10.20mm x 5.30mm
	PW（TSSOP，16）	5.00mm × 6.4mm	5.00mm × 4.40mm
	RGY（VQFN，16）	4mm × 3.5mm	4.00mm × 3.50mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 说明 1
3 引脚配置和功能 3
4 规格 4
4.1 绝对最大额定值 4
4.2 ESD 等级 4
4.3 建议运行条件 4
4.4 热性能信息 5
4.5 电气特性 5
4.6 时序要求，V_{CC} = 2.5V ± 0.2V 6
4.7 时序要求，V_{CC} = 3.3V ± 0.3V 6
4.8 时序要求，V_{CC} = 5V ± 0.5V 6
4.9 开关特性，V_{CC} = 2.5V ± 0.2V 6
4.10 开关特性，V_{CC} = 3.3V ± 0.3V 7
4.11 开关特性，V_{CC} = 5V ± 0.5V 7
4.12 噪声特性 8
4.13 工作特性 8
4.14 典型的清零、预设、计数和抑制序列 8
5 参数测量信息 10
6 详细说明 12
6.1 概述 12
6.2 功能方框图 13
6.3 器件功能模式 14
7 应用和实施 15
7.1 电源相关建议 15
7.2 布局 15
8 器件和文档支持 17
8.1 文档支持 17
8.2 接收文档更新通知 17
8.3 支持资源 17
8.4 商标 17
8.5 静电放电警告 17
8.6 术语表 17
9 修订历史记录 17
10 机械、封装和可订购信息 17

Copyright © 2025 Texas Instruments Incorporated

3 引脚配置和功能

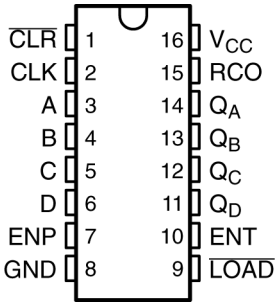


图 3-1. SN74LV163A D、DB、DGV、NS 或 PW 封装；16 引脚 SOIC、SSOP、TVSOP、SOP 或 TSSOP（顶视图）

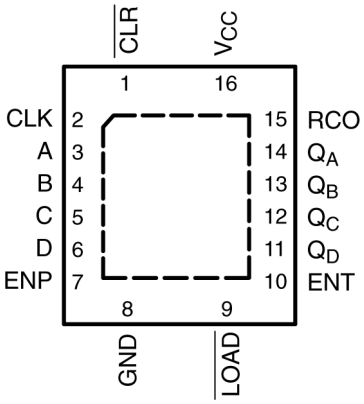


图 3-2. SN74LV163A RGY 封装，16 引脚 VQFN（顶视图）

引脚功能

名称	引脚	类型 1	说明
$\overline{CLR}$	1	I	清零，低电平有效
CLK	2	I	时钟，上升沿触发
A	3	I	加载数据 A
B	4	I	加载数据 B
C	5	I	加载数据 C
D	6	I	加载数据 D
ENP	7	I	计数启用，不影响 RCO
GND	8	—	接地
$\overline{LOAD}$	9	I	并行负载，低电平有效
ENT	10	I	计数启用，影响 RCO
Q_D	11	O	Q_D 输出
Q_C	12	O	Q_C 输出
Q_B	13	O	Q_B 输出
Q_A	14	O	Q_A 输出
RCO	15	O	纹波进位输出
V_{CC}	16	__	电源

1. I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

Copyright © 2025 Texas Instruments Incorporated

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I (2)	输入电压范围		-0.5	7	V
V_O (2)	在高电平或低电平状态下施加的输出电压范围		-0.5	V_{CC} + 0.5	V
V_O (2)	在断电状态对任一输出施加的电压范围		-0.5	7	V
I_{IK}	输入钳位电流	(V_I < 0)		-20	mA
I_{OK}	输出钳位电流	(V_O < 0)		-50	mA
I_O	持续输出电流	（V_O = 0 至 V_{CC}）		±25	mA
	通过 V_{CC} 或 GND 的持续电流			±50	mA
T_{stg}	贮存温度范围		-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。

4.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。(1)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			SN74LV163A		单位
			最小值	最大值	
V_{CC}	电源电压		2	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 2V	1.5		V
		V_{CC} = 2.3V 至 2.7V	V_{CC} × 0.7		
		V_{CC} = 3V 至 3.6V	V_{CC} × 0.7		
		V_{CC} = 4.5V 至 1.5V	V_{CC} × 0.7		
V_{IL}	低电平输入电压	V_{CC} = 2V		0.5	V
		V_{CC} = 2.3V 至 2.7V		V_{CC} × 0.3	
		V_{CC} = 3V 至 3.6V		V_{CC} × 0.3	
		V_{CC} = 4.5V 至 1.5V		V_{CC} × 0.3	
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 2V		-50	μA
		V_{CC} = 2.3V 至 2.7V		-2	mA
		V_{CC} = 3V 至 3.6V		-6	
		V_{CC} = 4.5V 至 1.5V		-12	

Copyright © 2025 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			SN74LV163A		单位
			最小值	最大值	
I_{OL}	低电平输出电流	V_{CC} = 2V		50	μA
		V_{CC} = 2.3V 至 2.7V		2	mA
		V_{CC} = 3V 至 3.6V		6	
		V_{CC} = 4.5V 至 1.5V		12	
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 2.3V 至 2.7V		200	ns/V
		V_{CC} = 3V 至 3.6V		100	
		V_{CC} = 4.5V 至 1.5V		20	
T_A	自然通风条件下的工作温度范围		-40	85	°C

(1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢变化或悬空的影响*，文献编号 SCBA004。

4.4 热性能信息

热指标(1)		SN74LV163A						单位
		D	DB	DGV	NS	PW	RGY	
		16 引脚	16 引脚	16 引脚	16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	73	82	120	64	108	39	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	SN74LV163A			单位
			最小值	典型值	最大值	
V_{OH}	I_{OH} = -50 μA	2V 至 5.5V	V_{CC}-0.1			V
	I_{OH} = -2mA	2.3V	2			
	I_{OH} = -6mA	3V	2.48			
	I_{OH} = -12mA	4.5V	3.8			
V_{OL}	I_{OL} = 50 μA	2V 至 5.5V			0.1	V
	I_{OL} = 2mA	2.3V			0.4	
	I_{OL} = 6mA	3V			0.44	
	I_{OL} = 12mA	4.5V			0.55	
I_I	V_I = 5.5V 或 GND	0V 至 5.5V			±1	μA
I_{CC}	V_I = V_{CC} 或 GND，I_O = 0	5.5V			20	μA
I_{off}	V_I 或 V_O = 0V 至 5.5V	0			5	μA
C_i	V_I = V_{CC} 或 GND	3.3V		1.8		pF

Copyright © 2025 Texas Instruments Incorporated

4.6 时序要求，V_{CC} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 2.5V ± 0.2V（除非另有说明）（请参阅负载电路和电压波形）

			T_A = 25°C		SN74LV163A		单位
			最小值	最大值	最小值	最大值	
t_w	脉冲持续时间，CLK 高电平或低电平		7		7		ns
t_{su}	CLK ↑ 前的建立时间	$\overline{CLR}$	6		6		ns
		数据（A、B、C、D）	7.5		8.5		
		ENP、ENT	9.5		11		
		$\overline{LOAD}$ 为低电平	10		11.5		
t_h	保持时间、CLK ↑ 之后的所有同步输入		1.5		1.5		ns

4.7 时序要求，V_{CC} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 3.3V ± 0.3V（除非另有说明）（请参阅负载电路和电压波形）

			T_A = 25°C		SN74LV163A		单位
			最小值	最大值	最小值	最大值	
t_w	脉冲持续时间，CLK 高电平或低电平		5		5		ns
t_{su}	CLK ↑ 前的建立时间	$\overline{CLR}$	4		4		ns
		数据（A、B、C、D）	5.5		6.5		
		ENP、ENT	7.5		9		
		$\overline{LOAD}$ 为低电平	8		9.5		
t_h	保持时间、CLK ↑ 之后的所有同步输入		1		1		ns

4.8 时序要求，V_{CC} = 5V ± 0.5V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（请参阅负载电路和电压波形）

			T_A = 25°C		SN74LV163A		单位
			最小值	最大值	最小值	最大值	
t_w	脉冲持续时间，CLK 高电平或低电平		5		5		ns
t_{su}	CLK ↑ 前的建立时间	$\overline{CLR}$	3.5		3.5		ns
		数据（A、B、C、D）	4.5		4.5		
		ENP、ENT	5		6		
		$\overline{LOAD}$ 为低电平	5		6		
t_h	保持时间、CLK ↑ 之后的所有同步输入		1		1		ns

4.9 开关特性，V_{CC} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 2.5V ± 0.2V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	负载电容	TA = 25°C			SN74LV163A		单位
				最小值	典型值	最大值	最小值	最大值	
f_{max}			C_L = 15pF	50(1)	115(1)		40		MHz
			C_L = 50pF	30	90		25		

Copyright © 2025 Texas Instruments Incorporated

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 2.5V ± 0.2V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	负载电容	TA = 25°C			SN74LV163A		单位
				最小值	典型值	最大值	最小值	最大值	
t_{pd}	CLK	Q	C_L = 15pF		8.5(1)	16.2(1)	1	19.5	ns
		RCO（计数模式）			9.1(1)	17(1)	1	20.5	
		RCO（预设模式）			12.1(1)	20.6(1)	1	24.5	
	ENT	RCO			8.7(1)	15.7(1)	1	19	
t_{pd}	CLK	Q	C_L = 50pF		11	19.2	1	22.5	ns
		RCO（计数模式）			11.9	20	1	23.5	
		RCO（预设模式）			14.6	23.6	1	27.5	
	ENT	RCO			11.7	18.7	1	22	

(1) 对于符合 MIL-PRF-38535 标准的产品，此参数未经量产测试。

4.10 开关特性，V_{CC} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 3.3V ± 0.3V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	负载电容	TA = 25°C			SN74LV163A		单位
				最小值	典型值	最大值	最小值	最大值	
f_{max}			C_L = 15pF	80(1)	160(1)		70		MHz
			C_L = 50pF	55	125		50		
t_{pd}	CLK	Q	C_L = 15pF		6.2(1)	12.8(1)	1	15	ns
		RCO（计数模式）			6.8(1)	13.6(1)	1	16	
		RCO（预设模式）			8.8(1)	17.2(1)	1	20	
	ENT	RCO			6.5(1)	12.3(1)	1	14.5	
t_{pd}	CLK	Q	C_L = 50pF		8	16.3	1	18.5	ns
		RCO（计数模式）			8.8	17.1	1	19.5	
		RCO（预设模式）			10.7	20.7	1	23.5	
	ENT	RCO			8.2	15.8	1	18	

(1) 对于符合 MIL-PRF-38535 标准的产品，此参数未经量产测试。

4.11 开关特性，V_{CC} = 5V ± 0.5V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	负载电容	TA = 25°C			SN74LV163A		单位
				最小值	典型值	最大值	最小值	最大值	
f_{max}			C_L = 15pF	135(1)	210(1)		115		MHz
			C_L = 50pF	95	160		85		

Copyright © 2025 Texas Instruments Incorporated

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	负载电容	TA = 25°C			SN74LV163A		单位
				最小值	典型值	最大值	最小值	最大值	
t_{pd}	CLK	Q	C_L = 15pF		4.7(1)	8.1(1)	1	9.5	ns
		RCO（计数模式）			5.2(1)	8.1(1)	1	9.5	
		RCO（预设模式）			6.4(1)	10.3(1)	1	12	
	ENT	RCO			4.9(1)	8.1(1)	1	9.5	
t_{pd}	CLK	Q	C_L = 50pF		6.1	10.1	1	11.5	ns
		RCO（计数模式）			6.6	10.1	1	11.5	
		RCO（预设模式）			7.8	12.3	1	14	
	ENT	RCO			6.3	10.1	1	11.5	

(1) 对于符合 MIL-PRF-38535 标准的产品，此参数未经量产测试。

4.12 噪声特性

V_{CC} = 3.3 V，C_L = 50pF，T_A = 25°C(1)

参数		SN74LV163A			单位
		最小值	典型值	最大值	
$V_{OL(P)}$	安静输出，最大动态 V_{OL}		0.3	0.8	V
$V_{OL(V)}$	安静输出，最小动态 V_{OL}		-0.2	-0.8	V
$V_{OH(V)}$	安静输出，最小动态 V_{OH}		3		V
$V_{IH(D)}$	高电平动态输入电压	2.31			V
$V_{IL(D)}$	低电平动态输入电压			0.99	V

(1) 特性仅适用于表面贴装封装。

4.13 工作特性

T_A = 25°C

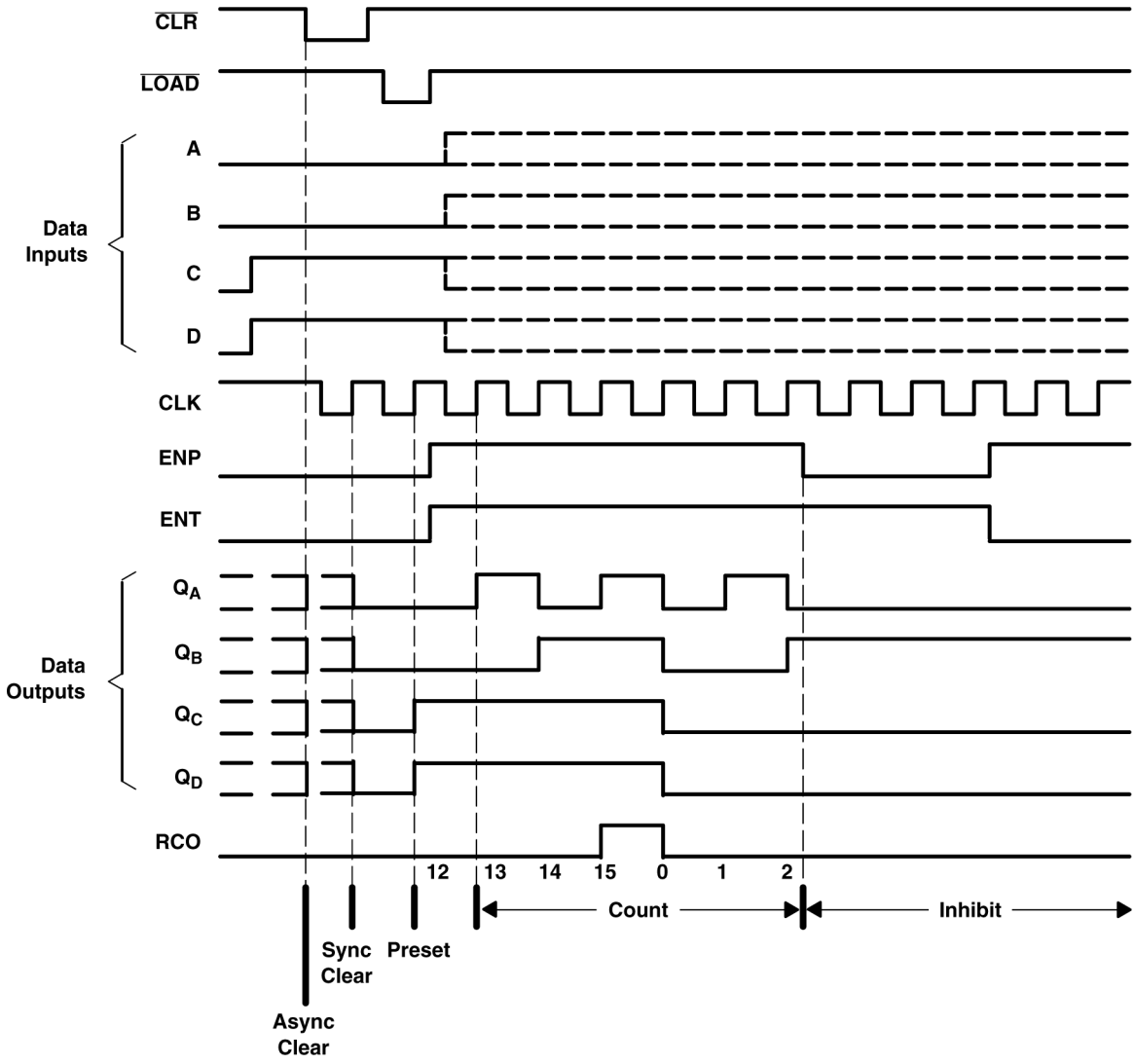
参数		测试条件		V_{CC}	典型值	单位
C_{pd}	功率耗散电容	C_L = 50pF，	f = 10MHz	3.3V	23.8	pF
				5V	26	

4.14 典型的清零、预设、计数和抑制序列

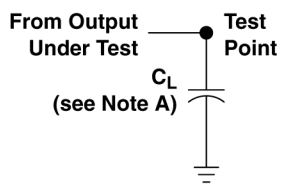
下面显示了以下序列：

1. 将输出清零（同步）
2. 预设为二进制 12
3. 计数至 13、14、15、0、1 和 2
4. 抑制

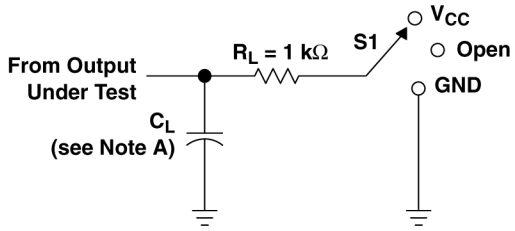
Copyright © 2025 Texas Instruments Incorporated


CLR
LOAD
Data Inputs
A
B
C
D
CLK
ENP
ENT
Data Outputs
Q_A
Q_B
Q_C
Q_D
RCO
12
13
14
15
0
1
2
Count
Inhibit
Sync Clear
Preset
Async Clear

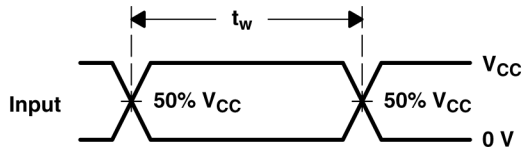
5 参数测量信息



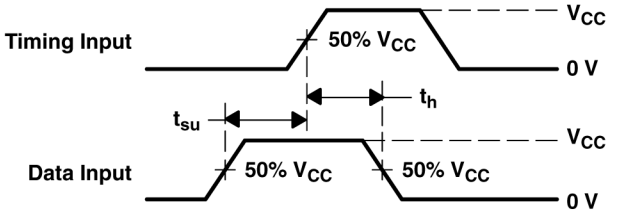
LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS



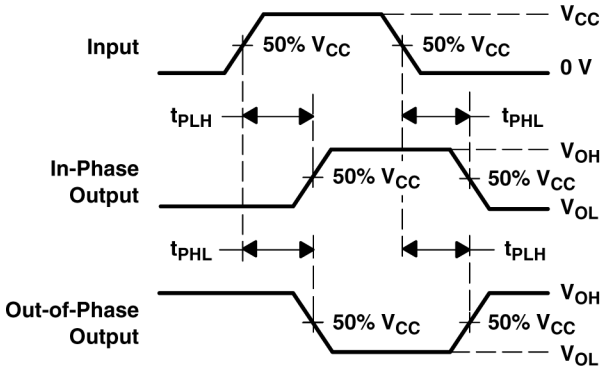
LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS



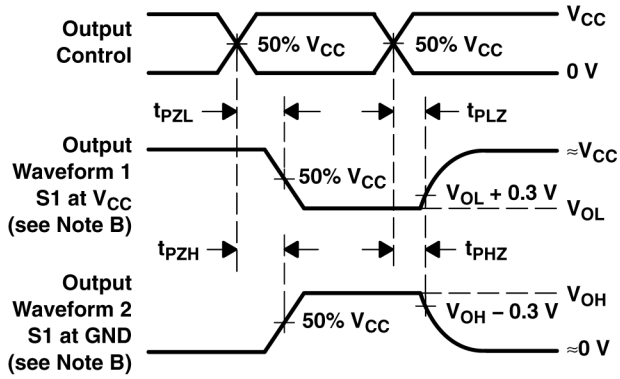
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L 包括探头和夹具电容。
B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
C. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω，t_r ≤ 3 ns，t_f ≤ 3 ns。
D. 一次测量一个输出，每次测量一个输入转换。
E. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
F. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。

Copyright © 2025 Texas Instruments Incorporated

G. t_{PHL} 和 t_{PLH} 与 t_{pd} 一样。
H. 并非所有参数和波形都适用于所有器件。

图 5-1. 负载电路和电压波形

测试	S1
t_{PLH}/t_{PHL}	开路
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
漏极开路	V_{CC}

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

LV163A 器件是一款 4 位同步二进制计数器，可在 2V 至 5.5V V_{CC} 下运行。

这些可预置的同步计数器具有内部进位超前功能，适用于高速计数设计。'LV163A 器件为 4 位二进制计数器。同步操作是通过让所有触发器同时计时来实现，这样输出变化就能与计数使能 (ENP、ENT) 输入和内部门控的指示相互同步。这个运行模式消除了通常与同步（纹波时钟）计数器相关的输出计数尖峰。缓冲时钟 (CLK) 输入在时钟波形的上升沿（正向）触发四个触发器。

这些计数器完全可编程；这意味着它们可以预设为 0 到 9 或者 0 到 15 之间的任何数字。由于预置是同步的，当负载输入端设为低电平时，会禁用计数器，并导致输出与下一个时钟脉冲后的设置数据一致，而无论使能输入端的电平如何。

LV163A 器件的清零功能是同步的。当清零 ($\overline{CLR}$) 输入端为低电平时，在 CLK 下一次从低到高转换后，所有四个触发器输出都会设为低电平，无论使能输入端的电平如何。通过将 Q 输出解码为所需的最大计数，同步清零功能可以轻松修改计数长度。用于解码的栅极的低电平有效输出连接到 $\overline{CLR}$，以将计数器同步清零至 0000 (LLLL)。

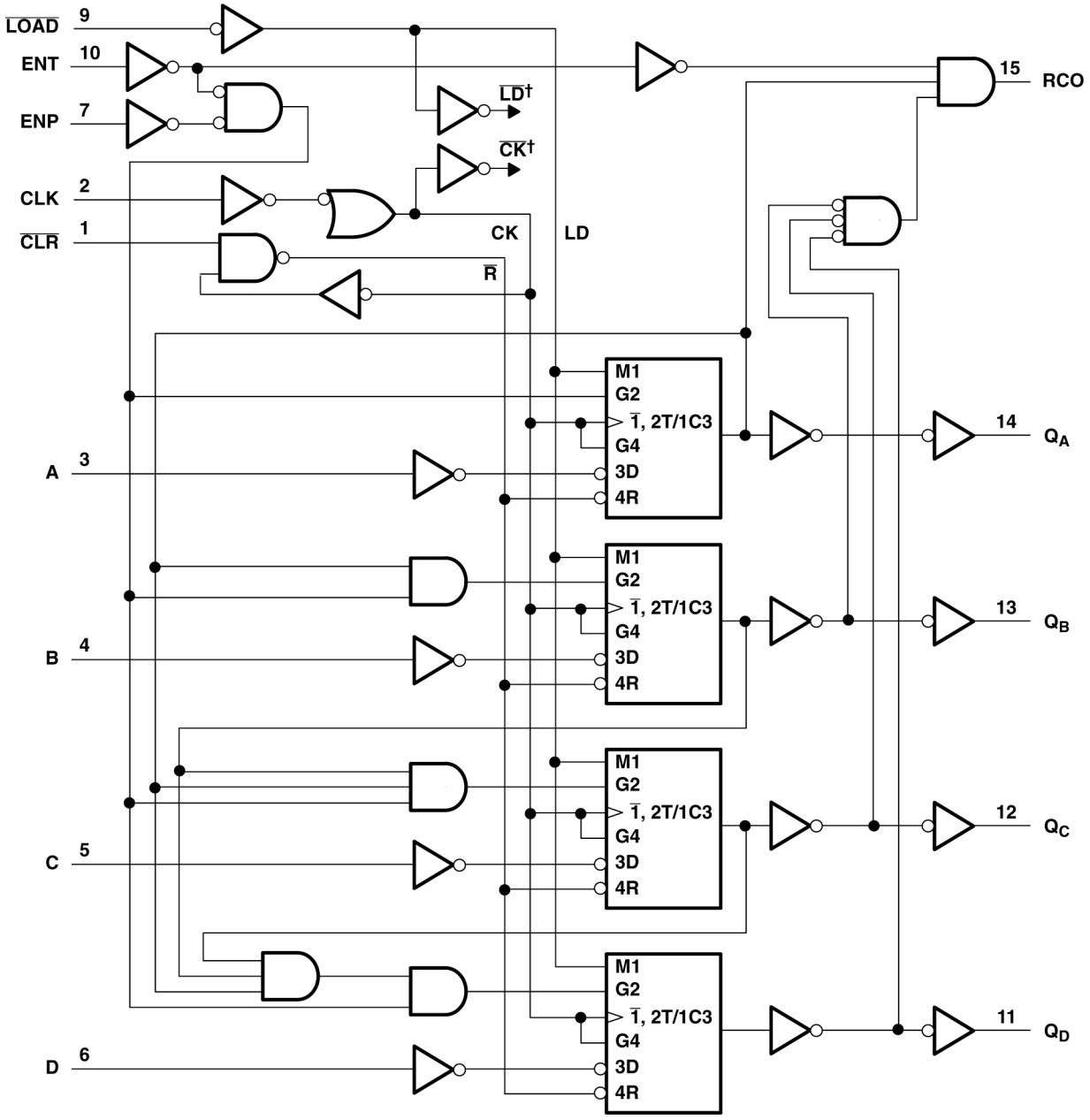
进位超前电路支持将级联计数器用于 n 位同步应用，而无需额外的选通。ENP、ENT 和纹波进位输出 (RCO) 对于实现此函数非常重要。ENP 和 ENT 都必须为高电平才能计数，并且 ENT 被前馈以启用 RCO。启用 RCO 会在计数达到最大值（9 或 15 且 Q_A 处于高电平）时产生高电平脉冲。这个高电平溢出纹波进位脉冲可用于启用连续级联级。无论 CLK 电平如何，都允许在 ENP 或 ENT 上进行转换。

这些计数器具有一个完全独立的时钟电路。改变运行模式的控制输入（ENP、ENT 或 $\overline{LOAD}$）上的变化对于计数器在计时发生前的内容没有影响。计数器的功能（无论是启用、禁用、加载还是计数）只能由符合稳定设置和保持时间要求的条件控制。

这些器件专用于使用 I_{off} 的局部断电应用。I_{off} 电路会禁用输出，从而在器件断电时防止电流回流损坏器件。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

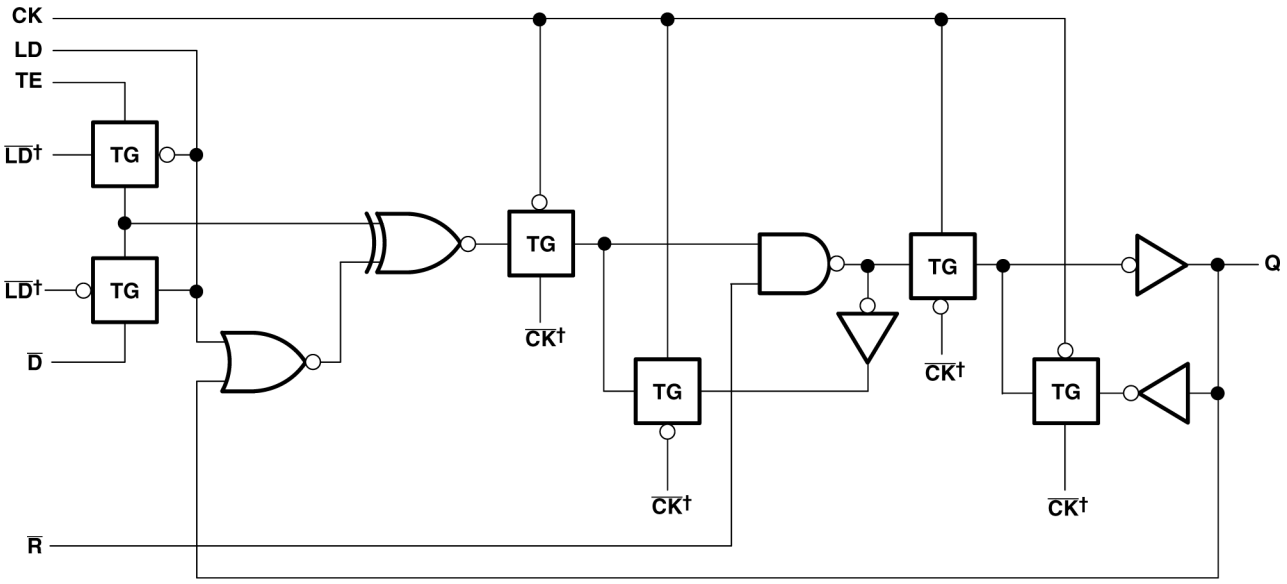


A. 为简单起见，该整体逻辑图中未显示互补信号 $\overline{LD}$ 和 $\overline{CK}$ 的布线。D/T 触发器的逻辑图中显示了这些信号的使用。

图 6-1. 逻辑图（正逻辑）

所示引脚编号用于 D、DB、DGV、J、NS、PW、RGY 和 W 封装。

Copyright © 2025 Texas Instruments Incorporated



A. 器件的整体逻辑图中显示了 $\overline{LD}$ 和 $\overline{CK}$ 的来源。

图 6-2. 逻辑图，每个 D/T 触发器（正逻辑）

6.3 器件功能模式

表 6-1. 功能表

输入					输出				功能
$\overline{CLR}$	$\overline{LOAD}$	ENP	ENT	CLK	$\overline{QA}$	QB	QC	QD	
L	X	X	X	X	L	L	L	L	复位为“0”
H	L	X	X		A	B	C	D	预设数据
H	H	X	L		没有变化				无计数
H	H	L	X		没有变化				无计数
H	H	H	H		递增计数				数量
H	X	X	X		没有变化				无计数

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的信号进行缓冲

7.2.2 布局示例

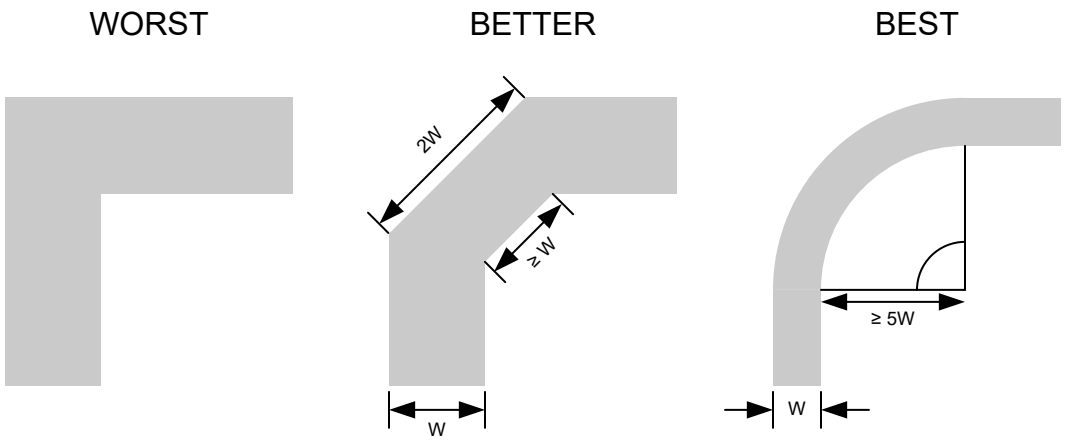


图 7-1. 可改善信号完整性的布线转角示例

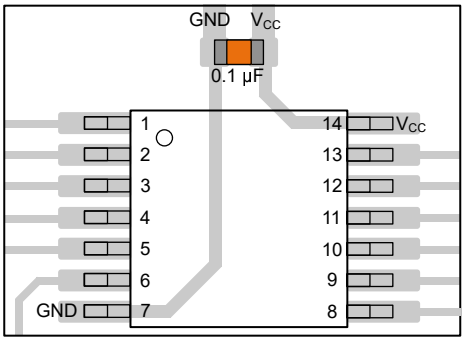


图 7-2. TSSOP 和类似封装的旁路电容器放置示例

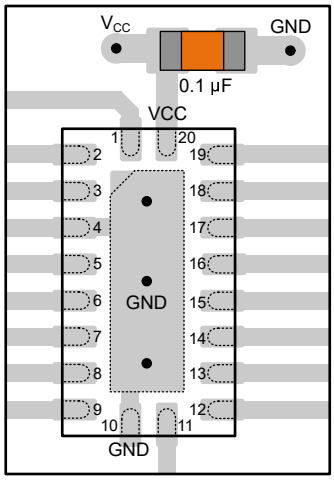


图 7-3. WQFN 和类似封装的旁路电容器放置示例

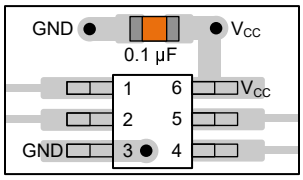


图 7-4. SOT、SC70 和类似封装的旁路电容器放置示例

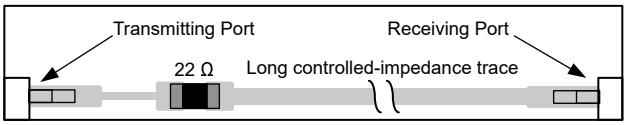


图 7-5. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用报告

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (April 2005) to Revision G (January 2025)	Page
• 添加了*封装信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*器件功能模式*、“应用和实施”部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1
• 删除了对 SN54LV163A 产品预发布的引用	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV163AD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	LV163A
SN74LV163ADBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADGVR	NRND	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADGVR.A	NRND	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADR	NRND	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADR.A	NRND	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ANSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV163A
SN74LV163ANSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV163A
SN74LV163APW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	LV163A
SN74LV163APWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	No	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	No	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ARGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ARGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LV163A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

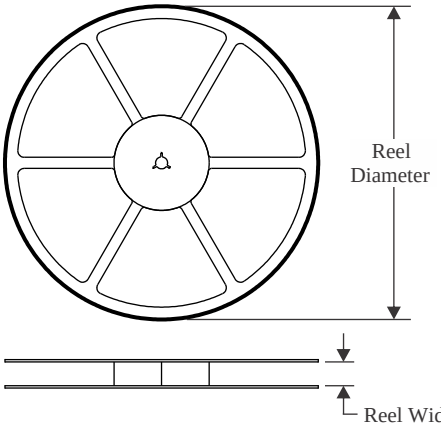
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

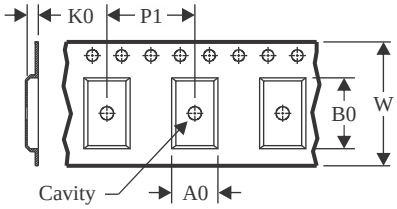
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

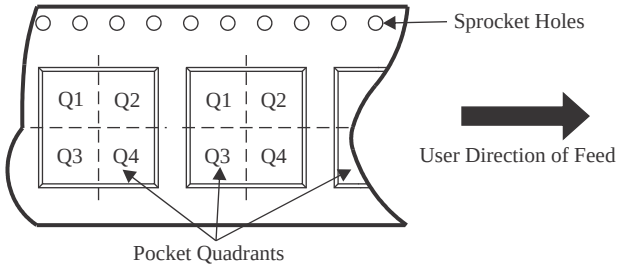


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

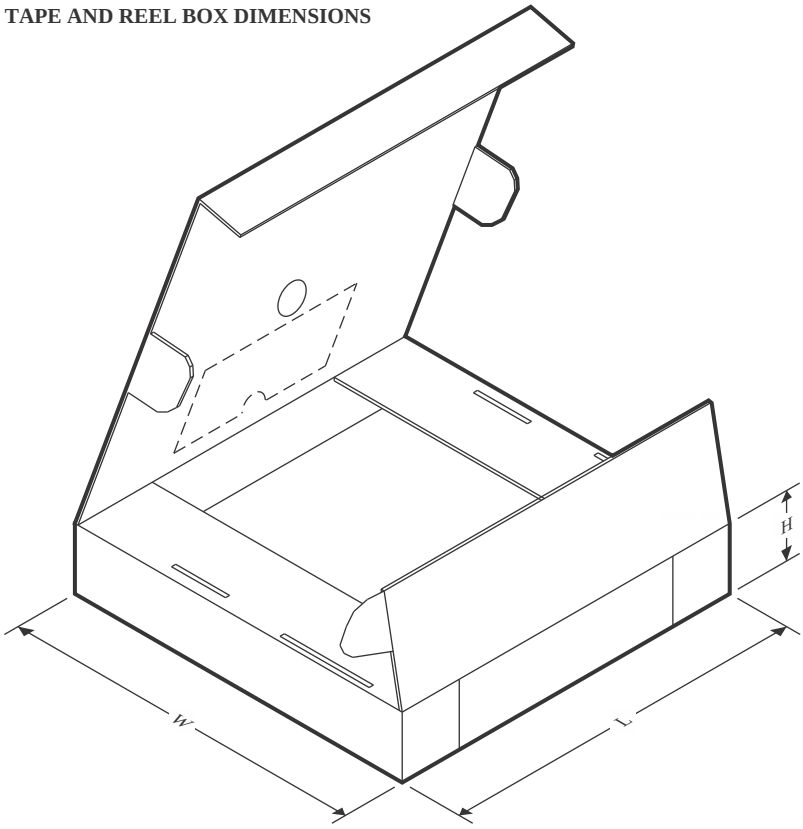
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

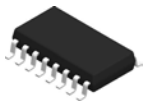
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV163ADBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LV163ADGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LV163ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74LV163ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LV163APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV163APWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV163ARGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV163ADBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74LV163ADGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74LV163ADR	SOIC	D	16	2500	353.0	353.0	32.0
SN74LV163ANSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74LV163APWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LV163APWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LV163ARGYR	VQFN	RGY	16	3000	360.0	360.0	36.0

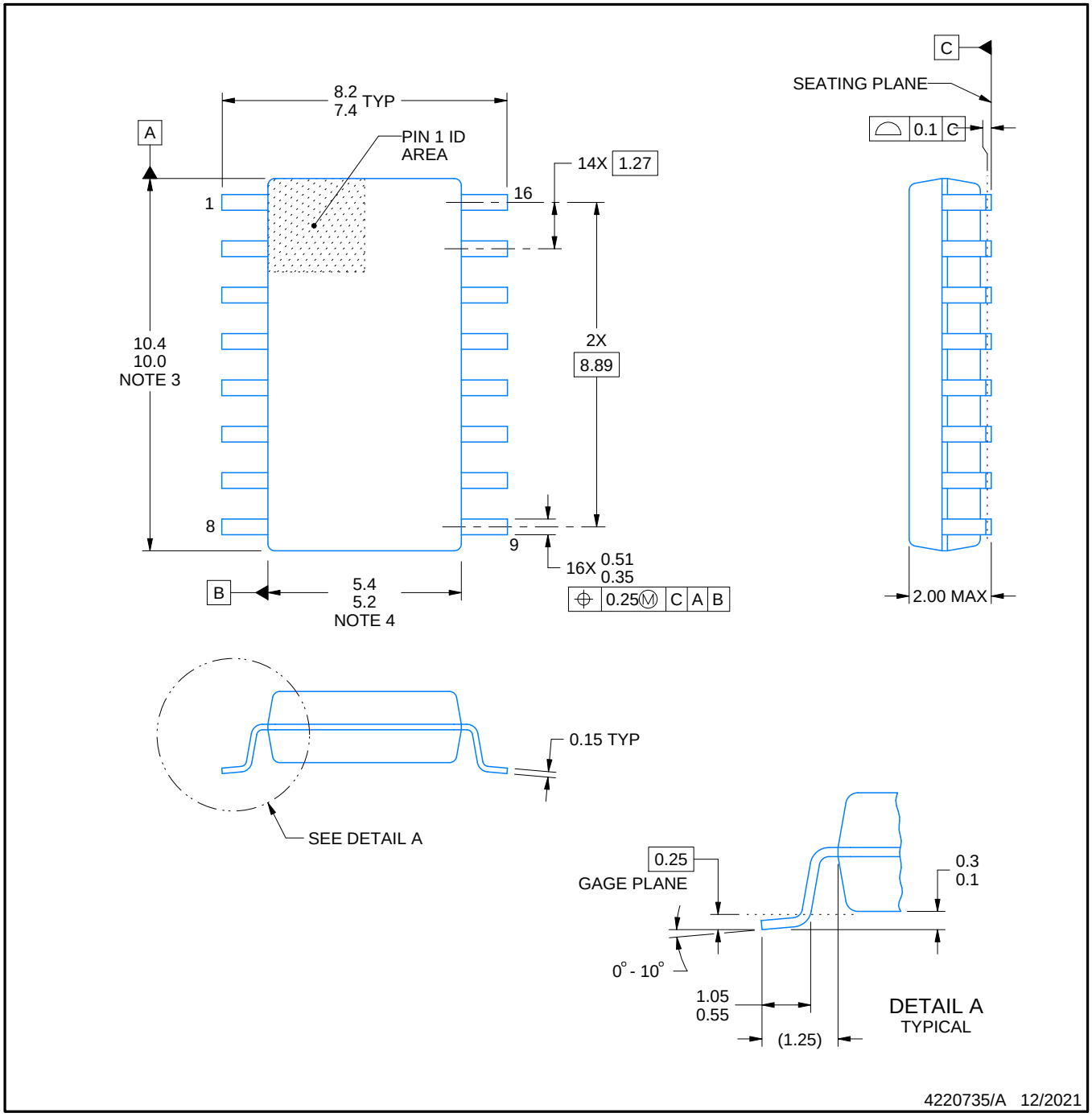


PACKAGE OUTLINE

NS0016A

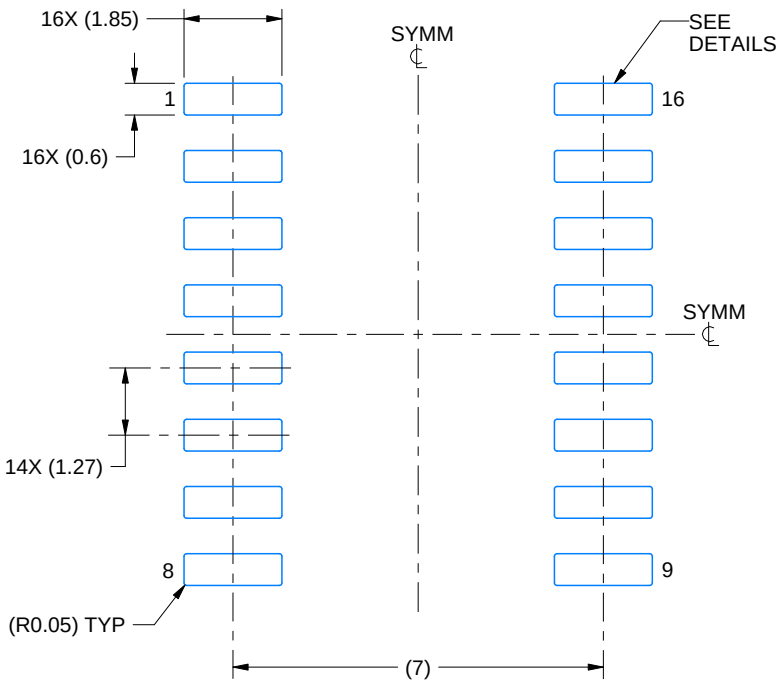
SOP - 2.00 mm max height

SOP

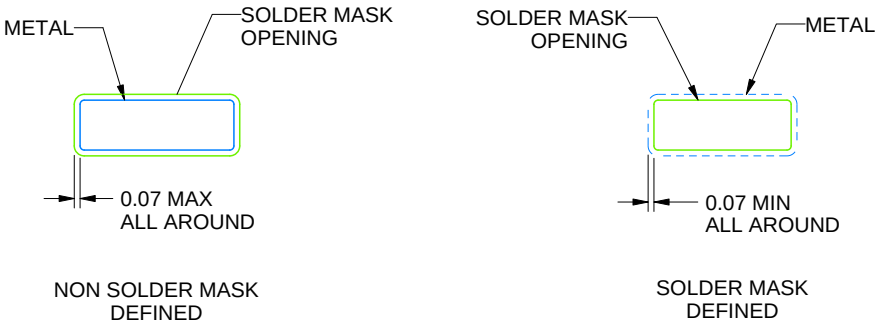


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

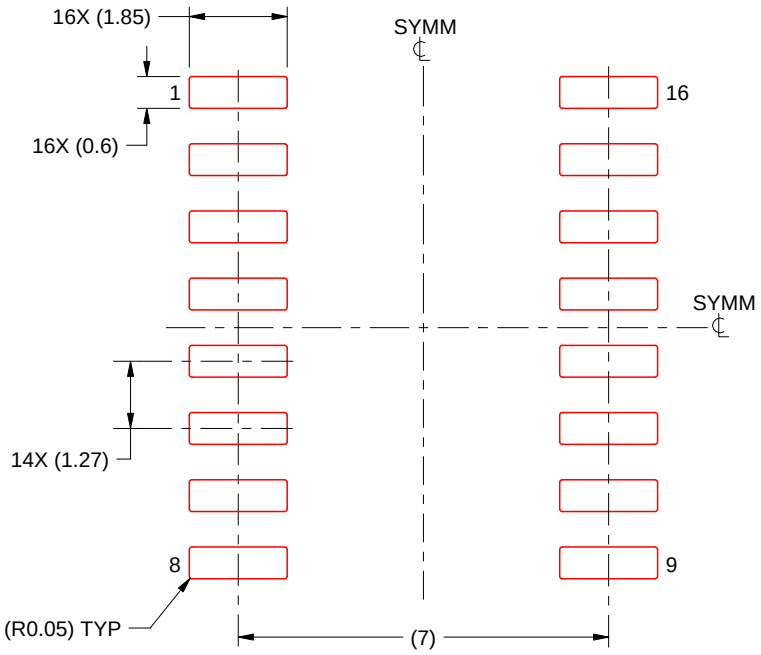
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

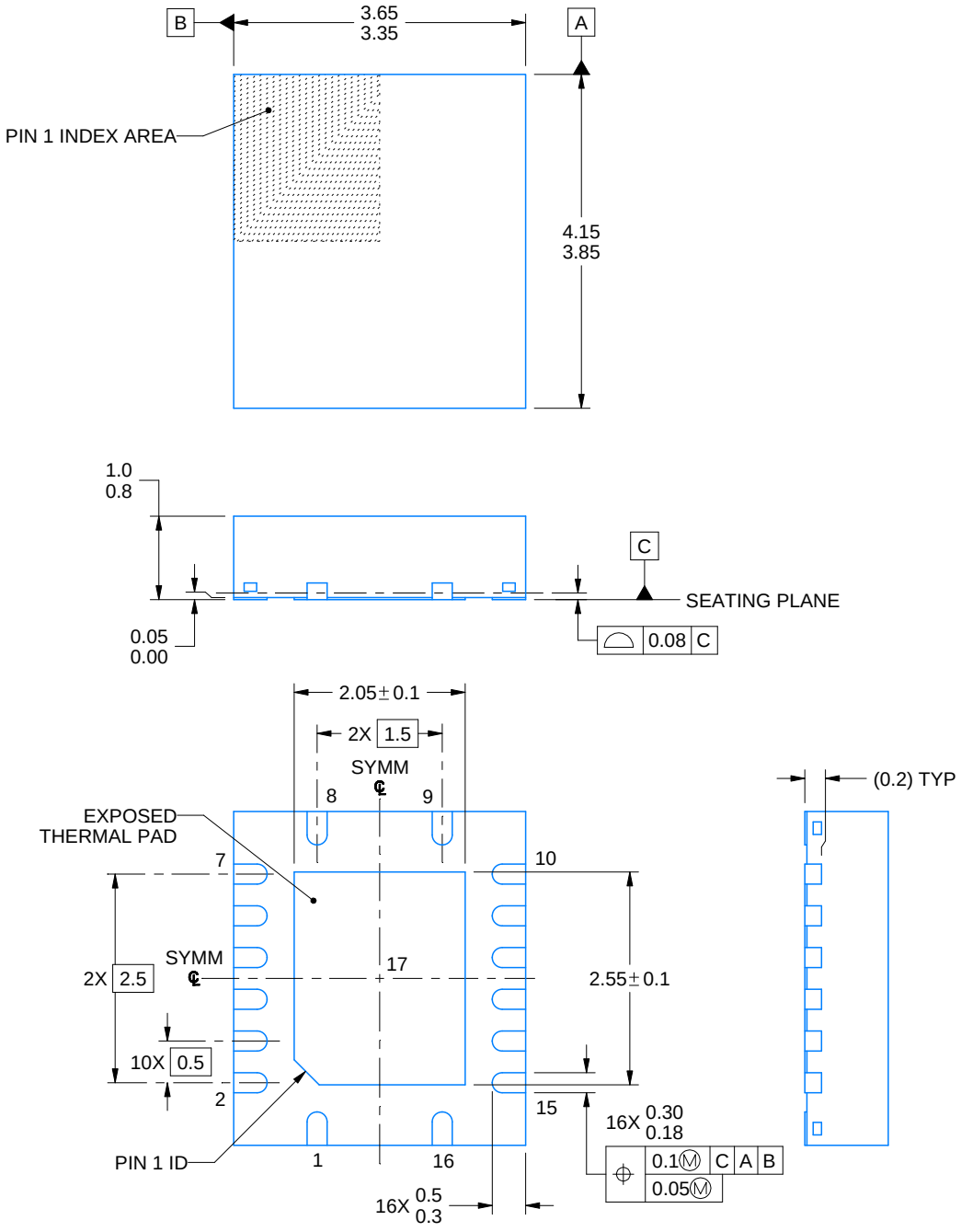
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

RGY0016A

PACKAGE OUTLINE

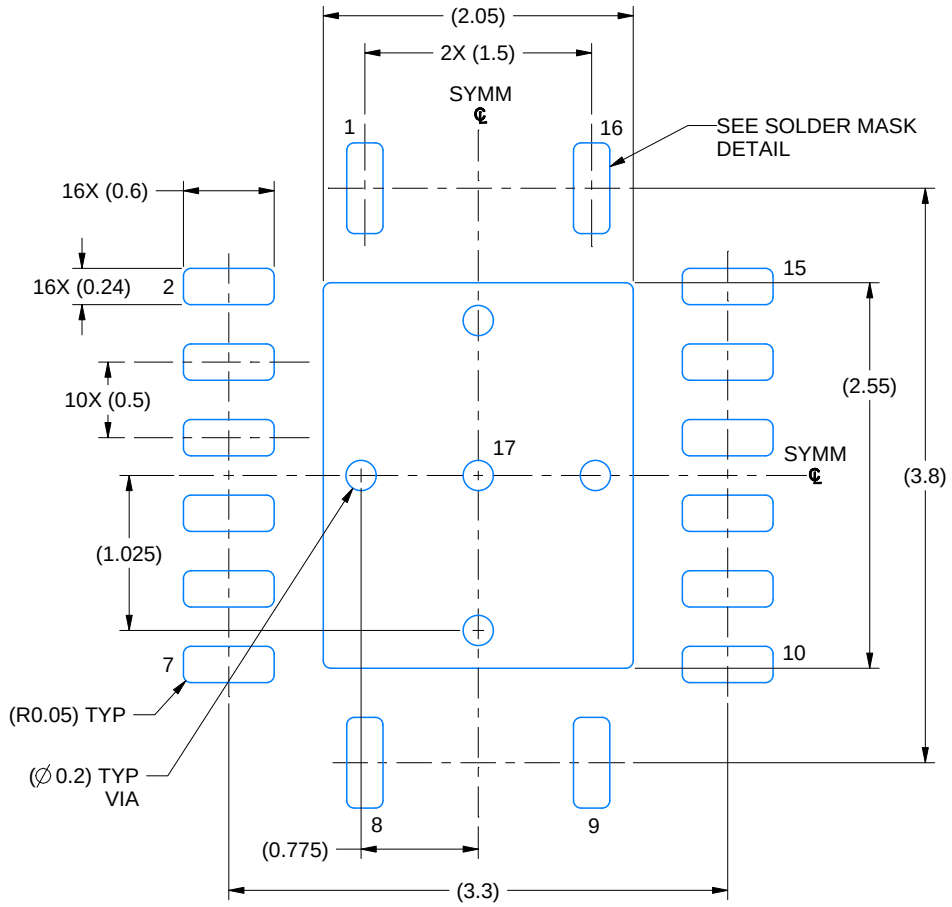
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

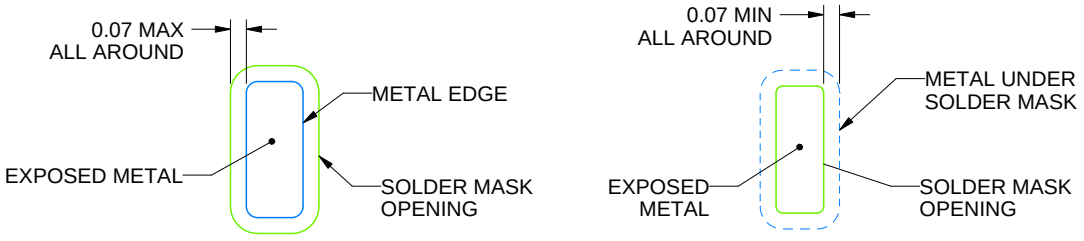


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

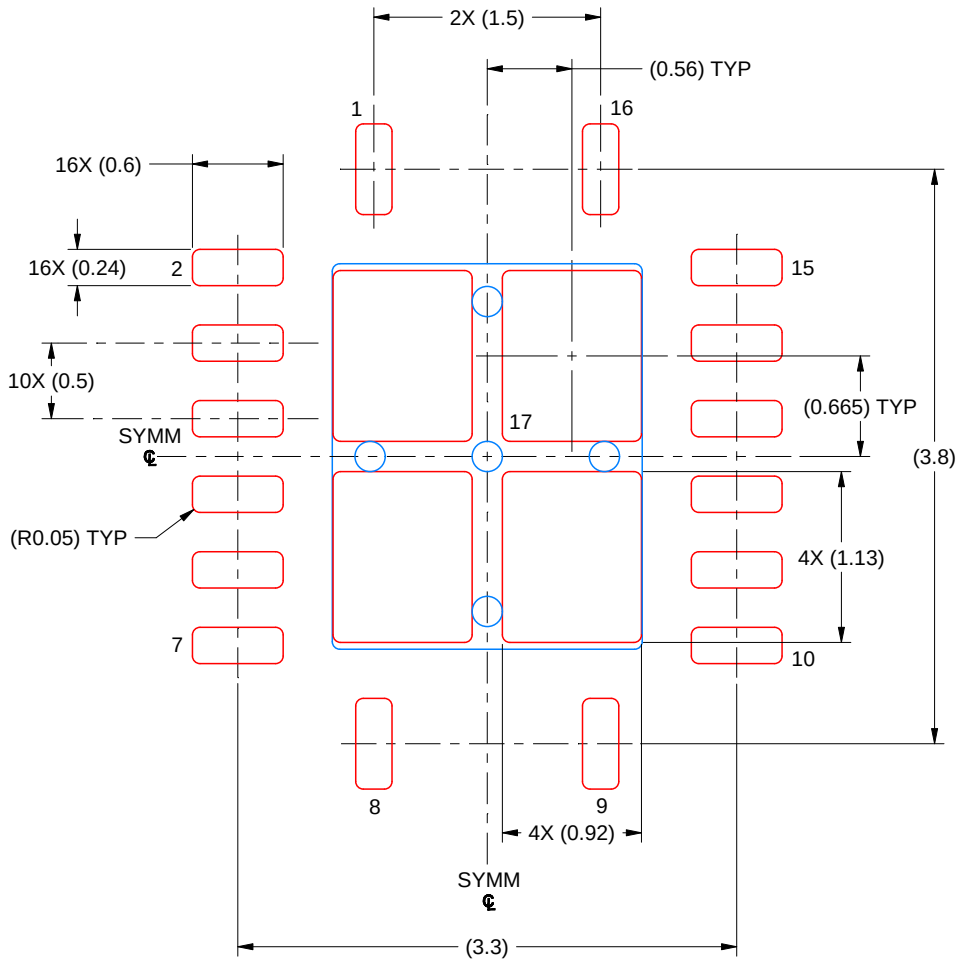


SOLDER MASK DETAILS

4225140/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

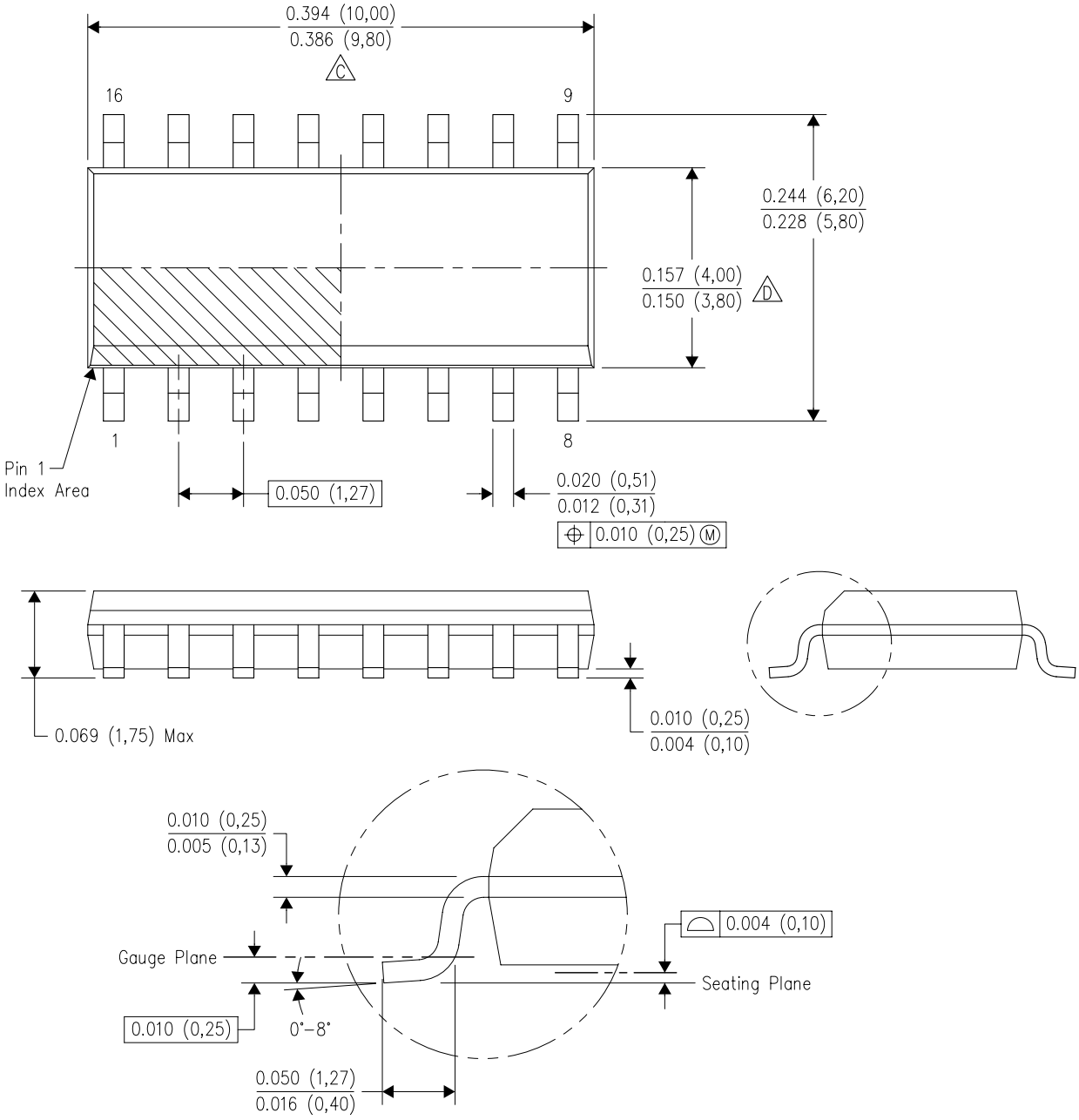
EXPOSED PAD 17
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225140/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



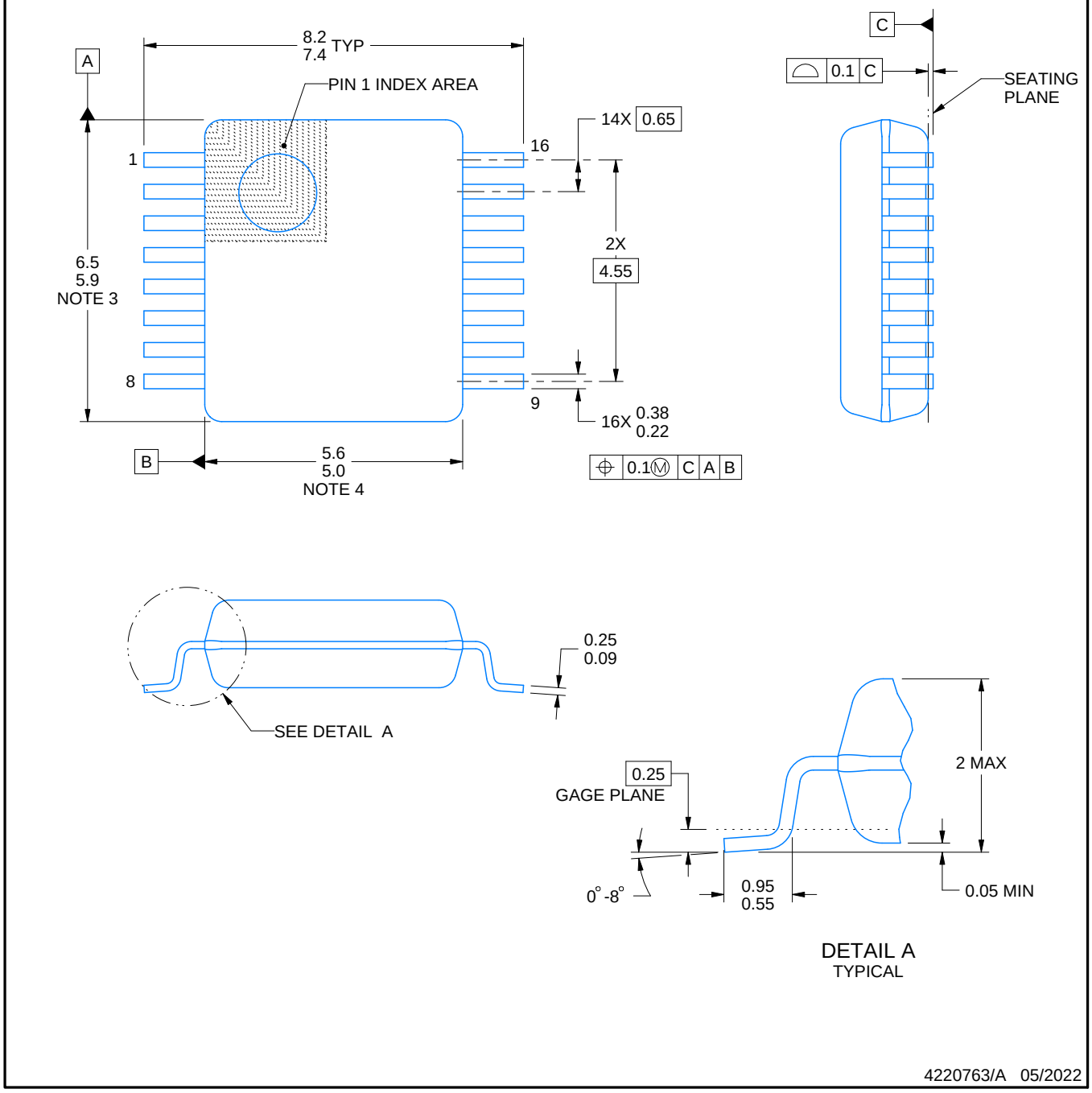
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

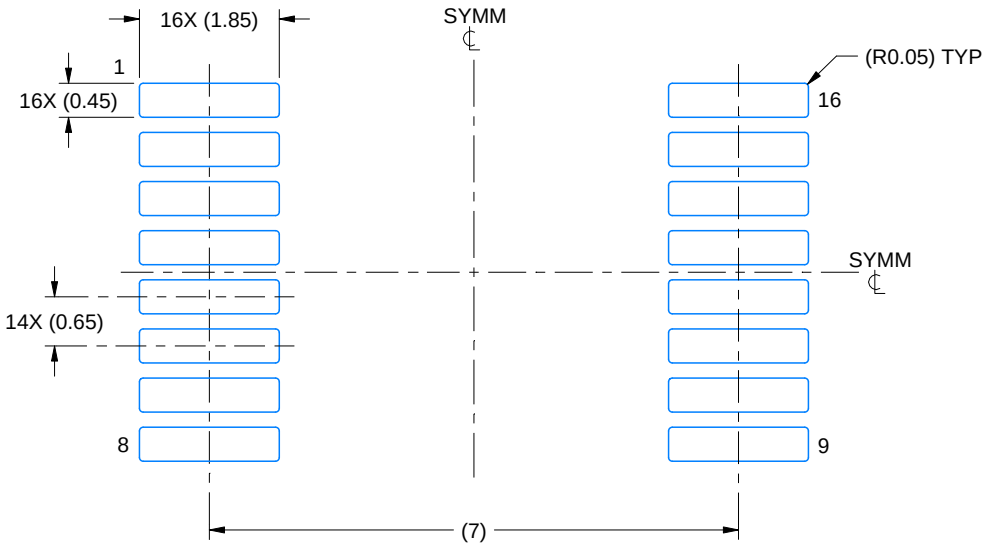
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

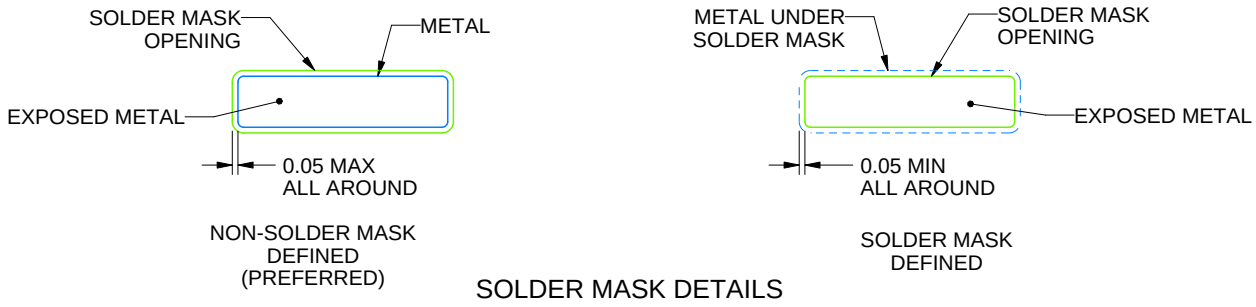


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

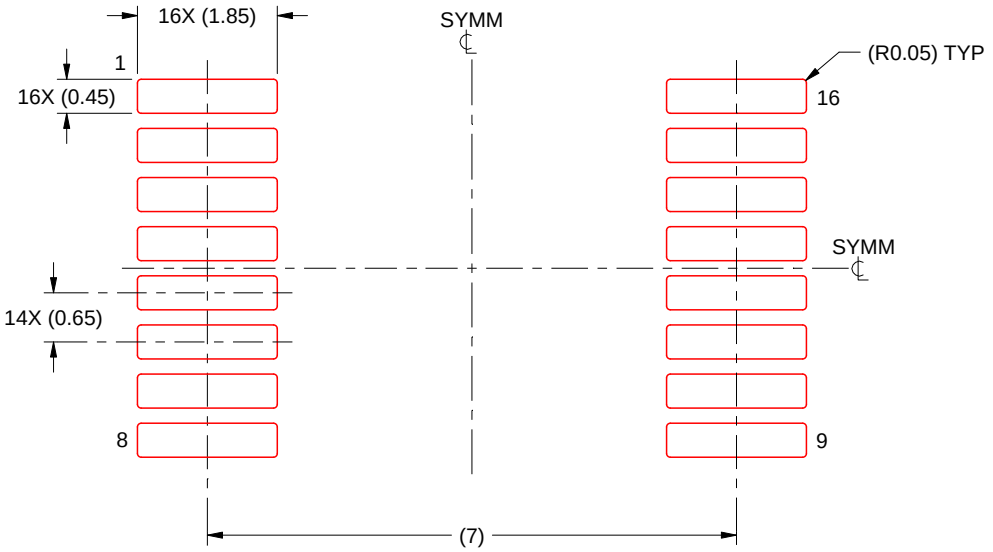


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

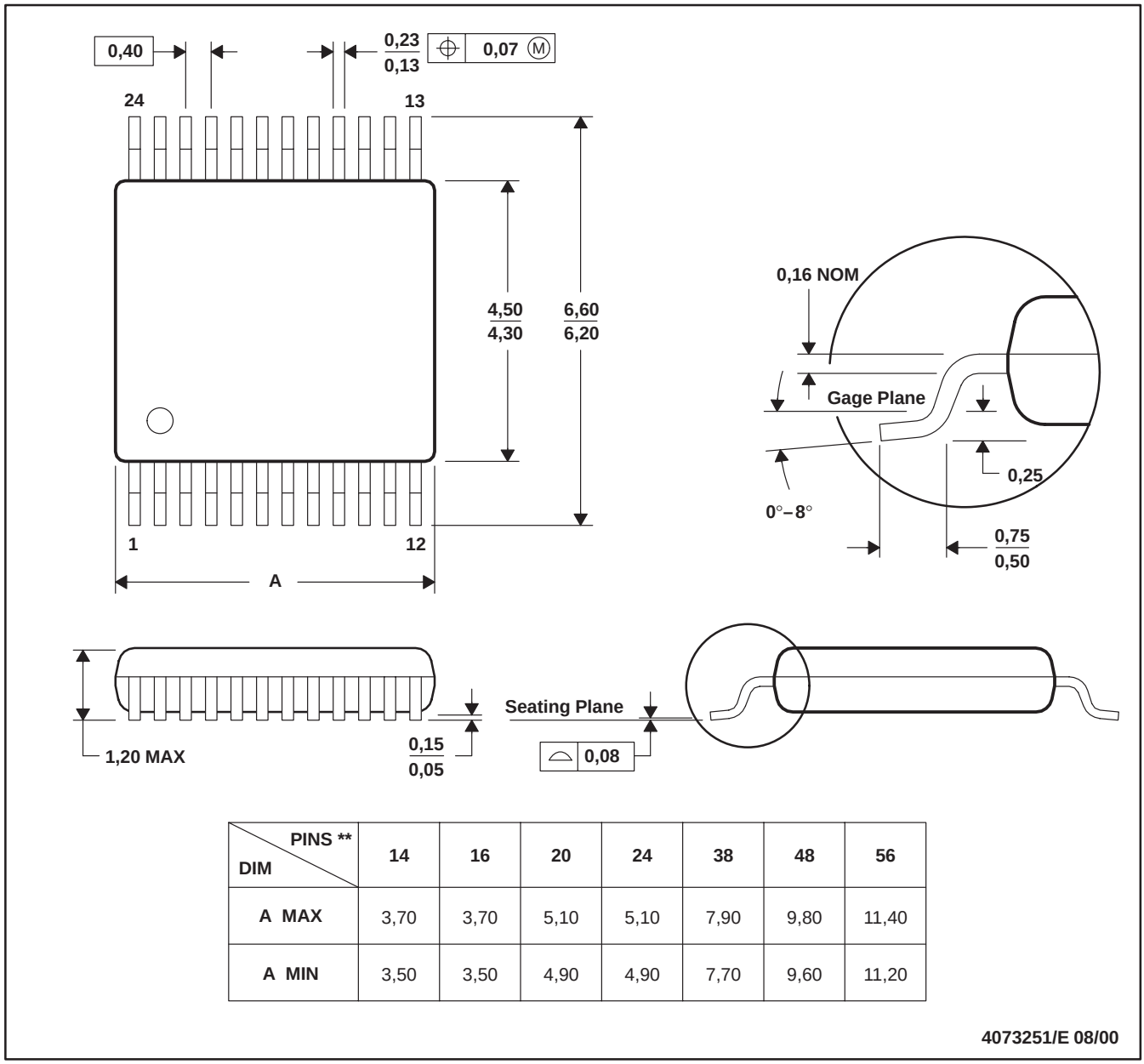
4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

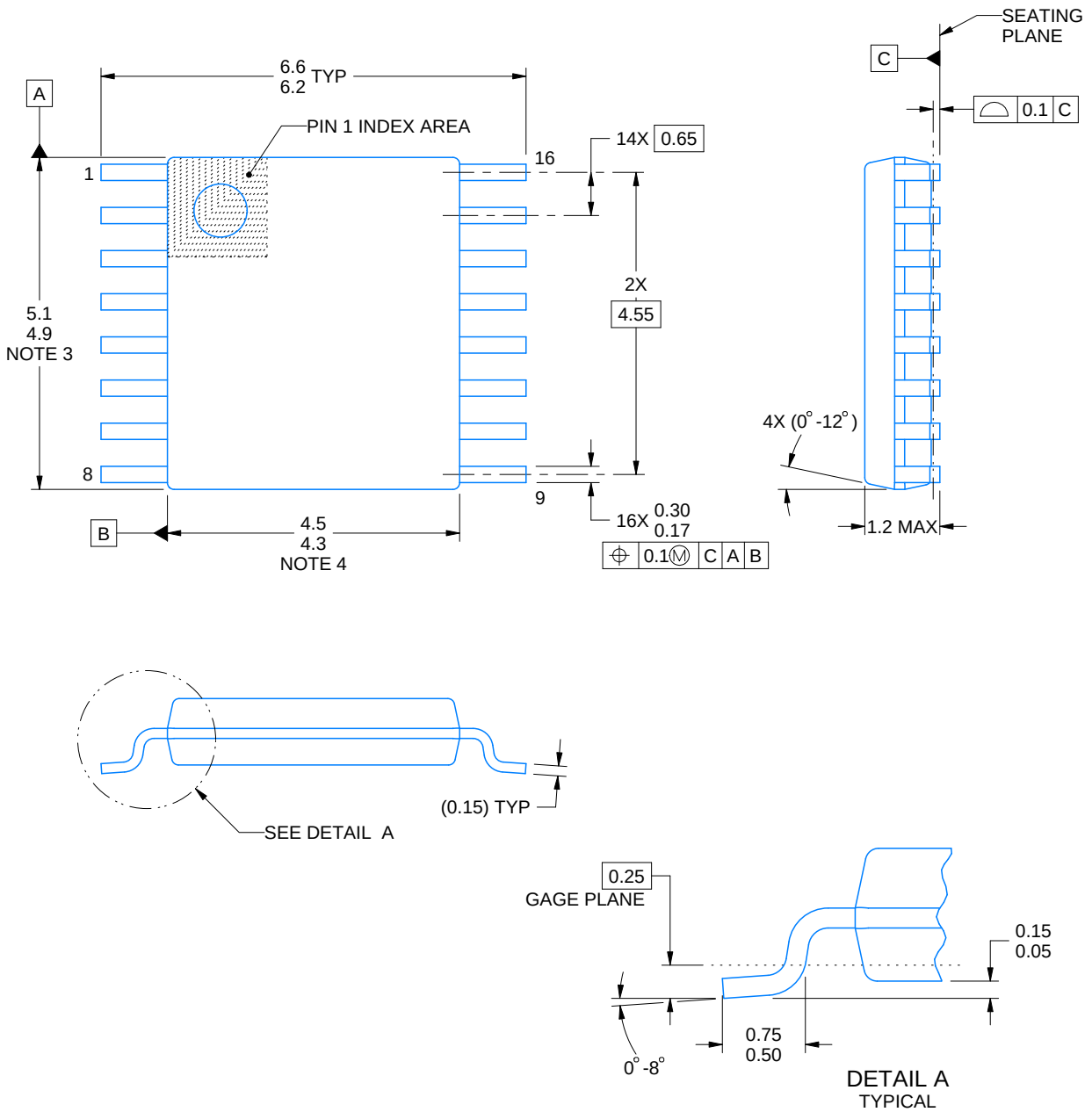
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

PW0016A

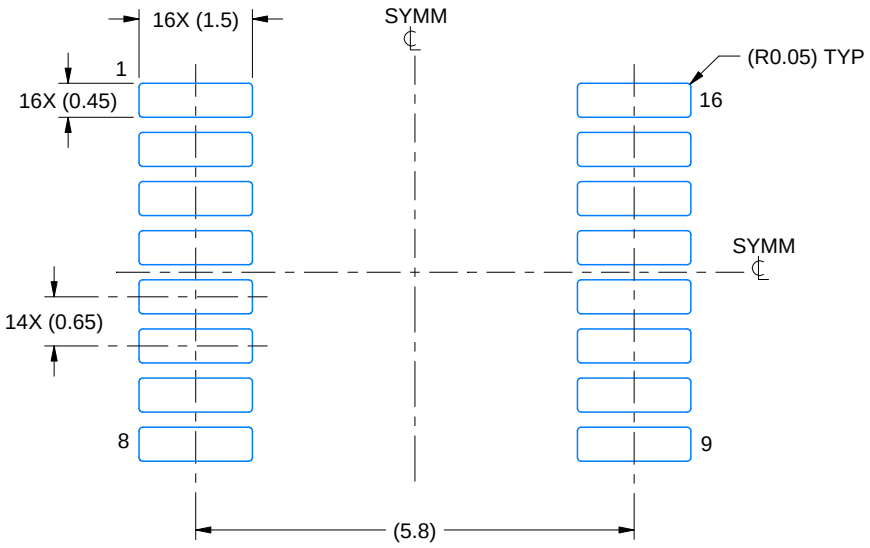
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

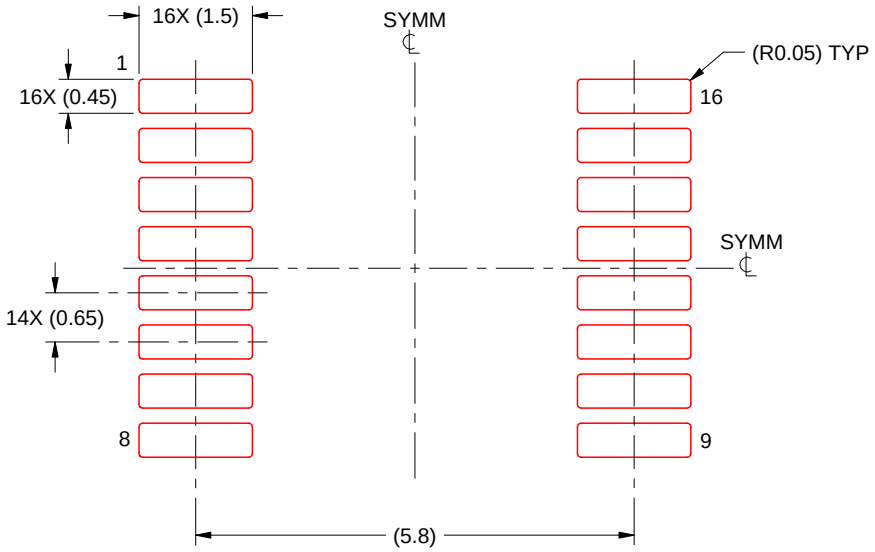


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月