AWR1843 单芯片 77GHz 至 79GHz FMCW 雷达传感器

1 特性

- FMCW 收发器
  - 集成 PLL、发送器、接收器、基带和 ADC
  - 76GHz 至 81GHz 的覆盖范围，具有 4GHz 的可用带宽
  - 四个接收通道
  - 三个发送通道
  - 基于分数 N PLL 的超精确线性调频脉冲引擎
  - TX 功率：12dBm
  - RX 噪声系数：
    - 14dB（76 至 77GHz）
    - 15dB（77 至 81GHz）
  - 1MHz 时的相位噪声：
    - –95dBc/Hz（76GHz 至 77GHz）
    - –93dBc/Hz（77GHz 至 81GHz）
- 内置校准和自检（监测）
  - 基于 Arm® Cortex®-R4F 的无线电控制系统
  - 内置固件 (ROM)
  - 针对工艺和温度进行自校准的系统
- 用于 FMCW 信号处理的 C674x DSP
- 片上存储器：2MB
- 用于物体跟踪和分类、AUTOSAR 和接口控制的 Cortex-R4F 微控制器
  - 支持自主模式（从 QSPI 闪存加载用户应用）
- 集成外设
  - 具有 ECC 的内部存储器
- 主机接口
  - CAN 和 CAN-FD
- 为用户应用提供的其他接口
  - 多达 6 个 ADC 通道
  - 多达 2 个 SPI 通道
  - 多达 2 个 UART
  - I^2C
  - GPIO
  - 用于原始 ADC 数据和调试仪表的双通道 LVDS 接口
- 器件安全（*在部分器件型号上*）
  - 支持经过身份验证和加密的安全引导
  - 具有密钥撤销功能的客户可编程根密钥、对称密钥（256 位）、非对称密钥（最高 RSA-2K）
  - 加密软件加速器 – PKA、AES（最高 256 位）、SHA（最高 256 位）、TRNG/DRGB
- 功能安全合规型
  - 专为功能安全应用开发
  - 可提供使功能安全系统设计满足 ISO 26262 ASIL-D 要求的文档
  - 硬件完整性高达 ASIL-B 级
  - 安全相关认证
    - 经 TUV SUD 进行 ISO 26262 认证达到 ASIL B 级
- 符合 AEC-Q100 标准
- 器件高级特性
  - 嵌入式自监测，无需使用主机处理器
  - 复基带架构
  - 嵌入式干扰检测功能
  - 发送路径中的可编程相位旋转器，用于实现波束形成
- 电源管理
  - 内置 LDO 网络，可增强 PSRR
  - I/O 支持双电压 3.3V/1.8V
- 时钟源
  - 支持频率为 40MHz 的外部振荡器
  - 支持外部驱动、频率为 40MHz 的时钟（方波/正弦波）
  - 支持 40MHz 晶体与负载电容器相连接
- 轻松的硬件设计
  - 0.65mm 间距、161 引脚 10.4mm × 10.4mm 倒装芯片 BGA 封装，可实现轻松组装和低成本 PCB 设计
  - 小解决方案尺寸
- 运行条件
  - 结温范围：-40°C 至 125°C

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

2 应用

- 盲点检测
- 变道辅助
- 侧向来车警示
- 泊车辅助
- 占位检测
- 手势识别

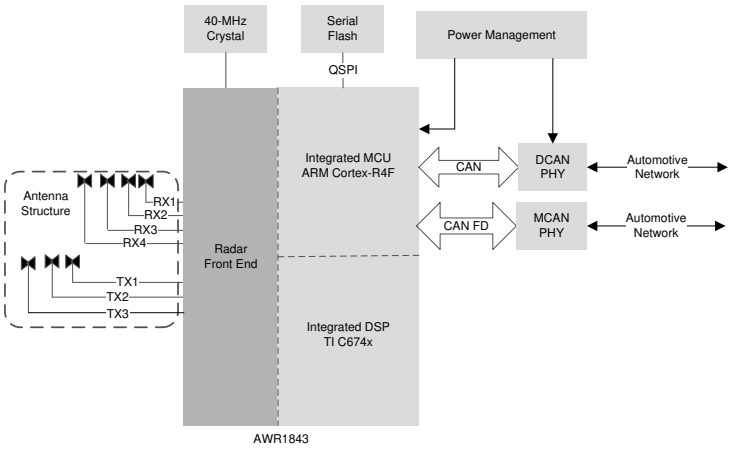


图 2-1. 适用于汽车应用的自主雷达传感器

3 说明

AWR1843 器件是一款能够在 76GHz 至 81GHz 频带中运行的集成式单芯片 FMCW 雷达传感器。该器件采用 TI 的低功耗 45nm RFCMOS 工艺进行构建，并且在超小封装中实现了出色的集成度。AWR1843 是适用于汽车领域中的低功耗、自监测、超精确雷达系统的理想解决方案。

AWR1843 器件是一种自包含 FMCW 雷达传感器单芯片解决方案，能够简化 76GHz 至 81GHz 频带中的汽车雷达传感器实施。它基于 TI 的低功耗 45nm RFCMOS 工艺构建，可实现 3TX、4RX 系统内置 PLL 和 ADC 转换器的单片集成。它集成了 DSP 子系统，该子系统包含 TI 用于雷达信号处理的高性能 C674x DSP。该器件包含一个 BIST 处理器子系统，该子系统负责无线电配置、控制和校准。此外，该器件还包含用于汽车连接的用户可编程 ARM R4F。硬件加速器区块 (HWA) 可执行雷达处理，并且有助于以更高级的算法在 DSP 上节省 MIPS。简单编程模型更改可支持各种传感器实施（近距离、中距离和远距离），并且能够进行动态重新配置，从而实现多模式传感器。此外，该器件作为完整的平台解决方案进行提供，其中包括 TI 参考设计、软件驱动程序、示例配置、API 指南以及用户文档。

器件信息

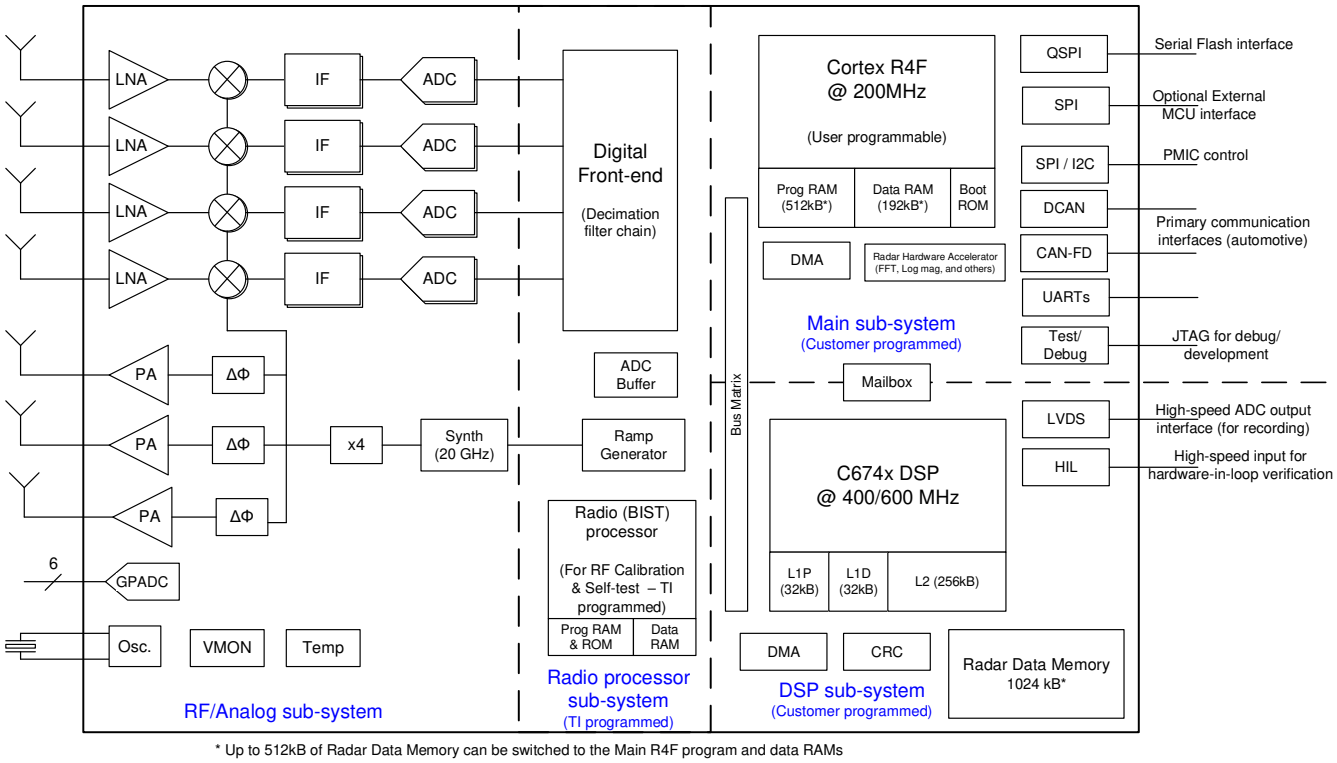
器件型号(2)	封装(1)	本体尺寸	托盘/卷带包装
AWR1843ABGABLQ1	ABL（FCBGA，161）	10.4mm × 10.4mm	托盘
AWR1843ABGABLRQ1			卷带包装
AWR1843ABSABLQ1			托盘
AWR1843ABSABLRQ1			卷带包装

(1) 如需更多信息，请参阅节 13，*机械、封装和可订购信息*。
(2) 如需更多信息，请参阅节 11.1，*器件命名规则*。

Copyright © 2024 Texas Instruments Incorporated

4 功能方框图

图 4-1 展示了器件的功能方框图



* Up to 512kB of Radar Data Memory can be switched to the Main R4F program and data RAMs

图 4-1. 功能方框图

Copyright © 2024 Texas Instruments Incorporated

内容

1 特性 1
2 应用 2
3 说明 2
4 功能方框图 3
5 器件比较 5
5.1 相关产品 6
6 端子配置和功能 7
6.1 引脚图 7
6.2 信号说明 11
6.3 引脚属性 16
7 规格 24
7.1 绝对最大额定值 24
7.2 ESD 等级 24
7.3 上电小时数 (POH) 24
7.4 建议运行条件 25
7.5 电源规格 26
7.6 功耗摘要 27
7.7 射频规格 28
7.8 CPU 规格 29
7.9 FCBGA 封装的热阻特性 [ABL0161] 29
7.10 时序和开关特性 30
8 详细说明 53
8.1 概述 53
8.2 功能方框图 53
8.3 子系统 54
8.4 其他子系统 61
9 监控和诊断 63
9.1 监测和诊断机制 63
10 应用、实施和布局 67
10.1 应用信息 67
10.2 短距离和中距离雷达 67
10.3 参考原理图 68
11 器件和文档支持 69
11.1 器件命名规则 69
11.2 工具与软件 70
11.3 文档支持 70
11.4 支持资源 70
11.5 商标 70
11.6 静电放电警告 71
11.7 术语表 71
12 修订历史记录 72
13 机械、封装和可订购信息 74
13.1 封装信息 74
13.2 的托盘信息 78

Copyright © 2024 Texas Instruments Incorporated

5 器件比较

功能		AWR1243	AWR1443	AWR1642	AWR1843 (1)
接收器数量		4	4	4	4
发送器数量		3	3	2	3
片上存储器		—	576KB	1.5MB	2MB
最大 I/F（中频）(MHz)		15	5	5	10
最大实数/复数 2x 采样率 (Msps)		37.5	12.5	12.5	25
最大复数 1x 采样率 (Msps)		18.75	6.25	6.25	12.5
器件安全性(2)		—	—	是	是
处理器					
MCU (R4F)		—	是	是	是
DSP (C674x)		—	—	是	是
外设					
串行外设接口 (SPI) 端口		1	1	2	2
四线串行外设接口 (QSPI)		—	是	是	是
内部集成电路 (I^2C) 接口		—	1	1	1
控制器局域网 (DCAN) 接口		—	是	是	是
CAN-FD		—	—	是	是
迹线		—	—	是	是
PWM		—	—	是	是
硬件在环 (HIL/DMM)		—	—	是	是
GPADC		—	是	是	是
LVDS/调试(3)		是	是	是	是
CSI2		是	—	—	—
硬件加速器		—	是	—	是
1V 旁路模式		是	是	是	是
级联（20GHz 同步）		—	—	—	—
JTAG		—	是	是	是
可以同时使用的 TX 数量		2	2	2	3(4)
每个线性调频脉冲可配置 Tx 移相器		—	—	—	是
产品状态(5)	产品预发布 (PP)、 预告信息 (AI) 或量产数据 (PD)	PD	PD	PD	PD

(1) 该器件专为功能安全应用而开发，支持高达 ASIL-B 的硬件完整性。更多详细信息，请参阅相关文档。
(2) 器件安全特性（包括安全启动和客户可编程密钥）仅适用于如第 3 节“器件信息表”中的器件类型标识符所示的部分器件型号变体。
(3) LVDS 接口不是生产接口，仅用于调试。
(4) 仅在 AWR1843 中在 1V LDO 旁路和 PA LDO 禁用模式下支持 3 个 Tx 同时运行。在这种模式下，需要将 1V 电源连接到 VOUT PA 引脚。其他器件仅支持 2 个发送器同时运行。
(5) 产品数据信息为发布时的信息。产品符合按照德州仪器 (TI) 标准保修证书条款所制定的规范。生产流程不一定包含对所有参数的测试。

Copyright © 2024 Texas Instruments Incorporated

5.1 相关产品

有关该系列产品或相关产品中的其他器件的信息，请参阅下面的链接。

毫米波传感器	TI 毫米波传感器产品系列可快速准确地检测距离、角度和速度，功耗更低，尺寸超小，适用于汽车应用。
汽车毫米波传感器	TI 的汽车毫米波传感器产品系列为超高分辨率、小型和低功耗单芯片雷达解决方案提供高性能雷达前端。利用 TI 的可扩展传感器产品系列，可以为所有车辆中从舒适功能到安全功能的每种性能、应用和传感器配置设计和开发 ADAS 系统解决方案。
AWR1843 配套产品	查看经常购买或与本产品一起使用的产品。
AWR1843 的参考设计	TI Designs 参考设计库是一个涵盖模拟、嵌入式处理器和连接的强大参考设计资源库。所有 TI Designs 均由 TI 专家构建，旨在帮助您着手进行系统设计，其中包括原理图或方框图、BOM 和设计文件，助您加快产品上市步伐。在 ti.com/tidesigns 中搜索并下载设计。

Copyright © 2024 Texas Instruments Incorporated

6 端子配置和功能

6.1 引脚图

图 6-1 显示了 161 引脚 FCBGA 封装的引脚位置。 图 6-2、图 6-3、图 6-4 和图 6-5 显示了相同的引脚，但分为四个象限。

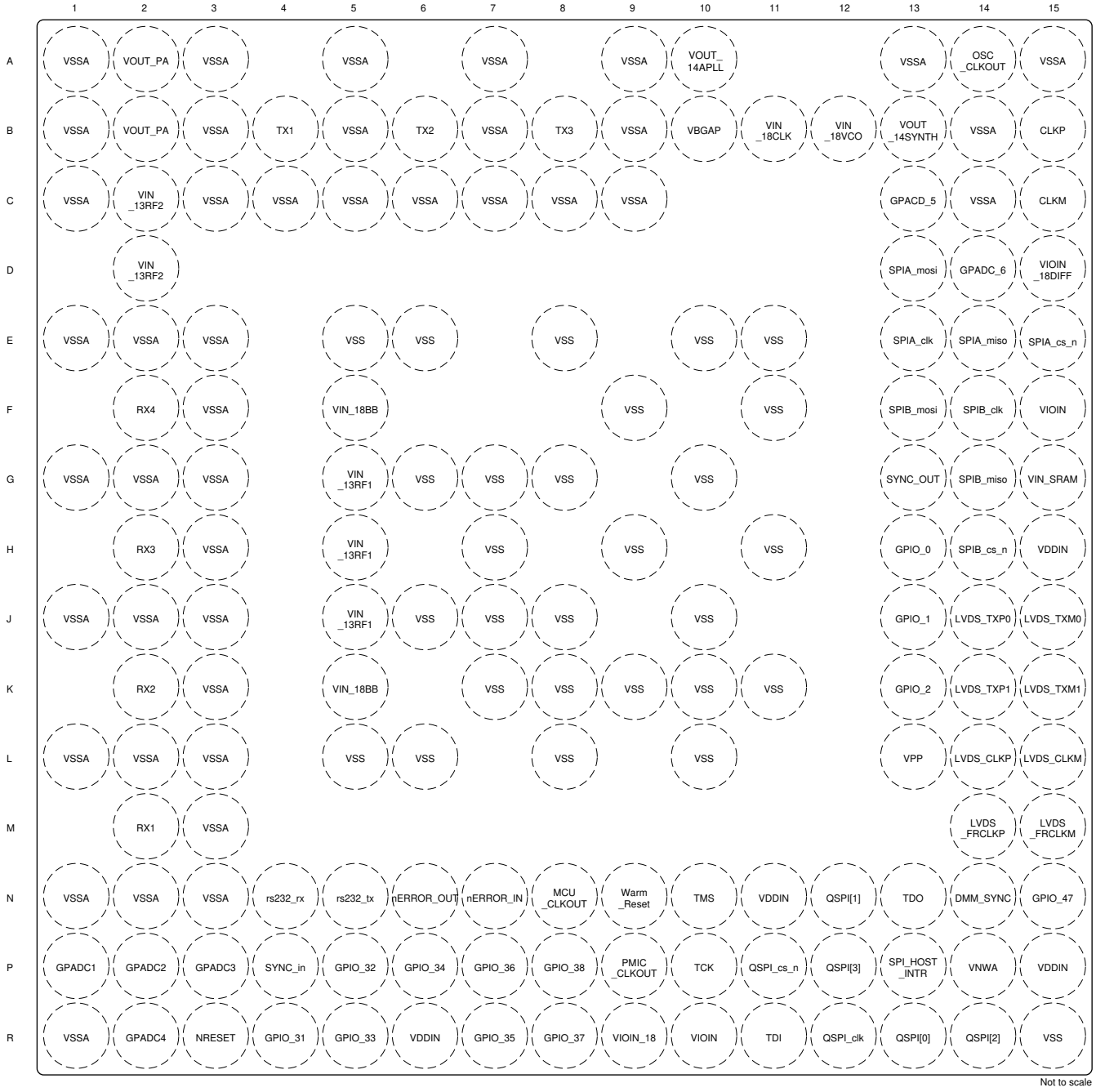


图 6-1. 引脚图

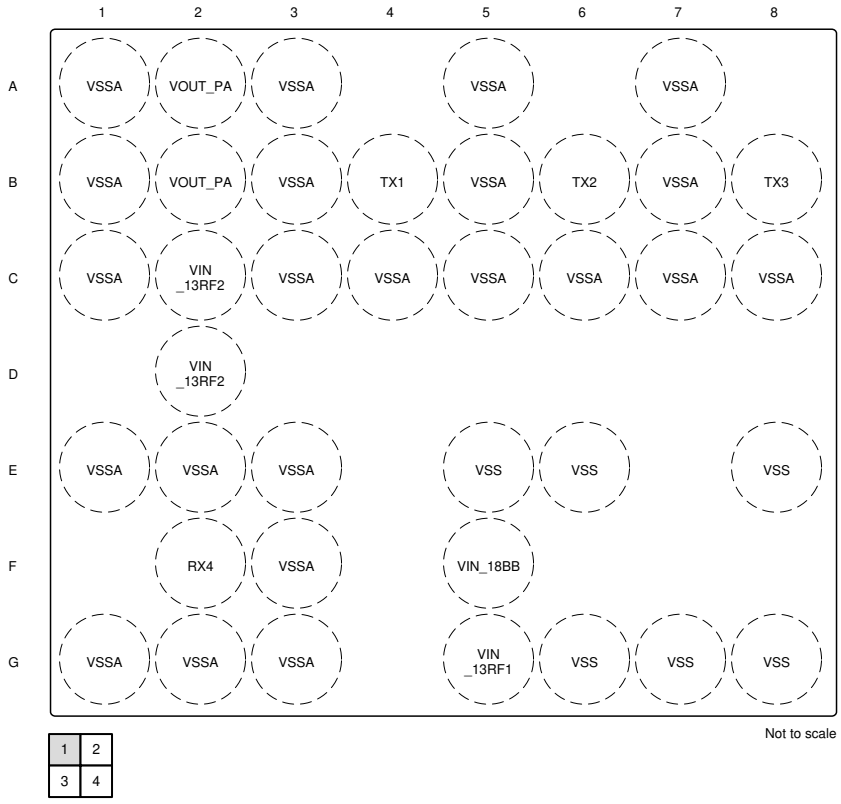


图 6-2. 左上象限

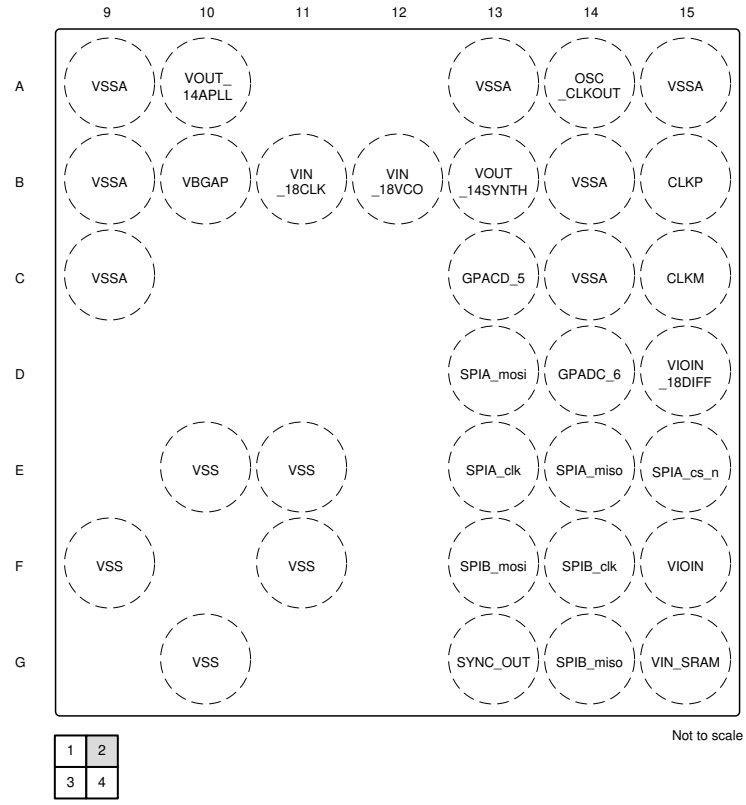


图 6-3. 右上象限

Copyright © 2024 Texas Instruments Incorporated

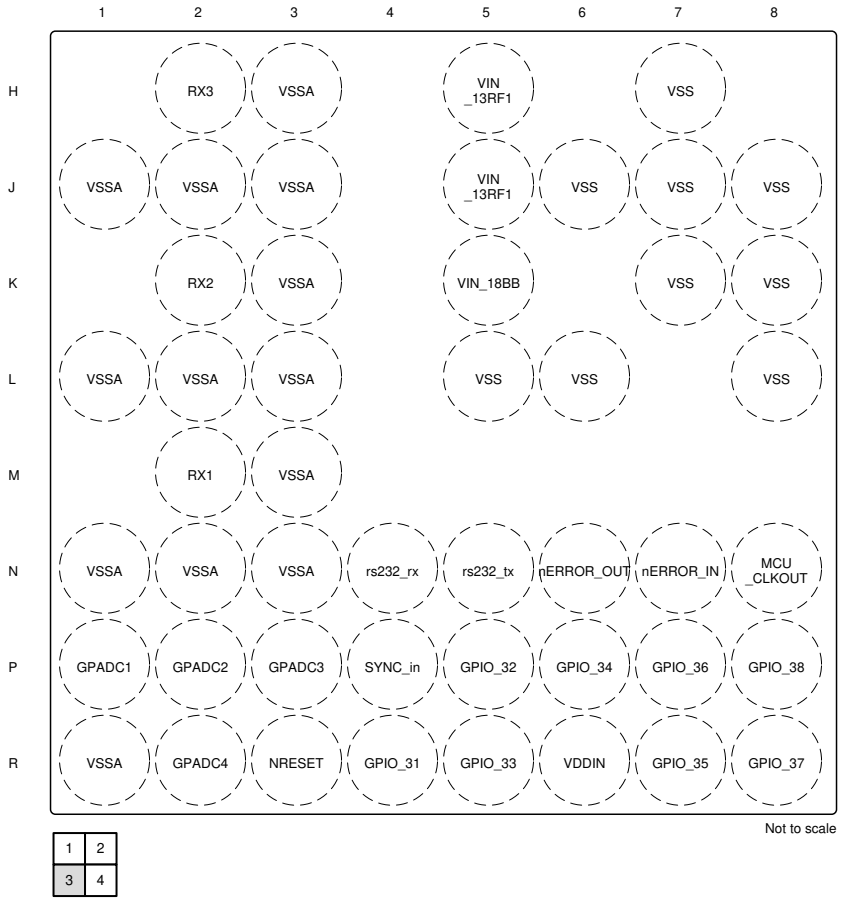

1 2 3 4 5 6 7 8
H RX3 VSSA VIN _13RF1 VSS
J VSSA VSSA VSSA VIN _13RF1 VSS VSS VSS
K RX2 VSSA VIN_18BB VSS VSS
L VSSA VSSA VSSA VSS VSS VSS
M RX1 VSSA
N VSSA VSSA VSSA rs232_rx rs232_tx nERROR_OUT nERROR_IN MCU _CLKOUT
P GPADC1 GPADC2 GPADC3 SYNC_in GPIO_32 GPIO_34 GPIO_36 GPIO_38
R VSSA GPADC4 NRESET GPIO_31 GPIO_33 VDDIN GPIO_35 GPIO_37
Not to scale
1 2
3 4

图 6-4. 左下象限

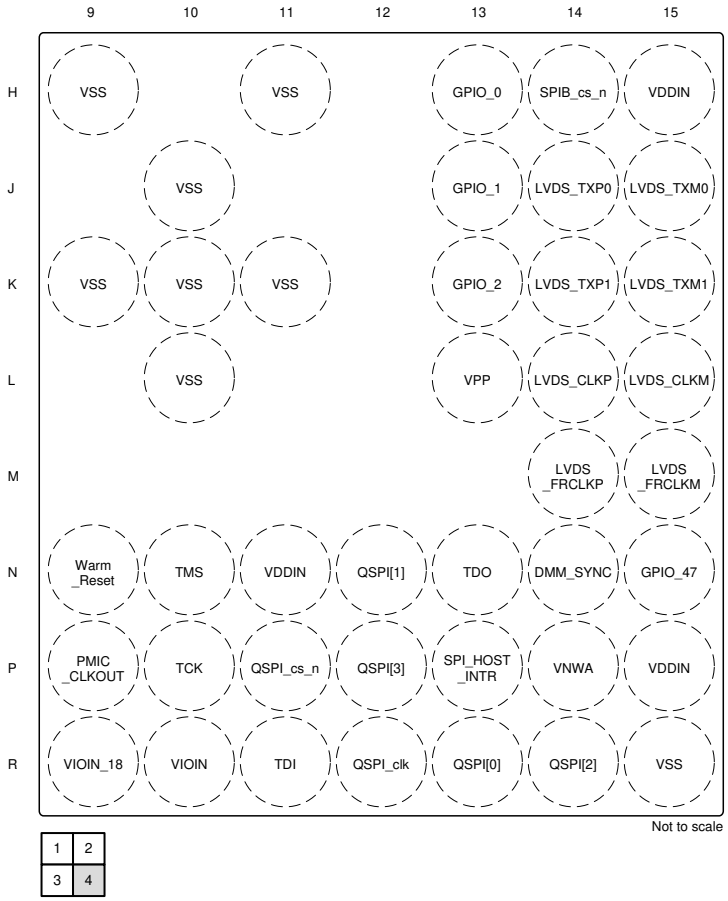


图 6-5. 右下象限

Copyright © 2024 Texas Instruments Incorporated

6.2 信号说明

备注

器件的所有数字 IO 引脚（NERROR IN、NERROR_OUT 和 WARM_RESET 除外）都是非失效防护的；因此，需要注意的是，如果器件没有 VIO 电源，则不能从外部驱动这些引脚。

备注

无法确保电源斜坡期间的 GPIO 状态。如果 GPIO 用于 GPIO 状态至关重要的应用中，即使 NRESET 为低电平，也应使用三态缓冲器将 GPIO 输出与雷达器件隔离，并使用拉电阻来定义应用中所需的状态。发送到雷达器件的 NRESET 信号可用于控制三态缓冲器的输出使能 (OE)。

6.2.1 信号说明 - 数字

信号名称	引脚类型	说明	焊球编号
ADC_VALID	O	高电平时，表示 ADC 采样有效	H13、J13、P13
BSS_UART_TX	O	调试 UART 发送 [雷达模块]	F14、H14、K13、N10、N13、N4、N5、R8
CAN_FD_RX	I	CAN FD (MCAN) 接收信号	D13、F14、N10、N4、P12
CAN_FD_TX	O	CAN FD (MCAN) 发送信号	E14、H14、N5、P10、R14
CAN_RX	I	CAN (DCAN) 接收信号	E13
CAN_TX	IO	CAN (DCAN) 发送信号	E15
CHIRP_END	O	指示每个线性调频脉冲结束的脉冲信号	K13、N8、P9
CHIRP_START	O	指示每个线性调频脉冲开始的脉冲信号	K13、N8、P9
DMM0	I	调试接口（硬件在环）- 数据线	R4
DMM1	I	调试接口（硬件在环）- 数据线	P5
DMM2	I	调试接口（硬件在环）- 数据线	R5
DMM3	I	调试接口（硬件在环）- 数据线	P6
DMM4	I	调试接口（硬件在环）- 数据线	R7
DMM5	I	调试接口（硬件在环）- 数据线	P7
DMM6	I	调试接口（硬件在环）- 数据线	R8
DMM7	I	调试接口（硬件在环）- 数据线	P8
DMM_CLK	I	调试接口（硬件在环）- 时钟	N15
DMM_MUX_IN	I	调试接口（硬件在环）DMM1 和 DMM2 之间的多路复用器选择（两个实例）	G13、J13、P4
DMM_SYNC	I	调试接口（硬件在环）- 同步	N14
DSS_UART_TX	O	调试 UART 发送 [DSP]	D13、E13、G14、P8、R12
EPWM1A	O	PWM 模块 1 - 输出 A	N5、N8
EPWM1B	O	PWM 模块 1 - 输出 B	H13、N5、P9
EPWM1SYNCI	I	PWM 模块 1 - 同步输入	J13
EPWM2A	O	PWM 模块 2 - 输出 A	H13、N4、N5、P9
EPWM2B	O	PWM 模块 2 - 输出 B	N4
EPWM2SYNCO	O	PWM 模块 2 - 同步输出	R7
EPWM3A	O	PWM 模块 3 - 输出 A	N4

Copyright © 2024 Texas Instruments Incorporated

信号名称	引脚类型	说明	焊球编号
EPWM3SYNCO	O	PWM 模块 3 - 同步输出	P6
FRAME_START	O	指示每帧开始的脉冲信号	K13、N8、P9
GPIO_0	IO	通用 I/O	H13
GPIO_1	IO	通用 I/O	J13
GPIO_2	IO	通用 I/O	K13
GPIO_3	IO	通用 I/O	E13
GPIO_4	IO	通用 I/O	H14
GPIO_5	IO	通用 I/O	F14
GPIO_6	IO	通用 I/O	P11
GPIO_7	IO	通用 I/O	R12
GPIO_8	IO	通用 I/O	R13
GPIO_9	IO	通用 I/O	N12
GPIO_10	IO	通用 I/O	R14
GPIO_11	IO	通用 I/O	P12
GPIO_12	IO	通用 I/O	P13
GPIO_13	IO	通用 I/O	H13
GPIO_14	IO	通用 I/O	N5
GPIO_15	IO	通用 I/O	N4
GPIO_16	IO	通用 I/O	J13
GPIO_17	IO	通用 I/O	P10
GPIO_18	IO	通用 I/O	N10
GPIO_19	IO	通用 I/O	D13
GPIO_20	IO	通用 I/O	E14
GPIO_21	IO	通用 I/O	F13
GPIO_22	IO	通用 I/O	G14
GPIO_23	IO	通用 I/O	R11
GPIO_24	IO	通用 I/O	N13
GPIO_25	IO	通用 I/O	N8
GPIO_26	IO	通用 I/O	K13
GPIO_27	IO	通用 I/O	P9
GPIO_28	IO	通用 I/O	P4
GPIO_29	IO	通用 I/O	G13
GPIO_30	IO	通用 I/O	E15
GPIO_31	IO	通用 I/O	R4
GPIO_32	IO	通用 I/O	P5
GPIO_33	IO	通用 I/O	R5
GPIO_34	IO	通用 I/O	P6
GPIO_35	IO	通用 I/O	R7
GPIO_36	IO	通用 I/O	P7
GPIO_37	IO	通用 I/O	R8
GPIO_38	IO	通用 I/O	P8
GPIO_47	IO	通用 I/O	N15
I2C_SCL	IO	I2C 时钟	G14、N4

Copyright © 2024 Texas Instruments Incorporated

信号名称	引脚类型	说明	焊球编号
I2C_SDA	IO	I2C 数据	F13、N5
LVDS_TXP[0]	O	差分数据输出 - 信道 0	J14
LVDS_TXM[0]	O		J15
LVDS_TXP[1]	O	差分数据输出 - 信道 1	K14
LVDS_TXM[1]	O		K15
LVDS_CLKP	O	差分时钟输出	L14
LVDS_CLKM	O		L15
LVDS_FRCLKP	O	差分帧时钟	M14
LVDS_FRCLKM	O		M15
MCU_CLKOUT	O	输出到外部 MCU 或处理器的可编程时钟	N8
MSS_UARTA_RX	I	主子系统 - UART A 接收	F14、N4、R11
MSS_UARTA_TX	O	主子系统 - UART A 发送	H14、N13、N5、R4
MSS_UARTB_RX	IO	主子系统 - UART B 接收	N4、P4
MSS_UARTB_TX	O	主子系统 - UART B 发送	F14、H14、K13、N13、N5、P10、P7
NDMM_EN	I	调试接口（硬件在环）使能 - 低电平有效信号	N13、N5
NERROR_IN	I	器件的失效防护输入。来自任何其他器件的 nERROR 输出可以集中在器件内部的错误信令监测器模块中，并且固件可以执行相应的操作。	N7
NERROR_OUT	O	开漏失效防护输出信号。连接到 PMIC/处理器/MCU 以指示发生了一些严重的临界故障。将通过复位进行恢复。	N6
PMIC_CLKOUT	O	AWR1843 器件用于 PMIC 的输出时钟	H13、K13、P9
QSPI[0]	IO	QSPI 数据线 #0（与串行数据闪存一起使用）	R13
QSPI[1]	IO	QSPI 数据线 #1（与串行数据闪存一起使用）	N12
QSPI[2]	I	QSPI 数据线 #2（与串行数据闪存一起使用）	R14
QSPI[3]	IO	QSPI 数据线 #3（与串行数据闪存一起使用）	P12
QSPI_CLK	IO	QSPI 时钟（与串行数据闪存一起使用）	R12
QSPI_CLK_EXT	I	QSPI 时钟（与串行数据闪存一起使用）	H14
QSPI_CS_N	IO	QSPI 芯片选择（与串行数据闪存一起使用）	P11
RS232_RX	I	调试 UART（作为总线主器件运行）— 接收信号	N4
RS232_TX	O	调试 UART（作为总线主器件运行）— 发送信号	N5
SOP[0]	I	通电检测 - 线路 0	N13
SOP[1]	I	通电检测 - 线路 1	G13
SOP[2]	I	通电检测 - 线路 2	P9
SPIA_CLK	IO	SPI 通道 A - 时钟	E13
SPIA_CS_N	IO	SPI 通道 A - 芯片选择	E15
SPIA_MISO	IO	SPI 通道 A - 主器件输入从器件输出	E14
SPIA_MOSI	IO	SPI 通道 A - 主器件输出从器件输入	D13
SPIB_CLK	IO	SPI 通道 B - 时钟	F14、R12
SPIB_CS_N	IO	SPI 通道 B 芯片选择（实例 ID 0）	H14、P11
SPIB_CS_N_1	IO	SPI 通道 B 芯片选择（实例 ID 1）	G13、J13、P13
SPIB_CS_N_2	IO	SPI 通道 B 芯片选择（实例 ID 2）	G13、J13、N12
SPIB_MISO	IO	SPI 通道 B - 主器件输入从器件输出	G14、R13
SPIB_MOSI	IO	SPI 通道 B - 主器件输出从器件输入	F13、N12
SPI_HOST_INTR	O	到通过 SPI 通信的外部主机的带外中断	P13

Copyright © 2024 Texas Instruments Incorporated

信号名称	引脚类型	说明	焊球编号
SYNC_IN	I	低频同步信号输入	P4
SYNC_OUT	O	低频同步信号输出	G13、J13、K13、P4
TCK	I	JTAG 测试时钟	P10
TDI	I	JTAG 测试数据输入	R11
TDO	O	JTAG 测试数据输出	N13
TMS	I	JTAG 测试模式信号	N10
TRACE_CLK	O	调试跟踪输出 - 时钟	N15
TRACE_CTL	O	调试跟踪输出 - 控制	N14
TRACE_DATA_0	O	调试跟踪输出 - 数据线	R4
TRACE_DATA_1	O	调试跟踪输出 - 数据线	P5
TRACE_DATA_2	O	调试跟踪输出 - 数据线	R5
TRACE_DATA_3	O	调试跟踪输出 - 数据线	P6
TRACE_DATA_4	O	调试跟踪输出 - 数据线	R7
TRACE_DATA_5	O	调试跟踪输出 - 数据线	P7
TRACE_DATA_6	O	调试跟踪输出 - 数据线	R8
TRACE_DATA_7	O	调试跟踪输出 - 数据线	P8
WARM_RESET	IO	开漏失效防护热复位信号。可从 PMIC 驱动以进行诊断，也可用作器件正在进行复位的状态信号。	N9

6.2.2 信号说明 - 模拟

接口	信号名称	引脚类型	说明	焊球编号
发送器	TX1	O	单端发送器 1 输出	B4
	TX2	O	单端发送器 2 输出	B6
	TX3	O	单端发送器 3 输出	B8
接收器	RX1	I	单端接收器 1 输入	M2
	RX2	I	单端接收器 2 输入	K2
	RX3	I	单端接收器 3 输入	H2
	RX4	I	单端接收器 4 输入	F2
复位	NRESET	I	芯片的上电复位。低电平有效	R3
基准振荡器	CLKP	I	在 XTAL 模式下：基准晶体的输入 在外部时钟模式下：单端输入基准时钟端口	B15
	CLKM	I	在 XTAL 模式下：：基准晶体的反馈驱动 在外部时钟模式下：将此端口接地	C15
基准时钟	OSC_CLKOUT	O	清理 PLL 后时钟子系统的基准时钟输出（1.4V 输出电压摆幅）。	A14
带隙电压	VBGAP	O	器件的带隙基准输出	B10

Copyright © 2024 Texas Instruments Incorporated

接口	信号名称	引脚类型	说明	焊球编号
电源	VDDIN	电源	1.2V 数字电源	H15、N11、P15、R6
	VIN_SRAM	电源	用于内部 SRAM 的 1.2V 电源轨	G15
	VNWA	电源	用于 SRAM 阵列反馈偏置的 1.2V 电源轨	P14
	VIOIN	电源	I/O 电源（3.3V 或 1.8V）：所有 CMOS I/O 都将在此电源上运行	R10、F15
	VIOIN_18	电源	用于 CMOS IO 的 1.8V 电源	R9
	VIN_18CLK	电源	用于时钟模块的 1.8V 电源	B11
	VIOIN_18DIFF	电源	用于 LVDS 端口的 1.8V 电源	D15
	VPP	电源	保险丝链的电压电源	L13
电源	VIN_13RF1	电源	1.3V 模拟和射频电源，VIN_13RF1 和 VIN_13RF2 可以在电路板上短接	G5、H5、J5
	VIN_13RF2	电源	1.3V 模拟和射频电源	C2、D2
	VIN_18BB	电源	1.8V 模拟基带电源	K5、F5
	VIN_18VCO	电源	1.8V 射频 VCO 电源	B12
	VSS	地	数字地	L5、L6、L8、L10、K7、K8、K9、K10、K11、J6、J7、J8、J10、H7、H9、H11、G6、G7、G8、G10、F9、F11、E5、E6、E8、E10、E11、R15
	VSSA	地	模拟地	A1、A3、A5、A7、A15、B1、B3、B5、B7、C1、C3、C4、C5、C6、C7、E1、E2、E3、F3、G1、G2、G3、H3、J1、J2、J3、K3、L1、L2、L3、M3、N1、N2、N3、R1、A13、C8、A9、B9、C9、B14、C14
内部 LDO 输出/输入	VOUT_14APLL	O	内部 LDO 输出	A10
	VOUT_14SYNTH	O	内部 LDO 输出	B13
	VOUT_PA	IO	在使用内部 PA LDO 时，该引脚提供 LDO 的输出电压。在绕过并禁用内部 PA LDO 时，应在该引脚上馈送 1V 电源电压。在 3TX 同时使用的情况下，这是强制性的。	A2、B2
预量产阶段的测试和调试输出。可以在生产硬件上用引脚输出信号，以用于现场调试	模拟测试 1/ADC1	IO	ADC 通道 1(1)	P1
	模拟测试 2/ADC2	IO	ADC 通道 2(1)	P2
	模拟测试 3/ADC3	IO	ADC 通道 3(1)	P3
	模拟测试 4/ADC4	IO	ADC 通道 4(1)	R2
	ANAMUX/ADC5	IO	ADC 通道 5(1)	C13
	VSENSE/ADC6	IO	ADC 通道 6(1)	D14

(1) 相关详细信息，请参阅节 8.4.1。

Copyright © 2024 Texas Instruments Incorporated

6.3 引脚属性

表 6-1. 引脚属性 (ABL0161 封装)

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	PINCNTL 地址 [4]	模式 [5] [9]	TYPE [6]	焊球复位状态 [7]	上拉/下拉类型 [8]
H13	GPIO_0	GPIO_13	0xFFFFEA04	0	IO	输出已禁用	下拉
		GPIO_0		1	IO		
		PMIC_CLKOUT		2	O		
		ADC_VALID		9	O		
		ePWM1b		10	O		
		ePWM2a		11	O		
J13	GPIO_1	GPIO_16	0xFFFFEA08	0	IO	输出已禁用	下拉
		GPIO_1		1	IO		
		SYNC_OUT		2	O		
		ADC_VALID		7	O		
		DMM_MUX_IN		12	I		
		SPIB_cs_n_1		13	IO		
		SPIB_cs_n_2		14	IO		
		ePWM1SYNCI		15	I		
K13	GPIO_2	GPIO_26	0xFFFFEA64	0	IO	输出已禁用	下拉
		GPIO_2		1	IO		
		OSC_CLKOUT		2	O		
		MSS_uartb_tx		7	O		
		BSS_uart_tx		8	O		
		SYNC_OUT		9	O		
		PMIC_CLKOUT		10	O		
		CHIRP_START		11	O		
		CHIRP_END		12	O		
		FRAME_START		13	O		
R4	GPIO_31	TRACE_DATA_0	0xFFFFEA7C	0	O	输出已禁用	下拉
		GPIO_31		1	IO		
		DMM0		2	I		
		MSS_uarta_tx		4	IO		
P5	GPIO_32	TRACE_DATA_1	0xFFFFEA80	0	O	输出已禁用	下拉
		GPIO_32		1	IO		
		DMM1		2	I		
R5	GPIO_33	TRACE_DATA_2	0xFFFFEA84	0	O	输出已禁用	下拉
		GPIO_33		1	IO		
		DMM2		2	I		

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 引脚属性 (ABL0161 封装) (续)

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	PINCNTL 地址 [4]	模式 [5] [9]	TYPE [6]	焊球复位状态 [7]	上拉/下拉类型 [8]
P6	GPIO_34	TRACE_DATA_3	0xFFFFEA88	0	O	输出已禁用	下拉
		GPIO_34		1	IO		
		DMM3		2	I		
		ePWM3SYNCO		4	O		
R7	GPIO_35	TRACE_DATA_4	0xFFFFEA8C	0	O	输出已禁用	下拉
		GPIO_35		1	IO		
		DMM4		2	I		
		ePWM2SYNCO		4	O		
P7	GPIO_36	TRACE_DATA_5	0xFFFFEA90	0	O	输出已禁用	下拉
		GPIO_36		1	IO		
		DMM5		2	I		
		MSS_uartb_tx		5	O		
R8	GPIO_37	TRACE_DATA_6	0xFFFFEA94	0	O	输出已禁用	下拉
		GPIO_37		1	IO		
		DMM6		2	I		
		BSS_uart_tx		5	O		
P8	GPIO_38	TRACE_DATA_7	0xFFFFEA98	0	O	输出已禁用	下拉
		GPIO_38		1	IO		
		DMM7		2	I		
		DSS_uart_tx		5	O		
N15	GPIO_47	TRACE_CLK	0xFFFFEABC	0	O	输出已禁用	下拉
		GPIO_47		1	IO		
		DMM_CLK		2	I		
N14	DMM_SYNC	TRACE_CTL	0xFFFFEAC0	0	O	输出已禁用	下拉
		DMM_SYNC		2	I		
N8	MCU_CLKOUT	GPIO_25	0xFFFFEA60	0	IO	输出已禁用	下拉
		MCU_CLKOUT		1	O		
		CHIRP_START		2	O		
		CHIRP_END		6	O		
		FRAME_START		7	O		
		ePWM1a		12	O		
N7	nERROR_IN	nERROR_IN	0xFFFFEA44	0	I	输入	
N6	nERROR_OUT	nERROR_OUT	0xFFFFEA4C	0	O	高阻态 (开漏)	

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 引脚属性（ABL0161 封装）（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	PINCNTL 地址 [4]	模式 [5] [9]	TYPE [6]	焊球复位状态 [7]	上拉/下拉类型 [8]
P9	PMIC_CLKOUT	SOP[2]	0xFFFFEA68	上电期间	I	输出已禁用	下拉
		GPIO_27		0	IO		
		PMIC_CLKOUT		1	O		
		CHIRP_START		6	O		
		CHIRP_END		7	O		
		FRAME_START		8	O		
		ePWM1b		11	O		
		ePWM2a		12	O		
R13	QSPI[0]	GPIO_8	0xFFFFEA2C	0	IO	输出已禁用	下拉
		QSPI[0]		1	IO		
		SPIB_miso		2	IO		
N12	QSPI[1]	GPIO_9	0xFFFFEA30	0	IO	输出已禁用	下拉
		QSPI[1]		1	IO		
		SPIB_mosi		2	IO		
		SPIB_cs_n_2		8	IO		
R14	QSPI[2]	GPIO_10	0xFFFFEA34	0	IO	输出已禁用	下拉
		QSPI[2]		1	I		
		CAN_FD_tx		8	O		
P12	QSPI[3]	GPIO_11	0xFFFFEA38	0	IO	输出已禁用	下拉
		QSPI[3]		1	IO		
		CAN_FD_rx		8	I		
R12	QSPI_clk	GPIO_7	0xFFFFEA3C	0	IO	输出已禁用	下拉
		QSPI_clk		1	IO		
		SPIB_clk		2	O		
		DSS_uart_tx		6	O		
P11	QSPI_cs_n	GPIO_6	0xFFFFEA40	0	IO	输出已禁用	上拉
		QSPI_cs_n		1	IO		
		SPIB_cs_n		2	IO		
N4	rs232_rx	GPIO_15	0xFFFFEA74	0	IO	启用输入	上拉
		rs232_rx		1	I		
		MSS_uarta_rx		2	I		
		BSS_uart_tx		6	IO		
		MSS_uartb_rx		7	IO		
		CAN_FD_rx		8	I		
		I2C_scl		9	IO		
		ePWM2a		10	O		
		ePWM2b		11	O		
		ePWM3a		12	O		

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 引脚属性（ABL0161 封装）（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	PINCNTL 地址 [4]	模式 [5] [9]	TYPE [6]	焊球复位状态 [7]	上拉/下拉类型 [8]
N5	rs232_tx	GPIO_14	0xFFFFEA78	0	IO	输出启用	
		rs232_tx		1	O		
		MSS_uarta_tx		5	IO		
		MSS_uartb_tx		6	IO		
		BSS_uart_tx		7	IO		
		CAN_FD_tx		10	O		
		I2C_sda		11	IO		
		ePWM1a		12	O		
		ePWM1b		13	O		
		NDMM_EN		14	I		
		ePWM2a		15	O		
E13	SPIA_clk	GPIO_3	0xFFFFEA14	0	IO	输出已禁用	上拉
		SPIA_clk		1	IO		
		CAN_rx		6	I		
		DSS_uart_tx		7	O		
E15	SPIA_cs_n	GPIO_30	0xFFFFEA18	0	IO	输出已禁用	上拉
		SPIA_cs_n		1	IO		
		CAN_tx		6	O		
E14	SPIA_miso	GPIO_20	0xFFFFEA10	0	IO	输出已禁用	上拉
		SPIA_miso		1	IO		
		CAN_FD_tx		2	O		
D13	SPIA_mosi	GPIO_19	0xFFFFEA0C	0	IO	输出已禁用	上拉
		SPIA_mosi		1	IO		
		CAN_FD_rx		2	I		
		DSS_uart_tx		8	O		
F14	SPIB_clk	GPIO_5	0xFFFFEA24	0	IO	输出已禁用	上拉
		SPIB_clk		1	IO		
		MSS_uarta_rx		2	I		
		MSS_uartb_tx		6	O		
		BSS_uart_tx		7	O		
		CAN_FD_rx		8	I		
H14	SPIB_cs_n	GPIO_4	0xFFFFEA28	0	IO	输出已禁用	上拉
		SPIB_cs_n		1	IO		
		MSS_uarta_tx		2	O		
		MSS_uartb_tx		6	O		
		BSS_uart_tx		7	IO		
		QSPI_clk_ext		8	I		
		CAN_FD_tx		9	O		

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 引脚属性（ABL0161 封装）（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	PINCNTL 地址 [4]	模式 [5] [9]	TYPE [6]	焊球复位状态 [7]	上拉/下拉类型 [8]
G14	SPIB_miso	GPIO_22	0xFFFFEA20	0	IO	输出已禁用	上拉
		SPIB_miso		1	IO		
		I2C_scl		2	IO		
		DSS_uart_tx		6	O		
F13	SPIB_mosi	GPIO_21	0xFFFFEA1C	0	IO	输出已禁用	上拉
		SPIB_mosi		1	IO		
		I2C_sda		2	IO		
P13	SPI_HOST_INTR	GPIO_12	0xFFFFEA00	0	IO	输出已禁用	下拉
		SPI_HOST_INTR		1	O		
		ADC_VALID		2	O		
		SPIB_cs_n_1		6	IO		
P4	SYNC_in	GPIO_28	0xFFFFEA6C	0	IO	输出已禁用	下拉
		SYNC_IN		1	I		
		MSS_uartb_rx		6	IO		
		DMM_MUX_IN		7	I		
		SYNC_OUT		9	O		
G13	SYNC_OUT	SOP[1]	0xFFFFEA70	上电期间	I	输出已禁用	下拉
		GPIO_29		0	IO		
		SYNC_OUT		1	O		
		DMM_MUX_IN		9	I		
		SPIB_cs_n_1		10	IO		
		SPIB_cs_n_2		11	IO		
P10	TCK	GPIO_17	0xFFFFEA50	0	IO	启用输入	下拉
		TCK		1	I		
		MSS_uartb_tx		2	O		
		CAN_FD_tx		8	O		
R11	TDI	GPIO_23	0xFFFFEA58	0	IO	启用输入	上拉
		TDI		1	I		
		MSS_uarta_rx		2	I		
N13	TDO	SOP[0]	0xFFFFEA5C	上电期间	I	输出启用	
		GPIO_24		0	IO		
		TDO		1	O		
		MSS_uarta_tx		2	O		
		MSS_uartb_tx		6	O		
		BSS_uart_tx		7	O		
		NDMM_EN		9	I		

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 引脚属性（ABL0161 封装）（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	PINCNTL 地址 [4]	模式 [5] [9]	TYPE [6]	焊球复位状态 [7]	上拉/下拉类型 [8]
N10	TMS	GPIO_18	0xFFFFEA54	0	IO	启用输入	下拉
		TMS		1	I		
		BSS_uart_tx		2	O		
		CAN_FD_rx		6	I		
N9	Warm_Reset	Warm_Reset	0xFFFFEA48	0	IO	高阻态输入（开漏）	

以下列表说明了表列标题：

1. **焊球编号：**底面的焊球编号与底部的每个信号相关联。
2. **焊球名称：**来自封装器件的机械名称（名称取自多路复用模式 0）。
3. **信号名称：**每个焊球上复用信号的名称（另请注意，焊球的名称是复用模式 0 中的信号名称）。
4. **PINCNTL 地址：**PinMux 控制的 MSS 地址
5. **模式：**多路复用模式编号：写入 PinMux Cntl 寄存器的值，用于为该焊球编号选择特定的信号名称。模式列具有位范围值。
6. **类型：**信号类型和方向：
   - I = 输入
   - O = 输出
   - IO = 输入或输出
7. **焊球复位状态：**上电复位时端子的状态
8. **上拉/下拉类型**：指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
   - 上拉：内部上拉电阻
   - 下拉：内部下拉电阻
   - 空框表示无上拉/下拉电阻。
9. Pin Mux Control Value 映射到寄存器的低 4 位。

Copyright © 2024 Texas Instruments Incorporated

MSS 存储器映射中提供了 IO 多路复用寄存器，器件引脚的相应映射如下所示：

表 6-2. 焊盘 IO 控制寄存器

默认引脚/焊球名称	封装焊球/引脚（地址）	引脚多路复用配置寄存器
SPI_HOST_INTR	P13	0xFFFFEA00
GPIO_0	H13	0xFFFFEA04
GPIO_1	J13	0xFFFFEA08
SPIA_MOSI	D13	0xFFFFEA0C
SPIA_MISO	E14	0xFFFFEA10
SPIA_CLK	E13	0xFFFFEA14
SPIA_CN_EN	E15	0xFFFFEA18
SPIB_MOSI	F13	0xFFFFEA1C
SPIB_MISO	G14	0xFFFFEA20
SPIB_CLK	F14	0xFFFFEA24
SPIB_CS_N	H14	0xFFFFEA28
QSPI[0]	R13	0xFFFFEA2C
QSPI[1]	N12	0xFFFFEA30
QSPI[2]	R14	0xFFFFEA34
QSPI[3]	P12	0xFFFFEA38
QSPI_CLK	R12	0xFFFFEA3C
QSPI_CS_N	P11	0xFFFFEA40
NERROR_IN	N7	0xFFFFEA44
WARM_RESET	N9	0xFFFFEA48
NERROR_OUT	N6	0xFFFFEA4C
TCK	P10	0xFFFFEA50
TMS	N10	0xFFFFEA54
TDI	R11	0xFFFFEA58
TDO	N13	0xFFFFEA5C
MCU_CLKOUT	N8	0xFFFFEA60
GPIO_2	K13	0xFFFFEA64
PMIC_CLKOUT	P9	0xFFFFEA68
SYNC_IN	P4	0xFFFFEA6C
SYNC_OUT	G13	0xFFFFEA70
RS232_RX	N4	0xFFFFEA74

Copyright © 2024 Texas Instruments Incorporated

表 6-2. 焊盘 IO 控制寄存器（续）

默认引脚/焊球名称	封装焊球/引脚（地址）	引脚多路复用配置寄存器
RS232_TX	N5	0xFFFFEA78
GPIO_31	R4	0xFFFFEA7C
GPIO_32	P5	0xFFFFEA80
GPIO_33	R5	0xFFFFEA84
GPIO_34	P6	0xFFFFEA88
GPIO_35	R7	0xFFFFEA8C
GPIO_36	P7	0xFFFFEA90
GPIO_37	R8	0xFFFFEA94
GPIO_38	P8	0xFFFFEA98
GPIO_47	N15	0xFFFFEABC
DMM_SYNC	N14	0xFFFFEAC0

寄存器布局如下：

表 6-3. 焊盘 IO 寄存器位说明

位	字段	类型	复位（上电默认状态）	说明
31-11	NU	RW	0	保留
10	SC	RW	0	IO 压摆率控制： 0 = 较高的压摆率 1 = 较低的压摆率
9	PUPDSEL	RW	0	上拉/下拉选择 0 = 下拉 1 = 上拉（仅当“拉动抑制”设置为“0”时该字段才有效）
8	PI	RW	0	拉动抑制/拉动禁用 0 = 启用 1 = 禁用
7	OE_OVERRIDE	RW	1	输出覆盖
6	OE_OVERRIDE_CTRL	RW	1	输出覆盖控制： （此处的“1”覆盖任何关联的外设块硬件对该 IO 的任何输出操作，例如 SPI 芯片选择）
5	IE_OVERRIDE	RW	0	选择覆盖
4	IE_OVERRIDE_CTRL	RW	0	输入覆盖控制： （此处的“1”使用所需的值覆盖该 IO 上的任何输入值）
3-0	FUNC_SEL	RW	1	引脚多路复用的功能选择（请参阅“引脚多路复用”表）

Copyright © 2024 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

参数(1) (2)		最小值	最大值	单位
VDDIN	1.2V 数字电源	-0.5	1.4	V
VIN_SRAM	用于内部 SRAM 的 1.2V 电源轨	-0.5	1.4	V
VNWA	用于 SRAM 阵列反馈偏置的 1.2V 电源轨	-0.5	1.4	V
VIOIN	I/O 电源（3.3V 或 1.8V）：所有 CMOS I/O 都将在此电源上运行。	-0.5	3.8	V
VIOIN_18	用于 CMOS IO 的 1.8V 电源	-0.5	2	V
VIN_18CLK	用于时钟模块的 1.8V 电源	-0.5	2	V
VIOIN_18DIFF	用于 LVDS 端口的 1.8V 电源	-0.5	2	V
VIN_13RF1 VIN_13RF2	1.3V 模拟和射频电源，VIN_13RF1 和 VIN_13RF2 可以在电路板上短接。	-0.5	1.45	V
VIN_13RF1 VIN_13RF2	1V 内部 LDO 旁路模式。器件支持外部电源管理模块可在 VIN_13RF1 和 VIN_13RF2 电源轨上提供 1V 电压的模式。在该配置中，器件的内部 LDO 将保持旁路状态。	-0.5	1.4	V
VIN_18BB	1.8V 模拟基带电源	-0.5	2	V
VIN_18VCO 电源	1.8V 射频 VCO 电源	-0.5	2	V
RX1-4	射频输入端上的外部施加电源		10	dBm
TX1-3	射频输出端上的外部施加电源(3)		10	dBm
输入和输出电压范围	双电压 LVCMOS 输入，3.3V 或 1.8V（稳态）	-0.3V	VIOIN + 0.3	V
	双电压 LVCMOS 输入，在 3.3V/1.8V（瞬态过冲/下冲）条件下运行，或外部振荡器输入		VIOIN + 20%，高达信号周期的 20%	
CLKP、CLKM	基准晶体的输入端口	-0.5	2	V
钳位电流	输入或输出电压高于或低于各自电源轨 0.3V。限制流经 I/O 内部二极管保护单元的钳位电流。	-20	20	mA
T_J	工作结温范围	-40	125	°C
T_{STG}	焊接到 PC 板上后的贮存温度范围	-55	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些仅为应力等级，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除非另有说明，所有电压值均相对于 V_{SS}。
(3) 此值用于 TX 上外部施加的信号电平。此外，可以在 TX 输出端上应用高达伽马 = 1 的反射系数。

7.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011 标准(2)	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。
(2) 转角引脚的额定电压为 ±750V

7.3 上电小时数 (POH)

结温 (T_J)(1) (2)	运行条件	标称 CVDD 电压 (V)	上电小时数 [POH]（小时）
-40°C	100% 占空比	1.2	600 (6%)
75°C			2000 (20%)
95°C			6500 (65%)
125°C			900 (9%)

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

Copyright © 2024 Texas Instruments Incorporated

(2) 指定的 POH 适用于使用默认固件增益表的最大 Tx 输出功率设置。如果使用 API 覆盖 Tx 增益表，则指定的 POH 将不适用。

7.4 建议运行条件

		最小值	标称值	最大值	单位
VDDIN	1.2V 数字电源	1.14	1.2	1.32	V
VIN_SRAM	用于内部 SRAM 的 1.2V 电源轨	1.14	1.2	1.32	V
VNWA	用于 SRAM 阵列反馈偏置的 1.2V 电源轨	1.14	1.2	1.32	V
VIOIN	I/O 电源（3.3V 或 1.8V）： 所有 CMOS I/O 都将在此电源上运行。	3.135	3.3	3.465	V
		1.71	1.8	1.89	
VIOIN_18	用于 CMOS IO 的 1.8V 电源	1.71	1.8	1.9	V
VIN_18CLK	用于时钟模块的 1.8V 电源	1.71	1.8	1.9	V
VIOIN_18DIFF	用于 LVDS 端口的 1.8V 电源	1.71	1.8	1.9	V
VIN_13RF1	1.3V 模拟和射频电源。VIN_13RF1 和 VIN_13RF2 可在电路板上短接	1.23	1.3	1.36	V
VIN_13RF2					
VIN_13RF1（1V 内部 LDO 旁路模式）		0.95	1	1.05	V
VIN_13RF2（1V 内部 LDO 旁路模式）					
VIN18BB	1.8V 模拟基带电源	1.71	1.8	1.9	V
VIN_18VCO	1.8V 射频 VCO 电源	1.71	1.8	1.9	V
V_{IH}	电压输入高电平（1.8V 模式）	1.17			V
	电压输入高电平（3.3V 模式）	2.25			
V_{IL}	电压输入低电平（1.8V 模式）			0.3*VIOIN	V
	电压输入低电平（3.3V 模式）			0.62	
V_{OH}	高电平输出阈值 (I_{OH} = 6mA)	VIOIN – 450			mV
V_{OL}	低电平输出阈值 (I_{OL} = 6mA)			450	mV
NRESET SOP[2:0]	V_{IL}（1.8V 模式）			0.2	V
	V_{IH}（1.8V 模式）	0.96			
	V_{IL}（3.3V 模式）			0.3	
	V_{IH}（3.3V 模式）	1.57			

Copyright © 2024 Texas Instruments Incorporated

7.5 电源规格

表 7-1 说明了来自 AWR1843 器件的外部电源块的四个电源轨。

表 7-1. 电源轨特性

电源	由电源供电的器件块	器件中的相关 IO
1.8V	合成器和 APLL VCO、晶体振荡器、IF 放大器级、ADC、LVDS	输入：VIN_18VCO、VIN18CLK、VIN_18BB、VIOIN_18DIFF、VIOIN_18 LDO 输出：VOUT_14SYNTH、VOUT_14APLL
1.3V（或内部 LDO 旁路模式下为 1V）(1)	功率放大器、低噪声放大器、混频器和 LO 分配	输入：VIN_13RF2、VIN_13RF1 LDO 输出： VOUT_PA
3.3V（或对于 1.8V I/O 模式，为 1.8V）	数字 I/O	输入 VIOIN
1.2V	内核数字和 SRAM	输入：VDDIN、VIN_SRAM

(1) 仅在 1V LDO 旁路和 PA LDO 禁用模式下支持三个发送器同时运行。在该模式下，需要在 VOUT PA 引脚上馈送 1V 电源。

表 7-2 中所述的 1.3V (1.0V) 和 1.8V 电源纹波规格定义为在 RX 满足 –105dBc（射频引脚 = –15dBm）的目标杂散电平。杂散和纹波电平具有 dB 到 dB 的关系，例如，电源纹波增加 1dB 会导致杂散电平增加约 1dB。引用的值是在指定频率下施加的正弦输入的均方根电流电平。

表 7-2. 纹波规格

频率 (kHz)	射频电源轨		VCO/中频电源轨
	1.0V（内部 LDO 旁路）(μV_{RMS})	1.3V (μV_{RMS})	1.8 V (μV_{RMS})
137.5	7	648	83
275	5	76	21
550	3	22	11
1100	2	4	6
2200	11	82	13
4400	13	93	19
6600	22	117	29

Copyright © 2024 Texas Instruments Incorporated

7.6 功耗摘要

表 7-3 和表 7-4 总结了电源端子的功耗。

表 7-3. 电源端子上的最大电流额定值

参数	电源名称	说明	最小值	典型值	最大值	单位
电流消耗(1)	VDDIN、VIN_SRAM、VNWA	由 1.2V 电源轨驱动的所有节点消耗的总电流			1000	mA
	VIN_13RF1、VIN_13RF2	由 1.3V 或 1.0V 电源轨（2TX、4RX 同时）驱动的所有节点消耗的总电流(2)			2000	
	VIOIN_18、VIN_18CLK、VIOIN_18DIFF、VIN_18BB、VIN_18VCO	由 1.8V 电源轨驱动的所有节点消耗的总电流			850	
	VIOIN	由 3.3V 电源轨驱动的所有节点消耗的总电流(3)		50		

(1) 指定的电流值是在典型电源电压电平下得出的值。
(2) 仅在 1V LDO 旁路和 PA LDO 禁用模式下支持 3 个发送器同时操作。在这种模式下，需要在 VOUT_PA 引脚上提供 1V 电源。在这种情况下，峰值 1V 电源电流高达 2500mA。要启用 LDO 旁路模式，请参阅毫米波器件固件包中的*接口控制*文档。
(3) 确切的 VIOIN 电流取决于使用的外设及其工作频率。

表 7-4. 电源端子上的平均功耗

参数	条件			说明	最小值	典型值	最大值	单位
平均功耗	1.0V 内部 LDO 旁路模式	25% 占空比	1TX、4RX	用例：常规模式，6.4MSps 复数收发器，25ms 帧时间，128 个线性调频脉冲，128 个样本/线性调频脉冲，5µs 空闲时间（25% 占空比），3us ADC 启动时间和过量斜坡时间，DSP 和 HWA 有效		1.29		W
			2TX、4RX			1.36		
			3TX、4RX			1.43		
		50% 占空比	1TX、4RX	用例：常规模式，6.4MSps 复数收发器，25ms 帧时间，256 个线性调频脉冲，128 个样本/线性调频脉冲，5µs 空闲时间（50% 占空比），3us ADC 启动时间和过量斜坡时间，DSP 和 HWA 有效		1.82		
			2TX、4RX			1.96		
			3TX、4RX			2.08		

Copyright © 2024 Texas Instruments Incorporated

7.7 射频规格

在建议运行条件下且已启用运行时校准（除非另有说明）

参数			最小值	典型值	最大值	单位
接收器	噪声系数(2)	76 至 77GHz		14		dB
		77 至 81GHz		15		
	1dB 压缩点（带外/在 10kHz 下指定）(1)			-8		dBm
	最大增益			48		dB
	增益范围			24		dB
	增益阶跃大小			2		dB
	图像抑制比 (IMRR)			30		dB
	中频带宽(3)				10	MHz
	ADC 采样速率（实数/复数 2x）				25	Msps
	ADC 采样速率（实数复数 1x）				12.5	Msps
	ADC 分辨率			12		位
	回波损耗 (S11)			<-10		dB
	增益不匹配变化（随温度变化）			±0.5		dB
	相位不匹配变化（随温度变化）			±3		°
	带内 IIP2	RX 增益 = 30dB IF = 1.5、2MHz （–12dBFS）		16		dBm
	带外 IIP2	RX 增益 = 24dB IF = 10kHz (-10dBm)、 1.9MHz (-30dBm)		24		dBm
	空闲通道杂散			-90		dBFS
发送器	输出功率			12		dBm
	振幅噪声			-145		dBc/Hz
时钟子系统	频率范围		76		81	GHz
	斜坡速率				100	MHz/µs
	1MHz 偏移时的相位噪声	76 至 77GHz		-95		dBc/Hz
		77 至 81GHz		-93		

(1) 1dB 压缩点（带外）是通过以低于最低 HPF 截止频率馈送连续波音调 (10kHz) 来测量的。
(2) 规格适用于复数 1x 模式。
(3) 模拟 IF 级包括高通滤波，具有两个可独立配置的一阶高通转角频率。可用的 HPF 角集总结如下：

可用 HPF 转角频率 (kHz)

HPF1	HPF2
175、235、350、700	350、700、1400、2800

数字基带链执行的滤波旨在提供：

- 通带纹波/压降小于 ±0.5dB，并且
- 在任何可能混叠回通带的频率下，抗混叠衰减都优于 60dB。

图 7-1 展示了与编程的接收器增益相关的噪声系数和带内 P1dB 参数的变化。

Copyright © 2024 Texas Instruments Incorporated

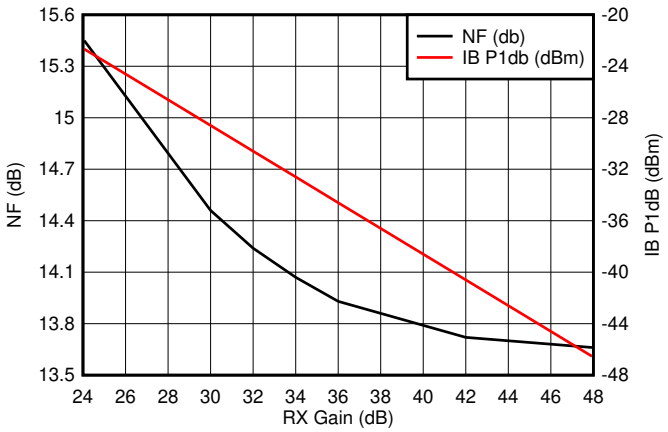


图 7-1. 噪声系数、带内 P1dB 与接收器增益间的关系

7.8 CPU 规格

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
DSP 子系统（C674 系列）	时钟速度		600		MHz
	L1 代码存储器		32		KB
	L1 数据存储器		32		KB
	L2 存储器		256		KB
主子系统（R4F 系列）	时钟速度		200		MHz
	紧耦合存储器 - A（程序）		512		KB
	紧耦合存储器 - B（数据）		192		KB
共享存储器	共享 L3 存储器		1024		KB

7.9 FCBGA 封装的热阻特性 [ABL0161]

热指标(1)		°C/W(2) (3)
$R_{\Theta JC}$	结点到外壳	4.2
$R_{\Theta JB}$	结点到电路板	5.7
$R_{\Theta JA}$	结点到环境空气	20.9
$R_{\Theta JMA}$	结至流动空气	14.5 (4)
Psi_{JT}	结至封装顶部	0.38
Psi_{JB}	结点到电路板	5.6

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热指标*。
(2) °C/W = 摄氏度/瓦。
(3) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

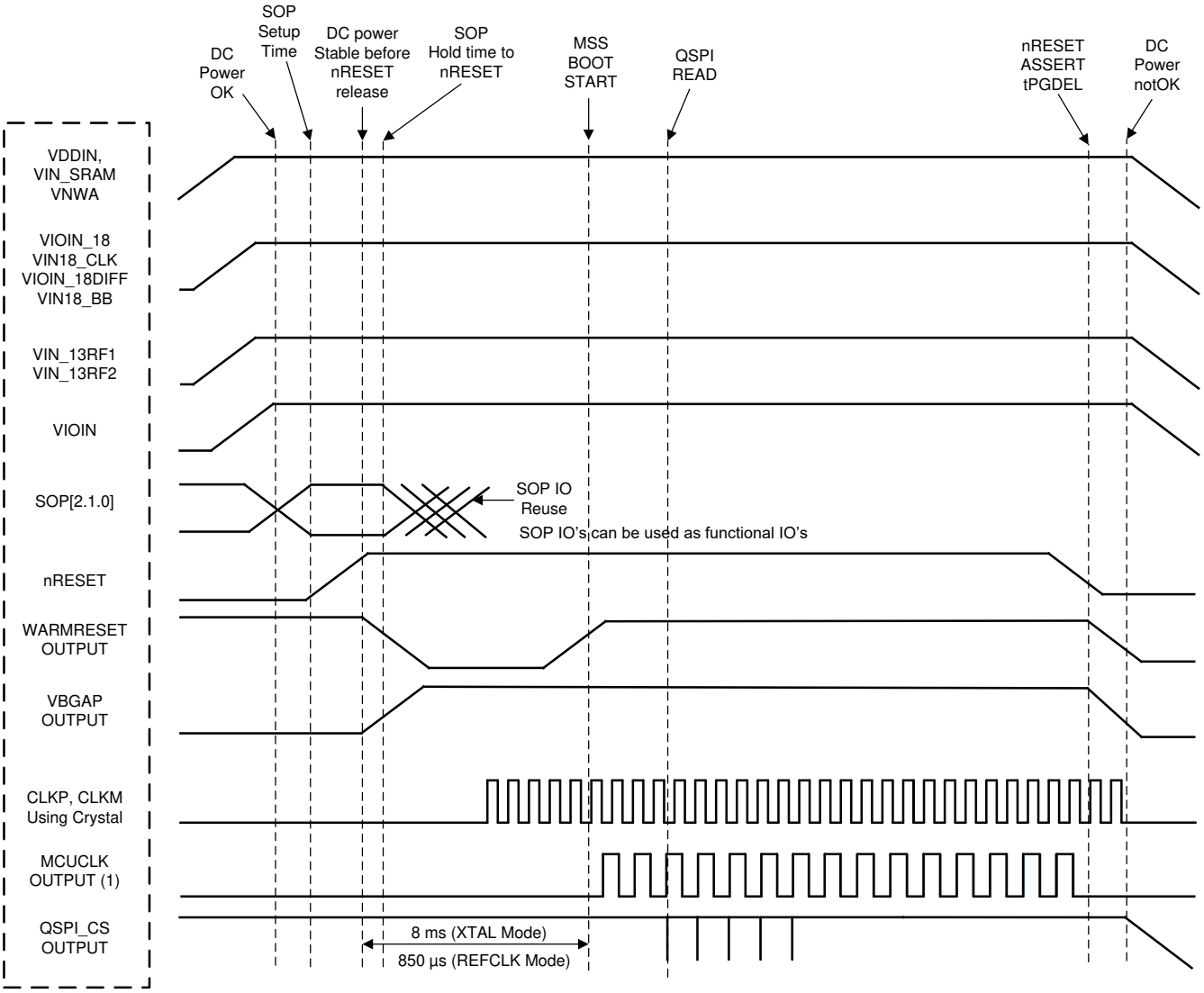
(4) 气流 = 1m/s

Copyright © 2024 Texas Instruments Incorporated

7.10 时序和开关特性

7.10.1 电源时序和复位时序

AWR1843 器件期望所有外部电压轨和 SOP 线路在复位置为无效之前稳定。图 7-2 描述了器件唤醒序列。



A. MCU_CLK_OUT 处于自主模式，其中 AWR1843 应用从串行闪存引导，器件引导加载程序默认不启用 MCU_CLK_OUT。

图 7-2. 器件唤醒序列

Copyright © 2024 Texas Instruments Incorporated

7.10.2 输入时钟和振荡器

7.10.2.1 时钟规格

AWR1843 需要一个外部时钟源（即 40MHz 晶体）来进行初始启动并作为器件中托管的内部 APLL 的基准。一个外部晶体连接至器件引脚。图 7-3 显示了晶体实现。

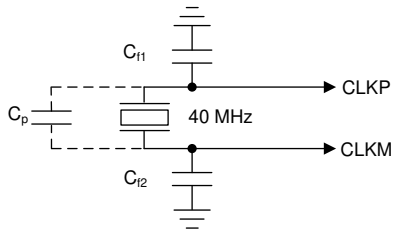


图 7-3. 晶体实现

备注

应该选择图 7-3 中的负载电容器 C_{f1} 和 C_{f2}，以满足方程式 1 的要求。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 CLKP 和 CLKM 引脚放置。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 7-5 列出了时钟晶体的电气特性。

表 7-5. 晶体电气特性（振荡器模式）

名称	说明	最小值	典型值	最大值	单位
f_P	并联谐振晶体频率		40		MHz
C_L	晶体负载电容	5	8	12	pF
ESR	晶体 ESR			50	Ω
温度范围	预期工作温度范围	-40		125	°C
频率容差	晶体频率容差(1) (2)	-200		200	ppm
驱动电平			50	200	µW

(1) 晶体制造商的规格必须满足此要求。
(2) 包括晶体的初始容差、温漂、老化以及由于负载电容不正确而导致的频率牵引。

如果将外部时钟用作时钟资源，则信号仅馈送到 CLKP 引脚；CLKM 接地。当由外部提供 40MHz 时钟时，相位噪声要求非常重要。表 7-6 列出了外部时钟信号的电气特性。

Copyright © 2024 Texas Instruments Incorporated

表 7-6. 外部时钟模式规格

参数		规格			单位
		最小值	典型值	最大值	
输入时钟： 外部交流耦合正弦波或直流耦合方波 相位噪声，以 40MHz 为基准	频率		40		MHz
	交流振幅	700		1200	mV (pp)
	1kHz 时的相位噪声			-132	dBc/Hz
	10kHz 时的相位噪声			-143	dBc/Hz
	100kHz 时的相位噪声			-152	dBc/Hz
	1MHz 时的相位噪声			-153	dBc/Hz
	占空比	35		65	%
	频率容差	-100		100	ppm

Copyright © 2024 Texas Instruments Incorporated

7.10.3 多缓冲/标准串行外设接口 (MibSPI)

7.10.3.1 外设说明

SPI 使用 TI 的 MibSPI 协议。

MibSPI/SPI 是一款高速同步串行输入/输出端口，该端口允许以编程的位传输速率将编程长度（2 至 16 位）的串行位流移入和移出器件。MibSPI/SPI 通常用于微控制器与外部外设或另一微控制器之间的通信。

标准和 MibSPI 模块具有以下特性：

- 16 位移位寄存器
- 接收缓冲寄存器
- 8 位波特率生成器
- SPICLK 可由内部生成（控制器模式）或
  从外部时钟源接收（外设模式）
- 传输的每个字可以具有独特的格式。
- 未在通信中使用的 SPI I/O 可被用作数字输入/输出信号

7.10.3.2 MibSPI 发送和接收 RAM 组织结构

多缓冲 RAM 包含 256 个缓冲器。多缓冲 RAM 的每个入口由 4 个部分组成：一个 16 位发送字段、一个 16 位接收字段、一个 16 位比较字段和一个 16 位状态字段。多缓冲 RAM 可被分成多个传输组，每个组具有不同数量的缓冲器。

节 7.10.3.2.2 和节 7.10.3.2.3 假设了节 7.10.3.2.1 所示的运行条件。

7.10.3.2.1 SPI 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

7.10.3.2.2 SPI 控制器模式开关参数（时钟相位 = 0、SPICLK = 输出、SPISIMO = 输出和 SPISOMI = 输入）(1) (2) (3)

编号	参数		最小值	典型值	最大值	单位
1	$t_{c(SPC)M}$	SPICLK 周期时间(4)	25		$256t_{c(VCLK)}$	ns
2(4)	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	
3(4)	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	
4(4)	$t_{d(SPCH-SIMO)M}$	在 SPICLK 低电平之前 SPISIMO 有效的延迟时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 3$			ns
	$t_{d(SPCL-SIMO)M}$	在 SPICLK 高电平之前 SPISIMO 有效的延迟时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 3$			
5(4)	$t_{v(SPCL-SIMO)M}$	在 SPICLK 低电平之后 SPISIMO 数据有效的有效时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 10.5$			ns
	$t_{v(SPCH-SIMO)M}$	在 SPICLK 高电平之后 SPISIMO 数据有效的有效时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 10.5$			

编号	参数			最小值	典型值	最大值	单位
6[5]	$t_{C2TDELAY}$	CS 有效直至 SPICLK 高电平的建立时间（时钟极性 = 0）	CSHOLD = 0	(C2TDELAY+2)* $t_{c(VCLK)}$ – 7.5		(C2TDELAY+2) * $t_{c(VCLK)}$ + 7	ns
			CSHOLD = 1	(C2TDELAY +3) * $t_{c(VCLK)}$ – 7.5		(C2TDELAY+3) * $t_{c(VCLK)}$ + 7	
		CS 有效直至 SPICLK 低电平的建立时间（时钟极性 = 1）	CSHOLD = 0	(C2TDELAY+2)* $t_{c(VCLK)}$ – 7.5		(C2TDELAY+2) * $t_{c(VCLK)}$ + 7	
			CSHOLD = 1	(C2TDELAY +3) * $t_{c(VCLK)}$ – 7.5		(C2TDELAY+3) * $t_{c(VCLK)}$ + 7	
7[5]	$t_{T2CDELAY}$	SPICLK 低电平直至 CS 无效的保持时间（时钟极性 = 0）		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) *$t_{c(VCLK)}$ – 7		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) * $t_{c(VCLK)}$ + 7.5	ns
		SPICLK 高电平直至 CS 无效的保持时间（时钟极性 = 1）		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) *$t_{c(VCLK)}$ – 7		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) * $t_{c(VCLK)}$ + 7.5	
8[4]	$t_{su(SOMI-SPCL)M}$	在 SPICLK 低电平之前 SPISOMI 的建立时间（时钟极性 = 0）		5			ns
	$t_{su(SOMI-SPCH)M}$	在 SPICLK 高电平之前 SPISOMI 的建立时间（时钟极性 = 1）		5			
9[4]	$t_{h(SPCL-SOMI)M}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 0）		3			ns
	$t_{h(SPCH-SOMI)M}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 1）		3			

(1) 设置主器件位 (SPIGCRx.0)，并且时钟相位的位 (SPIFMTx.16) 被清零（其中 x= 0 或 1）。
(2) $t_{c(MSS_VCLK)}$ = 主子系统时钟时间 = 1/$f_{(MSS_VCLK)}$。有关更多详细信息，请参阅技术参考手册。
(3) 当 SPI 处于控制器模式时，必须满足以下条件：对于从 1 到 255 的 PS 值：$t_{c(SPC)M} \geq (PS+1)t_{c(MSS_VCLK)} \geq 25ns$，其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况：$t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$。
(4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
(5) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器内被设定。

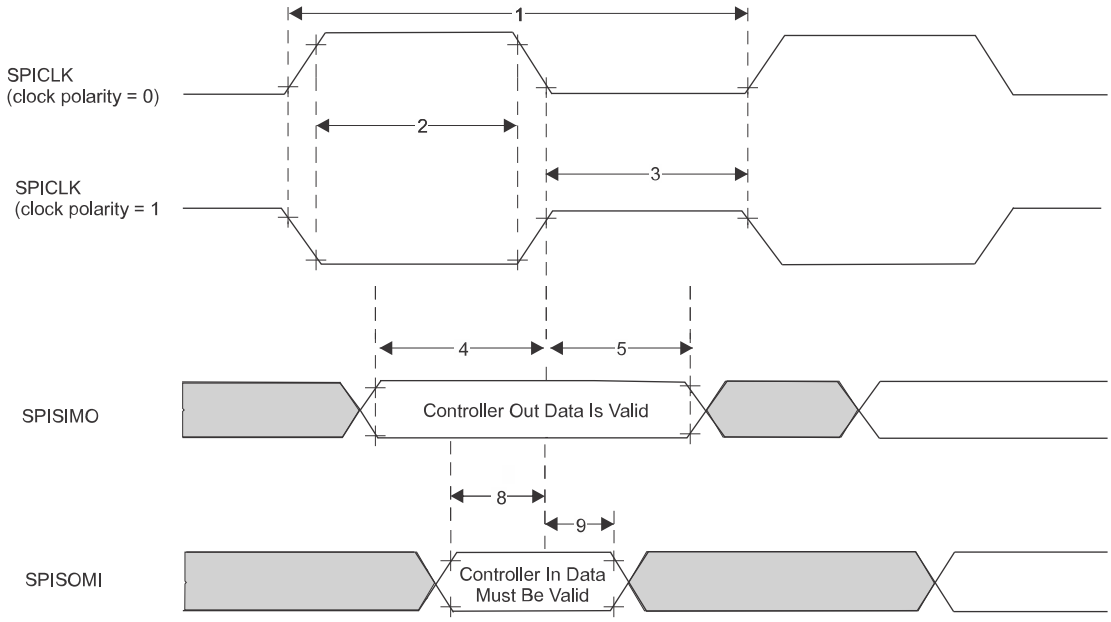


图 7-4. SPI 控制器模式外部时序（时钟相位 = 0）

Copyright © 2024 Texas Instruments Incorporated

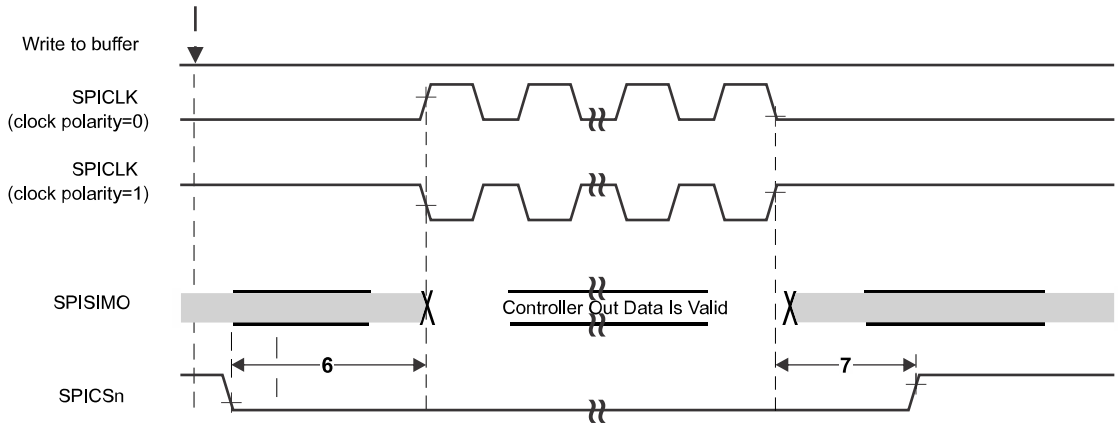


图 7-5. SPI 控制器模式片选时序（时钟相位 = 0）

7.10.3.2.3 SPI 控制器模式开关参数（时钟相位 = 1、SPICLK = 输出、SPISIMO = 输出和 SPISOMI = 输入） (1) (2) (3)

编号	参数			最小值	典型值	最大值	单位
1	$t_{c(SPC)M}$	SPICLK 周期时间(4)		25		$256t_{c(VCLK)}$	ns
2(4)	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	
3(4)	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	
4(4)	$t_{d(SPCH-SIMO)M}$	在 SPICLK 低电平之前 SPISIMO 有效的延迟时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - 3$			ns
	$t_{d(SPCL-SIMO)M}$	在 SPICLK 高电平之前 SPISIMO 有效的延迟时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - 3$			
5(4)	$t_{v(SPCL-SIMO)M}$	在 SPICLK 低电平之后 SPISIMO 数据有效的有效时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - 10.5$			ns
	$t_{v(SPCH-SIMO)M}$	在 SPICLK 高电平之后 SPISIMO 数据有效的有效时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - 10.5$			
6(5)	$t_{C2TDELAY}$	CS 有效直至 SPICLK 高电平的建立时间（时钟极性 = 0）	CSHOLD = 0	$0.5*t_{c(SPC)M} + (C2TDELAY + 2)*t_{c(VCLK)} - 7$		$0.5*t_{c(SPC)M} + (C2TDELAY+2) * t_{c(VCLK)} + 7.5$	ns
			CSHOLD = 1	$0.5*t_{c(SPC)M} + (C2TDELAY + 2)*t_{c(VCLK)} - 7$		$0.5*t_{c(SPC)M} + (C2TDELAY+2) * t_{c(VCLK)} + 7.5$	
		CS 有效直至 SPICLK 低电平的建立时间（时钟极性 = 1）	CSHOLD = 0	$0.5*t_{c(SPC)M} + (C2TDELAY+2)*t_{c(VCLK)} - 7$		$0.5*t_{c(SPC)M} + (C2TDELAY+2) * t_{c(VCLK)} + 7.5$	
			CSHOLD = 1	$0.5*t_{c(SPC)M} + (C2TDELAY+3)*t_{c(VCLK)} - 7$		$0.5*t_{c(SPC)M} + (C2TDELAY+3) * t_{c(VCLK)} + 7.5$	

Copyright © 2024 Texas Instruments Incorporated

编号	参数		最小值	典型值	最大值	单位
7[5]	$t_{T2CDELAY}$	SPICLK 低电平直至 CS 无效的保持时间（时钟极性 = 0）	(T2CDELAY + 1) *$t_{c(VCLK)}$ – 7.5		(T2CDELAY + 1) *$t_{c(VCLK)}$ + 7	ns
		SPICLK 高电平直至 CS 无效的保持时间（时钟极性 = 1）	(T2CDELAY + 1) *$t_{c(VCLK)}$ – 7.5		(T2CDELAY + 1) *$t_{c(VCLK)}$ + 7	
8[4]	$t_{su(SOMI-SPCL)M}$	在 SPICLK 低电平之前 SPISOMI 的建立时间（时钟极性 = 0）	5			ns
	$t_{su(SOMI-SPCH)M}$	在 SPICLK 高电平之前 SPISOMI 的建立时间（时钟极性 = 1）	5			
9[4]	$t_{h(SPCL-SOMI)M}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 0）	3			ns
	$t_{h(SPCH-SOMI)M}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 1）	3			

(1) 设置主器件位 (SPIGCRx.0)，并且设置时钟相位的位 (SPIFMTx.16)（其中 x= 0 或 1）。
(2) $t_{c(MSS_VCLK)}$ = 主子系统时钟时间 = $1/f_{(MSS_VCLK)}$。有关更多详细信息，请参阅技术参考手册。
(3) 当 SPI 处于控制器模式时，必须满足以下条件：对于从 1 到 255 的 PS 值：$t_{c(SPC)M} \geq (PS+1)t_{c(MSS_VCLK)} \geq 25ns$，其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况：$t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$。
(4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
(5) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器内被设定。

Copyright © 2024 Texas Instruments Incorporated

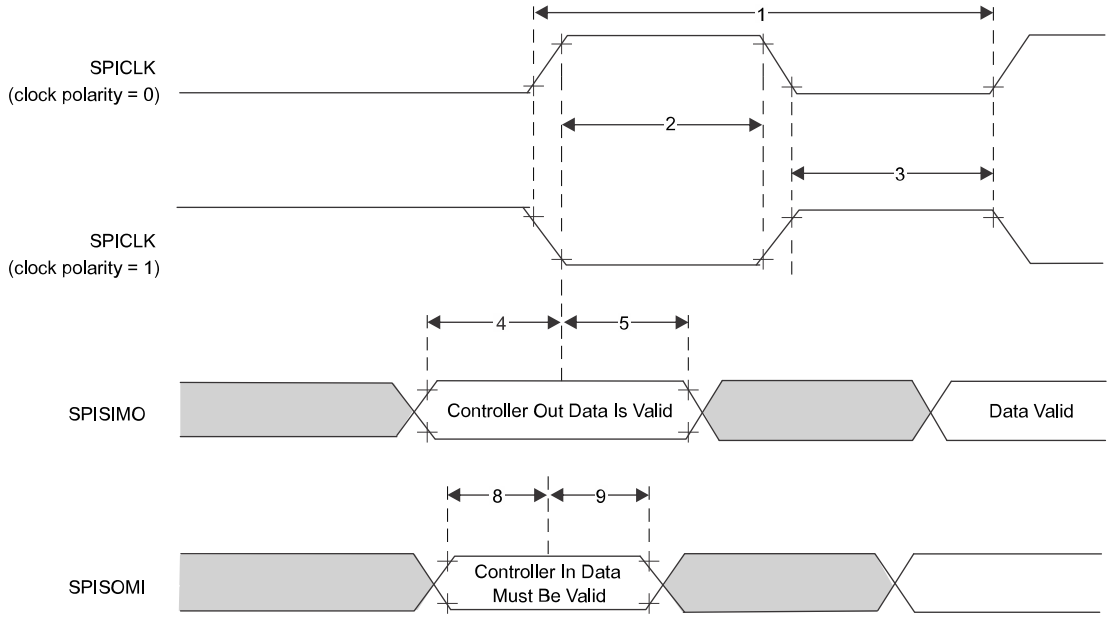


图 7-6. SPI 控制器模式外部时序（时钟相位 = 1）

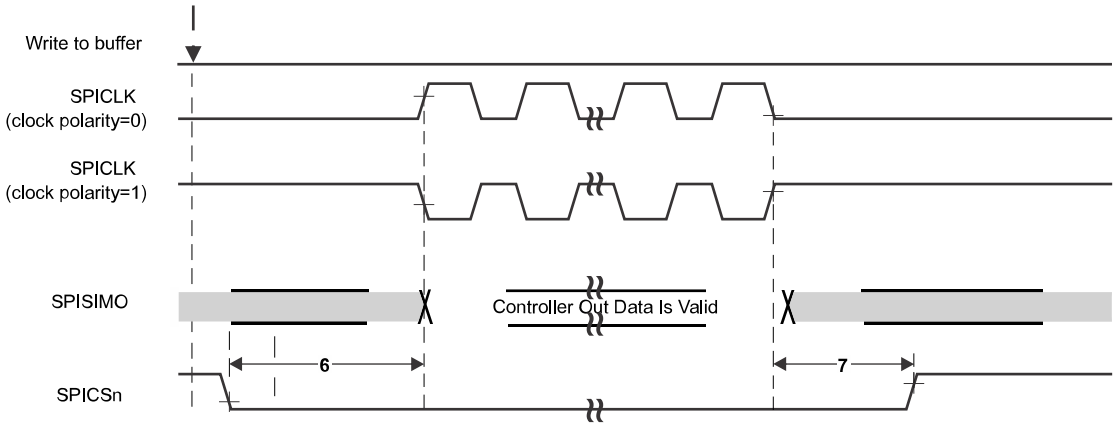


图 7-7. SPI 控制器模式片选时序（时钟相位 = 1）

Copyright © 2024 Texas Instruments Incorporated

7.10.3.3 SPI 外设模式 I/O 时序

7.10.3.3.1 SPI 外设模式开关参数（SPICLK = 输入、SPISIMO = 输入和 SPISOMI = 输出） (1) (2) (3)

编号	参数		最小值	典型值	最大值	单位
1	$t_{c(SPC)S}$	周期时间，SPICLK(4)	25			ns
2(5)	$t_{w(SPCH)S}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	10			ns
	$t_{w(SPCL)S}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	10			
3(5)	$t_{w(SPCL)S}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	10			ns
	$t_{w(SPCH)S}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	10			
4(5)	$t_{d(SPCH-SOMI)S}$	延迟时间，SPICLK 高电平之后 SPISOMI 有效的时间（时钟极性 = 0）			10	ns
	$t_{d(SPCL-SOMI)S}$	延迟时间，SPICLK 低电平之后 SPISOMI 有效的时间（时钟极性 = 1）			10	
5(5)	$t_{h(SPCH-SOMI)S}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 0）	2			ns
	$t_{h(SPCL-SOMI)S}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 1）	2			
4(5)	$t_{d(SPCH-SOMI)S}$	在 SPICLK 高电平之后 SPISOMI 有效的延迟时间（时钟极性 = 0；时钟相位 = 0）或（时钟极性 = 1；时钟相位 = 1）			10	ns
	$t_{d(SPCL-SOMI)S}$	在 SPICLK 低电平之后 SPISOMI 有效的延迟时间（时钟极性 = 1；时钟相位 = 0）或（时钟极性 = 0；时钟相位 = 1）			10	
5(5)	$t_{h(SPCH-SOMI)S}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 0；时钟相位 = 0）或（时钟极性 = 1；时钟相位 = 1）	2			ns
	$t_{h(SPCL-SOMI)S}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 1；时钟相位 = 0）或（时钟极性 = 0；时钟相位 = 1）	2			
6(5)	$t_{su(SIMO-SPCL)S}$	在 SPICLK 低电平之前 SPISIMO 的建立时间（时钟极性 = 0；时钟相位 = 0）或（时钟极性 = 1；时钟相位 = 1）	3			ns
	$t_{su(SIMO-SPCH)S}$	在 SPICLK 高电平之前的 SPISIMO 建立时间（时钟极性 = 1；时钟相位 = 0）或（时钟极性 = 0；时钟相位 = 1）	3			
7(5)	$t_{h(SPCL-SIMO)S}$	在 SPICLK 低电平之后 SPISIMO 数据有效的保持时间（时钟极性 = 0；时钟相位 = 0）或（时钟极性 = 1；时钟相位 = 1）	1			ns
	$t_{h(SPCL-SIMO)S}$	在 SPICLK 高电平之后 SPISIMO 数据有效的保持时间（时钟极性 = 1；时钟相位 = 0）或（时钟极性 = 0；时钟相位 = 1）	1			

(1) 清除主器件位 (SPIGCRx.0)（其中 x = 0 或 1）。
(2) 对于时钟相位 = 0 或时钟相位 = 1，分别清除或设置时钟相位的位 (SPIFMTx.16)。
(3) $t_{c(MSS_VCLK)}$ = 主子系统时钟时间 = $1/f_{(MSS_VCLK)}$。有关更多详细信息，请参阅技术参考手册。
(4) 当 SPI 处于外设模式时，必须满足以下条件：对于从 1 到 255 的 PS 值：$t_{c(SPC)S} \geq (PS+1)t_{c(MSS_VCLK)} \geq 25ns$，其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况：$t_{c(SPC)S} = 2t_{c(MSS_VCLK)} \geq 25ns$。
(5) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

Copyright © 2024 Texas Instruments Incorporated

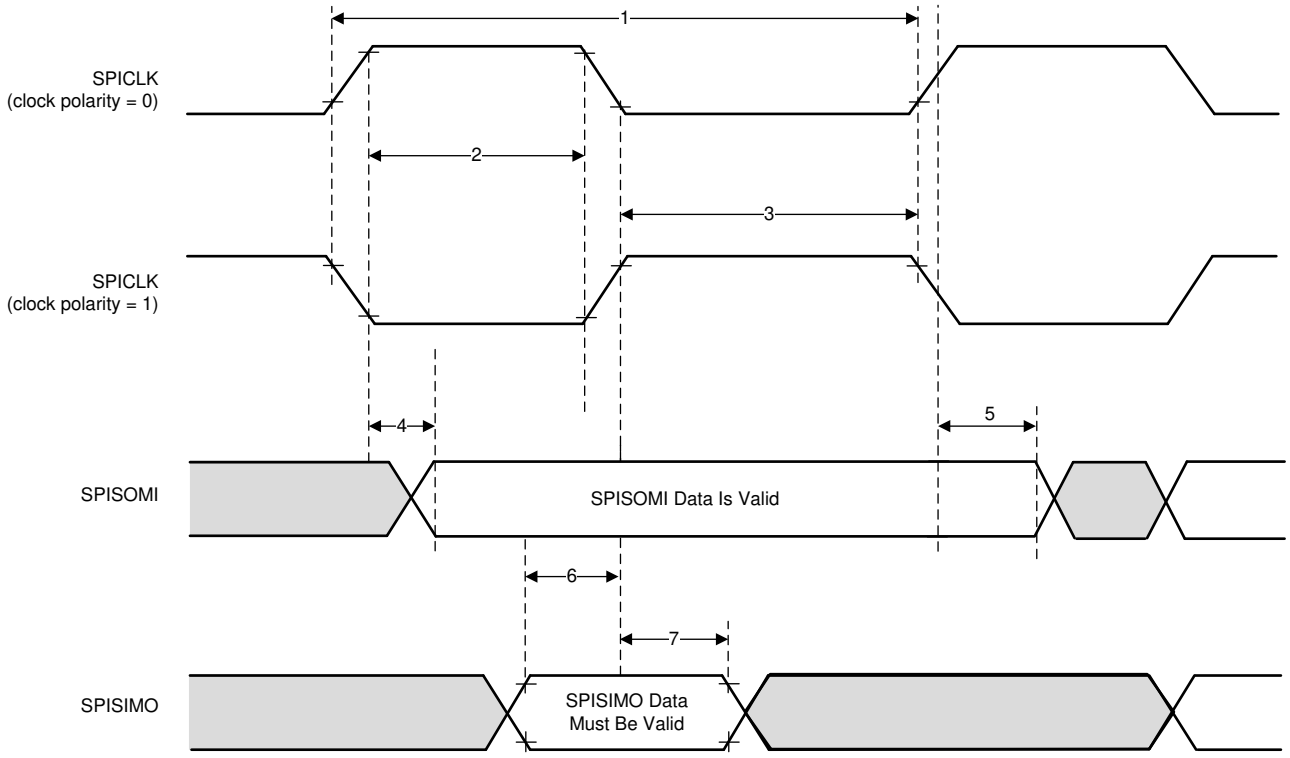


图 7-8. SPI 外设模式外部时序（时钟相位 = 0）

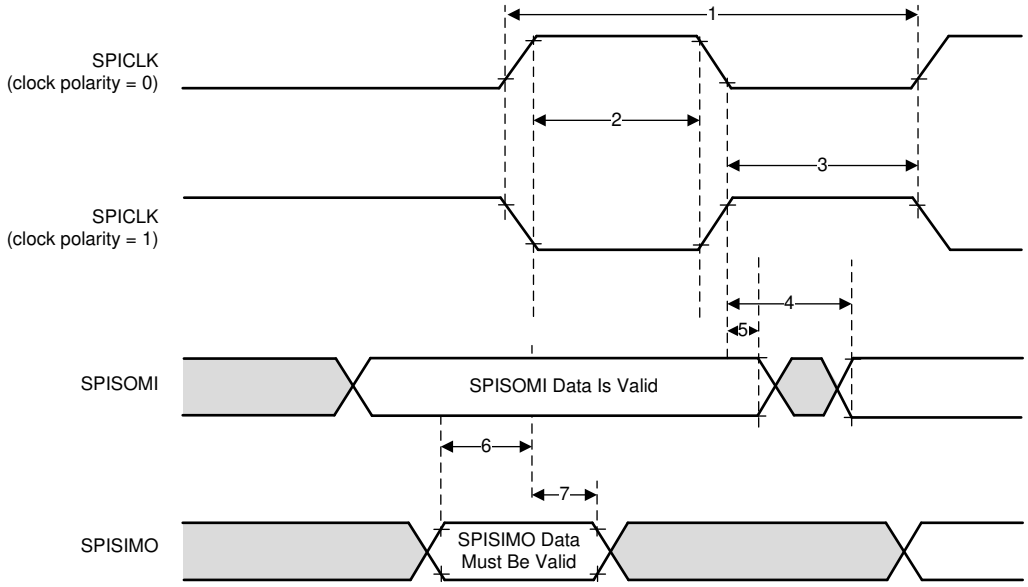


图 7-9. SPI 外设模式外部时序（时钟相位 = 1）

7.10.3.4 典型接口协议图（外设模式）

1. 主机应确保 CS 变为低电平与 SPI 时钟启动之间有两个 SPI 时钟的延迟。
2. 主机应确保每通过 SPI 传输 16 位时切换一次 CS。

图 7-10 显示了典型接口协议的 SPI 通信时序。

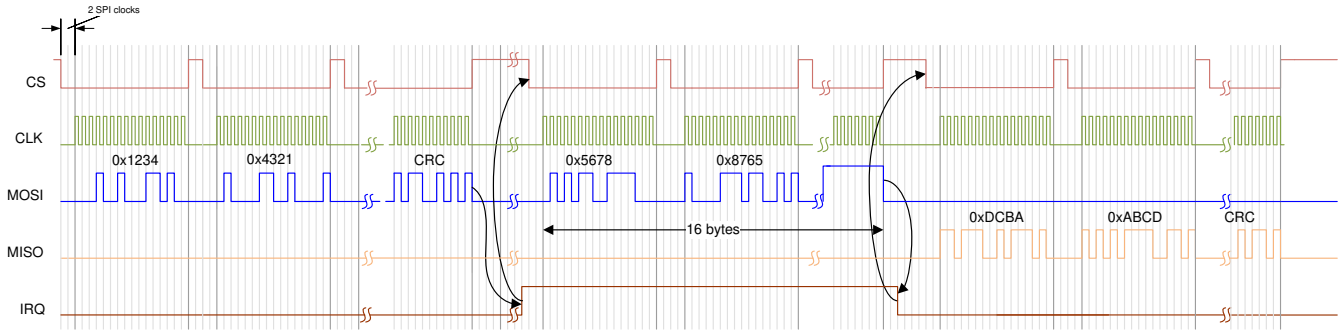


图 7-10. SPI 通信

Copyright © 2024 Texas Instruments Incorporated

7.10.4 LVDS 接口配置

支持的 AWR1843 LVDS 信道配置为两个数据信道 (LVDS_TXP/M)、一个位时钟信道 (LVDS_CLKP/M) 和一个帧时钟信道 (LVDS_FRCLKP/M)。LVDS 接口用于调试。LVDS 接口支持以下数据速率：

- 900Mbps（450MHz DDR 时钟）
- 600Mbps（300MHz DDR 时钟）
- 450Mbps（225MHz DDR 时钟）
- 400Mbps（200MHz DDR 时钟）
- 300Mbps（150MHz DDR 时钟）
- 225Mbps（112.5MHz DDR 时钟）
- 150Mbps（75MHz DDR 时钟）

请注意，位时钟采用 DDR 格式，因此时钟中的切换次数相当于数据。

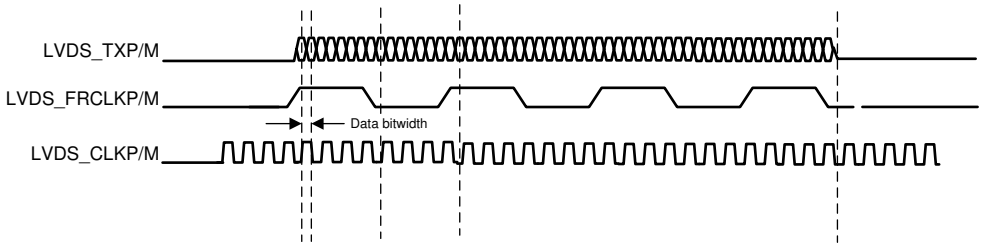


图 7-11. LVDS 接口通道配置和相关时序

7.10.4.1 LVDS 接口时序

表 7-7. LVDS 电气特性

参数	测试条件	最小值	典型值	最大值	单位
占空比要求	LVDS 通道上的最大 1pF 集总容性负载	48%		52%	
输出差分电压	峰峰值单端，差分对之间具有 100Ω 电阻负载	250		450	mV
输出失调电压		1125		1275	mV
Trise 和 Tfall	20%-80%，900Mbps		330		ps
抖动（峰峰值）	900Mbps		80		ps

Copyright © 2024 Texas Instruments Incorporated

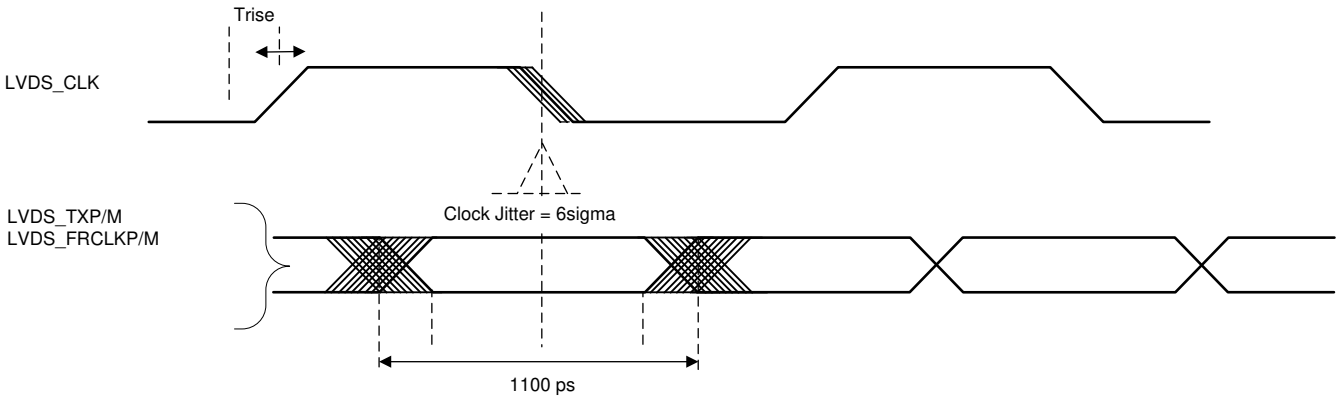


图 7-12. 计时参数

7.10.5 通用输入/输出

节 7.10.5.1 列出了输出时序相对于负载电容的开关特性。

7.10.5.1 输出时序的开关特性与负载电容 (C_L) 间的关系

参数(1) (2)		测试条件		VIOIN = 1.8V	VIOIN = 3.3V	单位
t_r	最大上升时间	转换控制 = 0	C_L = 20pF	2.8	3.0	ns
			C_L = 50pF	6.4	6.9	
			C_L = 75pF	9.4	10.2	
t_f	最大下降时间		C_L = 20pF	2.8	2.8	ns
			C_L = 50pF	6.4	6.6	
			C_L = 75pF	9.4	9.8	
t_r	最大上升时间	转换控制 = 1	C_L = 20pF	3.3	3.3	ns
			C_L = 50pF	6.7	7.2	
			C_L = 75pF	9.6	10.5	
t_f	最大下降时间		C_L = 20pF	3.1	3.1	ns
			C_L = 50pF	6.6	6.6	
			C_L = 75pF	9.6	9.6	

(1) 转换控制由 PADxx_CFG_REG 配置，可更改输出驱动器的行为（输出转换率更快或更慢）。
(2) 上升/下降时间测量为信号从 VIOIN 电压的 10% 转换到 90% 所需的时间。

Copyright © 2024 Texas Instruments Incorporated

7.10.6 控制器局域网接口 (DCAN)

DCAN 支持 CAN 2.0B 协议标准并使用串行多指挥官通信协议，此协议有效支持对最高速率为 1Mbps 的稳健通信实现分布式实时控制。DCAN 是要求可靠串行通信或者多路复用布线并在嘈杂和恶劣环境中运行的应用的理想选择。

该 DCAN 具有以下特性：

- 支持 CAN 协议版本 2.0 部分 A.B
- 最高 1Mbps 的比特率
- 可配置消息对象
- 每个消息对象的单独标识符掩码
- 消息对象的可编程 FIFO 模式
- 调试支持的挂起模式
- 自测试工作的可编程回路模式
- 测试模式下对消息 RAM 的直接访问
- 支持两个中断线路 - 0 级和 1 级
- 自动消息 RAM 初始化

7.10.6.1 DCANx TX 和 RX 引脚的动态特性

参数		最小值	典型值	最大值	单位
$t_{d(CAN_tx)}$	延迟时间，发送移位寄存器到 CAN_tx 引脚(1)			15	ns
$t_{d(CAN_rx)}$	延迟时间，CAN_rx 引脚到接收移位寄存器(1)			10	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

Copyright © 2024 Texas Instruments Incorporated

7.10.7 控制器局域网 - 灵活数据速率 (CAN-FD)

CAN-FD 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络中共存，不会发生任何冲突。

CAN-FD 模块具有下列特性：

- 符合 CAN 协议 2.0 A、B 和 ISO 11898-1 标准
- 完全支持 CAN FD（每帧最多 64 个数据字节）
- 支持 AUTOSAR 和 SAE J1939
- 多达 32 个专用发送缓冲器
- 可配置的发送 FIFO，最多 32 个元素
- 可配置的发送队列，最多 32 个元素
- 可配置的发送事件 FIFO，最多 32 个元素
- 多达 64 个专用接收缓冲器
- 两个可配置的接收 FIFO，每个 FIFO 最多 64 个元素
- 多达 128 个 11 位滤波器元素
- 内部环回模式，用于实现自检
- 可屏蔽中断，两个中断线路
- 两个时钟域（CAN 时钟/主机时钟）
- 奇偶校验/ECC 支持 — 消息 RAM 单错校正双错检测 (SECDED) 机制
- 消息内存容量已满（4352 个字）。

7.10.7.1 CANx TX 和 RX 引脚的动态特性

参数		最小值	典型值	最大值	单位
$t_{d(CAN_FD_tx)}$	延迟时间，发送移位寄存器到 CAN_FD_tx 引脚 (1)			15	ns
$t_{d(CAN_FD_rx)}$	延迟时间，CAN_FD_rx 引脚到接收移位寄存器 (1)			10	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

7.10.8 串行通信接口 (SCI)

该 SCI 具有以下特性：

- 标准通用异步收发器 (UART) 通信
- 标准非归零码 (NRZ) 格式
- 双缓冲接收和发送功能
- 无 CLK 引脚的异步或 ISO 同步通信模式
- 能够使用直接存储器存取 (DMA) 发送和接收数据
- 两个外部引脚：RS232_RX 和 RS232_TX

7.10.8.1 SCI 时序要求

		最小值	典型值	最大值	单位
f(baud)	20pF 时支持的波特率		921.6		kHz

Copyright © 2024 Texas Instruments Incorporated

7.10.9 内部集成电路接口 (I2C)

内部集成电路 (I2C) 模块是一款多控制器通信模块，此模块与飞利浦半导体 I2C 总线技术规范版本 2.1 兼容的器件之间提供一个接口并通过 I²C-bus™ 连接。这个模块将支持任何目标或控制器 I2C 兼容器件。

I2C 有下列特性：

- 与飞利浦 I2C 总线技术规范，v2.1 兼容（I2C 技术规范，飞利浦文献编号 9398 393 40011）
  - 位/字节格式传输
  - 7 位和 10 位器件寻址模式
  - 常规调用
  - 开始字节
  - 多控制器发送器/目标接收器模式
  - 多控制器接收器/目标发送器模式
  - 组合控制器发送/接收和接收/发送模式
  - 100kbps 到高达 400kbps 的传输速率（飞利浦快速模式速率）
- 自由数据格式
- 两个 DMA 事件（发送和接收）
- DMA 事件启用/禁用功能
- 模块启用/禁用能力
- 可选择将 SDA 和 SCL 配置为通用 I/O
- 输出的转换率控制
- 输出的开漏控制
- 输入上的可编程上拉/下拉功能
- 支持忽略 NACK 模式

备注

这个 I2C 模块不支持：

- 高速 (HS)模式
- C 总线兼容模式
- 10 位地址模式下的组合格式（I2C 在每次发送目标地址第一个字节时，都会发送目标地址第二个字节）

Copyright © 2024 Texas Instruments Incorporated

7.10.9.1 I2C 时序要求 (1)

		标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$t_{c(SCL)}$	周期时间，SCL	10		2.5		μs
$t_{su(SCLH-SDAL)}$	在 SDA 低电平之前 SCL 高电平的建立时间（对于重复启动条件）	4.7		0.6		μs
$t_{h(SCLL-SDAL)}$	在 SDA 低电平之后 SCL 低电平的保持时间（对于启动或重复启动条件）	4		0.6		μs
$t_{w(SCLL)}$	脉冲持续时间，SCL 低电平	4.7		1.3		μs
$t_{w(SCLH)}$	脉冲持续时间，SCL 高电平	4		0.6		μs
$t_{su(SDA-SCLH)}$	建立时间，在 SCL 高电平之前 SDA 有效	250		100		μs
$t_{h(SCLL-SDA)}$	保持时间，在 SCL 低电平之后 SDA 有效	0	3.45(1)	0	0.9	μs
$t_{w(SDAH)}$	脉冲持续时间，在停止和启动条件之间 SDA 高电平	4.7		1.3		μs
$t_{su(SCLH-SDAH)}$	在 SDA 高电平之前 SCL 高电平的建立时间（对于停止条件）	4		0.6		μs
$t_{w(SP)}$	脉冲持续时间，尖峰（必须被抑制）			0	50	ns
C_b (2) (3)	每个总线的容性负载		400		400	pF

(1) I2C 引脚 SDA 和 SCL 不具备失效防护 I/O 缓冲器。当该器件的电源关闭时，这些引脚有可能耗电。
(2) 仅当器件不延长 SCL 信号的低电平周期 (tw(SCLL)) 时，才必须满足 I2C 总线器件的最大 th(SDA-SCLL)。
(3) C_b = 以 pF 为单位的一条总线的总电容。如果与快速模式器件混合使用，可实现更快的下降时间。

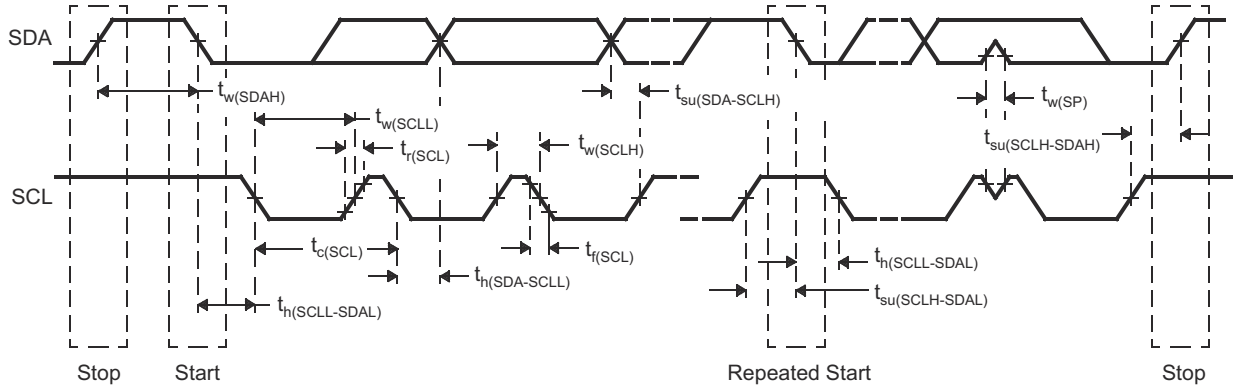


图 7-13. I2C 时序图

备注

- 一个器件必须在内部为 SDA 信号提供一个最少为 300ns 的保持时间（以 SCL 信号的 VIHmin 为基准）来连接 SCL 下降边沿的未定义区域。
- 仅当器件不延长 SCL 信号的低电平周期 (tw(SCLL)) 时，才必须满足最大 th(SDA-SCLL)。快速模式 I2C 总线器件可用于标准模式 I2C 总线系统，但必须满足 $t_{su(SDA-SCLH)} \geq 250ns$ 的要求。如果该器件不延长 SCL 信号的低电平周期，将自动成为该情况。如果器件确实延长了 SCL 信号的低电平周期，它必须将下一个数据位输出到 SDA 线路 tr 最大值 + $t_{su(SDA-SCLH)}$。

Copyright © 2024 Texas Instruments Incorporated

7.10.10 四线串行外设接口 (QSPI)

四线串行外设接口 (QSPI) 模块是一种串行外设接口 (SPI) 模块，允许对外部 SPI 器件进行单路、双路或四路读取访问。该模块具有存储器映射寄存器接口，可提供直接接口用于从外部 SPI 器件访问数据，从而简化软件要求。QSPI 仅用作控制器。器件中的 QSPI 主要用于从四路 SPI 闪存存储器快速引导。

该 QSPI 支持以下特性：

- 可编程时钟分频器
- 六引脚接口
- 传输的字的可编程长度（从 1 位到 128 位）
- 传输的字的可编程数量（从 1 到 4096）
- 支持 3、4 或 6 引脚 SPI 接口
- 可选择在字或帧（字数）完成时生成中断
- 芯片选择激活之间的可编程延迟以及 0 到 3 个 QSPI 时钟周期的输出数据

节 7.10.10.2 和节 7.10.10.3 假设了节 7.10.10.1 所示的运行条件。

7.10.10.1 QSPI 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

7.10.10.2 QSPI 输入（读取）时序的时序要求 (1) (2)

		最小值	典型值	最大值	单位
$t_{su(D-SCLK)}$	在 SCLK 下降沿之前 d[3:0] 有效的建立时间 (Q12)	7.3			ns
$t_{h(SCLK-D)}$	在 SCLK 下降沿之后 D[3:0] 有效的保持时间 (Q13)	1.5			ns
$t_{su(D-SCLK)}$	在最终 SCLK 下降沿之前最终 d[3:0] 位有效的建立时间	7.3 – P(3)			ns
$t_{h(SCLK-D)}$	在最终 SCLK 下降沿之后最终 d[3:0] 位有效的保持时间	1.5 + P(3)			ns

(1) 时钟模式 0（时钟极性 = 0；时钟相位 = 0）是工作模式。
(2) 与传统的上升时钟沿相反，器件在时钟模式 0 的下降时钟沿捕获数据。尽管是非标准的，但基于下降沿的建立时间和保持时间时序已设计为与在时钟模式 0 的下降沿启动数据的标准 SPI 器件兼容。
(3) P = SCLK 周期，单位为 ns。

Copyright © 2024 Texas Instruments Incorporated

7.10.10.3 QSPI 开关特性

编号	参数		最小值	典型值	最大值	单位
Q1	$t_{c(SCLK)}$	SCLK 周期时间	25			ns
Q2	$t_{w(SCLKL)}$	SCLK 低电平的脉冲持续时间	0.5*P – 3(1)			ns
Q3	$t_{w(SCLKH)}$	SCLK 高电平的脉冲持续时间	0.5*P – 3			ns
Q4	$t_{d(CS-SCLK)}$	SCLK 下降沿到 CS 有效边沿的延迟时间	– M*P – 1(2)		– M*P + 2.5(2)	ns
Q5	$t_{d(SCLK-CS)}$	SCLK 下降沿到 CS 无效边沿的延迟时间	N*P – 1(2)		N*P + 2.5(2)	ns
Q6	$t_{d(SCLK-D1)}$	SCLK 下降沿到 d[0] 转换的延迟时间	-3.5		7	ns
Q7	$t_{ena(CS-D1LZ)}$	使能时间，CS 有效边沿到 d[0] 驱动（低阻抗）	– P – 4(2)		– P +1(2)	ns
Q8	$t_{dis(CS-D1Z)}$	禁用时间，CS 有效边沿到 d[0] 三态（高阻抗）	– P – 4(2)		– P +1(2)	ns
Q9	$t_{d(SCLK-D1)}$	SCLK 第一个下降沿到第一个 d[1] 转换的延迟时间（仅适用于 PHA = 0）	– 3.5 – P(2)		7 – P(2)	ns

(1) P = SCLK 周期，单位为 ns。
(2) M = QSPI_SPI_DC_REG.DDx + 1，N = 2

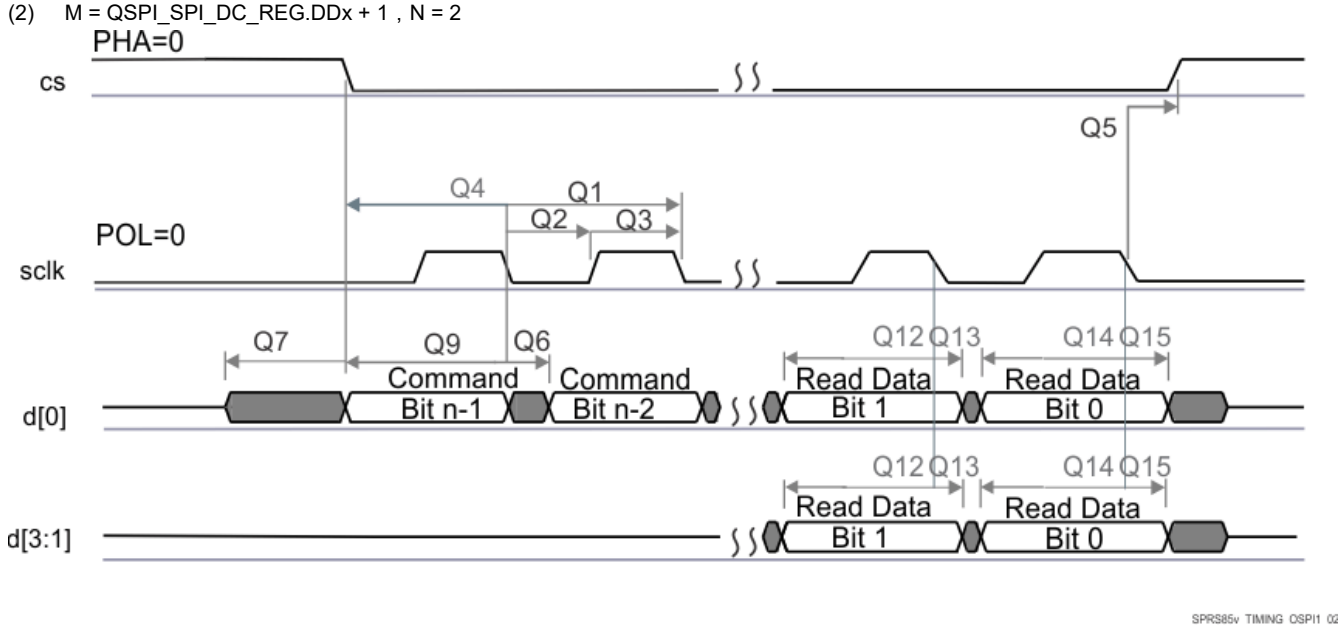


图 7-14. QSPI 读取（时钟模式 0）

Copyright © 2024 Texas Instruments Incorporated

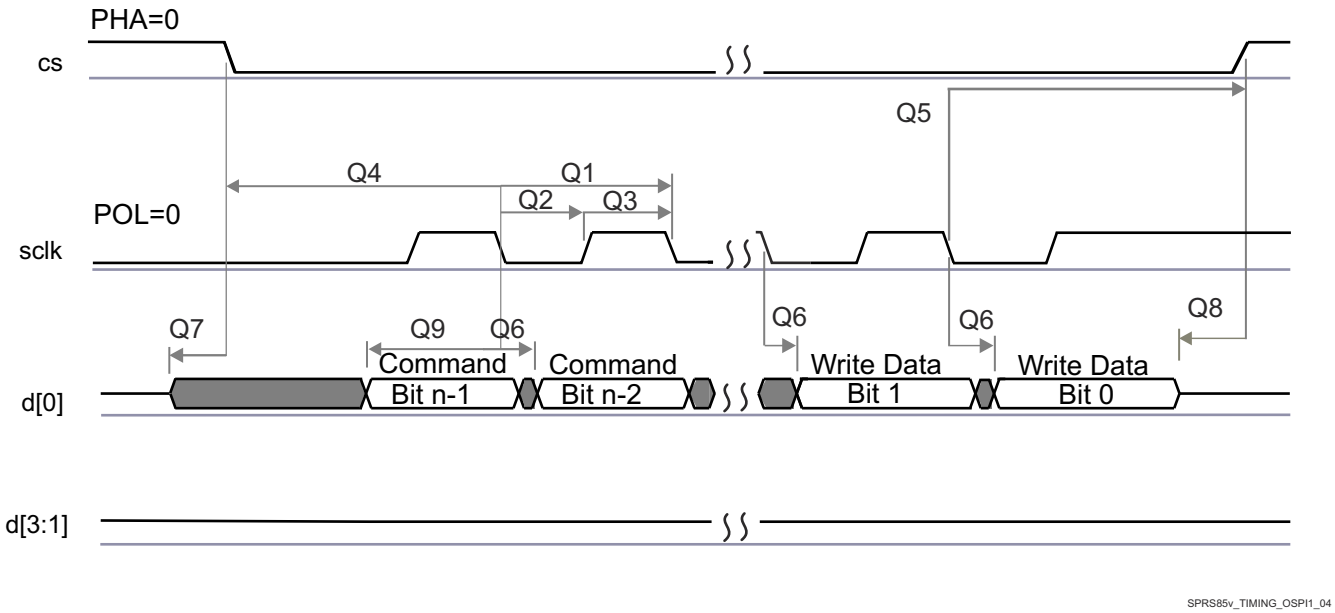


图 7-15. QSPI 写入（时钟模式 0）

7.10.11 ETM 跟踪接口

节 7.10.11.2 和 1 假设了节 7.10.11.1 中所述的建议运行条件。

7.10.11.1 ETMTRACE 时序条件

		最小值	典型值	最大值	单位
输出条件					
C_{LOAD}	输出负载电容	2		20	pF

7.10.11.2 ETM 跟踪开关特性

编号	参数		最小值	典型值	最大值	单位
1	$t_{cyc(ETM)}$	TRACECLK 周期的周期时间	20			ns
2	$t_{h(ETM)}$	TRACECLK 高电平的脉冲持续时间	9			ns
3	$t_{l(ETM)}$	TRACECLK 低电平的脉冲持续时间	9			ns
4	$t_{r(ETM)}$	时钟和数据上升时间			3.3	ns
5	$t_{f(ETM)}$	时钟和数据下降时间			3.3	ns
6	$t_{d(ETMTRACECLKH-ETMDATAV)}$	ETM 跟踪时钟高电平至 ETM 数据有效的延迟时间	1		7	ns
7	$t_{d(ETMTRACECLKI-ETMDATAV)}$	ETM 跟踪时钟低电平至 ETM 数据有效的延迟时间	1		7	ns

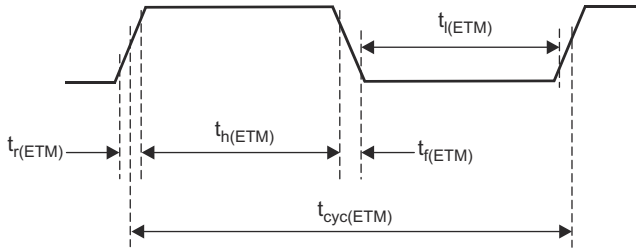


图 7-16. ETMTRACECLKOUT 时序

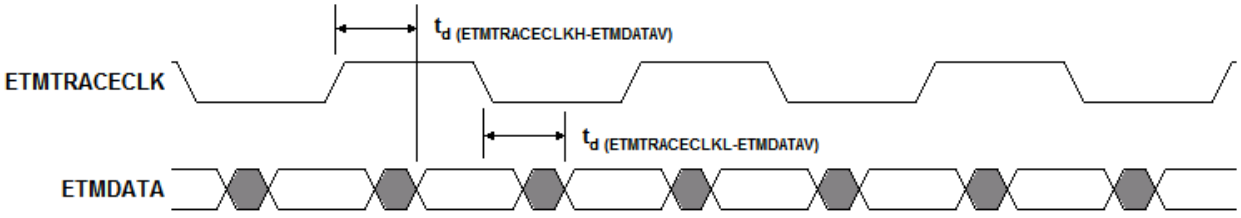


图 7-17. ETMDATA 时序

Copyright © 2024 Texas Instruments Incorporated

7.10.12 数据修正模块 (DMM)

一个数据修改模块 (DMM) 提供向器件内存写入外部数据的功能。

该 DMM 具有以下特性：

- 充当总线控制器，因此可以直接对 4GB 地址空间进行写入，而无需 CPU 干预
- 对接收到的数据包中指定的存储器位置进行写入（利用由 RAM 跟踪端口 [RTP] 模块的跟踪模式定义的数据包）
- 将接收到的数据写入 DMM 指定的连续地址（利用 RTP 模块的直接数据模式定义的数据包）
- 可配置端口宽度（1、2、4、8、16 个引脚）
- 高达 65Mb/s 引脚数据速率

7.10.12.1 DMM 时序要求

		最小值	典型值	最大值	单位
$t_{cyc(DMM)}$	时钟周期	15.4			ns
t_R	时钟上升时间	1		3	ns
t_F	时钟下降时间	1		3	ns
$t_{h(DMM)}$	高脉冲宽度	6			ns
$t_{l(DMM)}$	低脉冲宽度	6			ns
$t_{ssu(DMM)}$	同步激活到 CLK 下降边沿的建立时间	2			ns
$t_{sh(DMM)}$	DMM clk 下降沿到 SYNC 停用保持时间	3			ns
$t_{dsu(DMM)}$	DATA 到 DMM clk 下降沿建立时间	2			ns
$t_{dh(DMM)}$	DMM clk 下降沿到 DATA 保持时间	3			ns

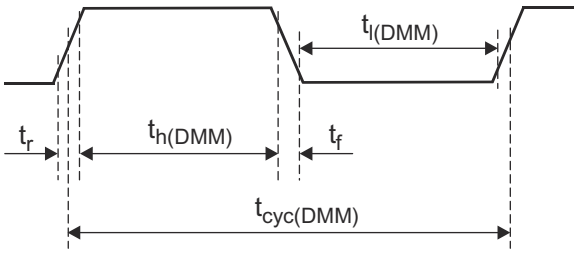


图 7-18. DMMCLK 时序

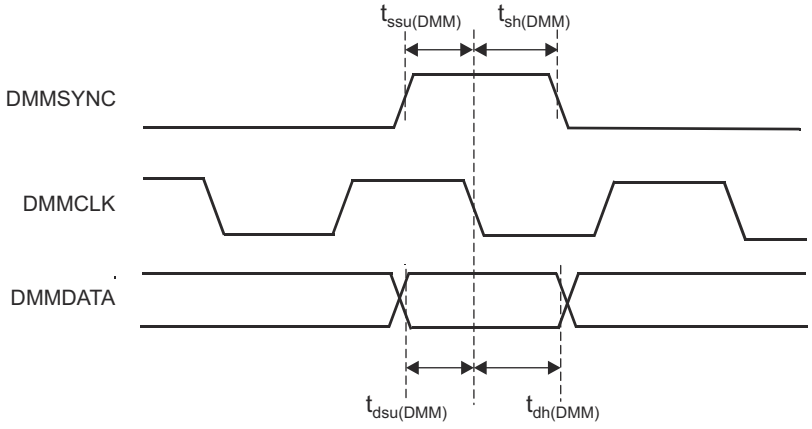


图 7-19. DMMDATA 时序

7.10.13 JTAG 接口

节 7.10.13.2 和节 7.10.13.3 假设了节 7.10.13.1 所示的运行条件。

7.10.13.1 JTAG 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

7.10.13.2 IEEE 1149.1 JTAG 的时序要求

编号			最小值	典型值	最大值	单位
1	$t_{c(TCK)}$	TCK 周期时间	66.66			ns
1a	$t_{w(TCKH)}$	TCK 高电平的脉冲持续时间 (tc 的 40%)	26.67			ns
1b	$t_{w(TCKL)}$	TCK 低电平的脉冲持续时间 (tc 的 40%)	26.67			ns
3	$t_{su(TDI-TCK)}$	TDI 有效至 TCK 高电平的输入建立时间	2.5			ns
	$t_{su(TMS-TCK)}$	TMS 有效至 TCK 高电平的输入建立时间	2.5			ns
4	$t_{h(TCK-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	18			ns
	$t_{h(TCK-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	18			ns

7.10.13.3 IEEE 1149.1 JTAG 在推荐工作条件下的开关特性

编号	参数		最小值	典型值	最大值	单位
2	$t_{d(TCKL-TDOV)}$	TCK 低电平到 TDO 有效的延迟时间	0		25	ns

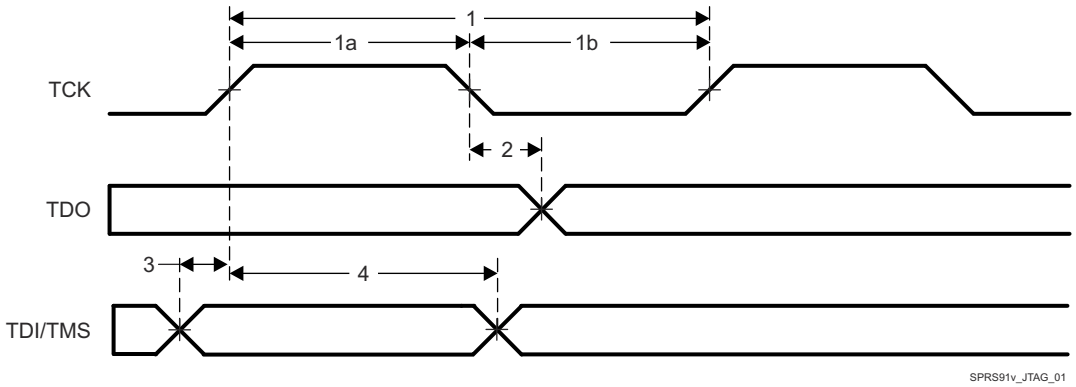


图 7-20. JTAG 时序

Copyright © 2024 Texas Instruments Incorporated

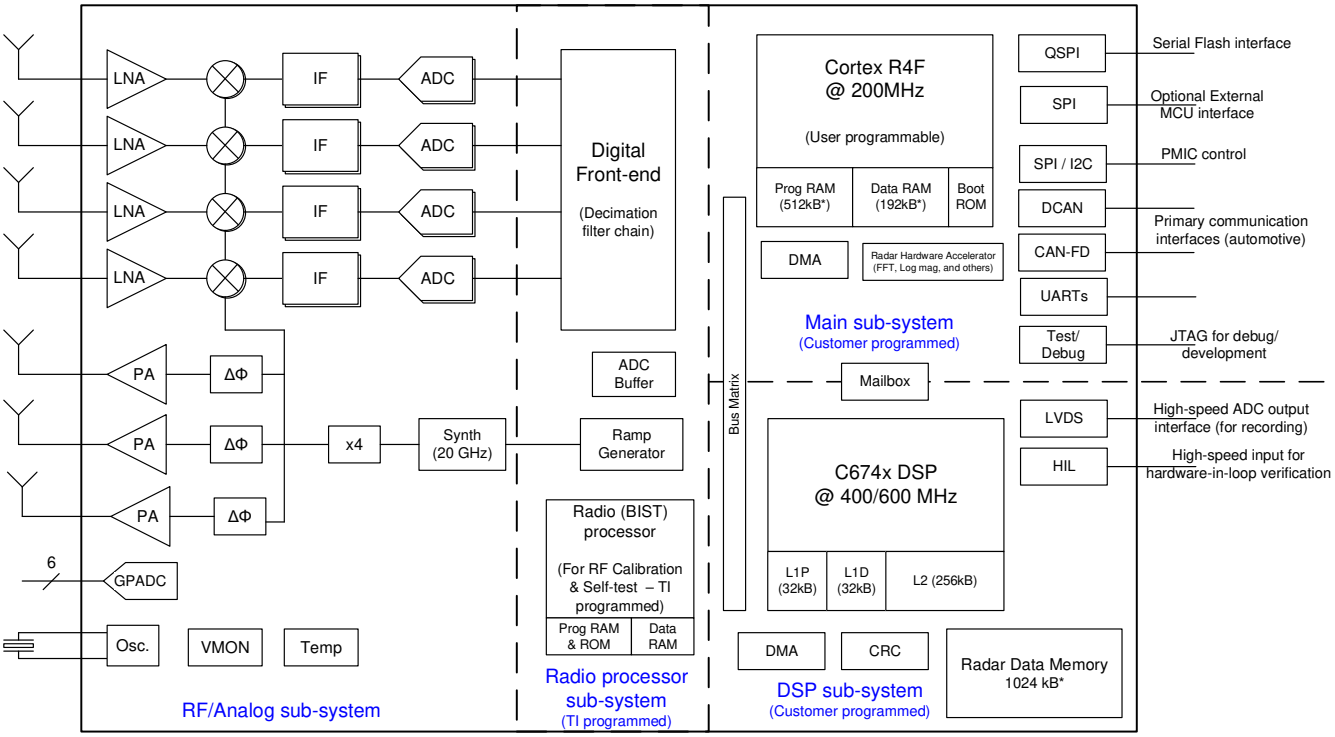
8 详细说明

8.1 概述

AWR1843 器件包括用于两个发送器和四个接收器的整个毫米波模块和模拟基带信号链，以及一个客户可编程 MCU。该器件适用于在存储器、处理能力和应用代码大小要求不太高的使用案例中作为片上雷达使用。例如，从 24GHz 窄带实现发展而来的成本敏感型汽车应用以及一些新兴的简单超短距离雷达应用。该器件的典型应用示例包括基本盲点检测、泊车辅助等。

在可扩展性方面，AWR1843 器件可与低端外部 MCU 配合使用，以满足更复杂的应用，这些应用可能需要额外的存储器来支持更大的应用软件占用空间和更快的接口。由于 AWR1843 器件还提供高速数据接口（例如串行 LVDS），因此适用于连接功能更强大的外部处理块。在此处，系统设计人员可以选择使用 AWR1843 来提供原始 ADC 数据。

8.2 功能方框图



* Up to 512kB of Radar Data Memory can be switched to the Main R4F program and data RAMs

图 8-1. 功能方框图

8.3 子系统

8.3.1 射频和模拟子系统

射频和模拟子系统包括射频和模拟电路，即合成器、PA、LNA、混频器、IF 和 ADC。这个子系统还包括晶体振荡器和多个温度传感器。三个发送通道可以根据需要同时运行以实现发送波束形成目的，而四个接收通道都可以同时运行；而四个接收通道都可以同时运行。

Copyright © 2024 Texas Instruments Incorporated

8.3.1.1 时钟子系统

AWR1843 时钟子系统通过 40MHz 晶体的输入基准，生成 76GHz 至 81GHz 的频率。它具有一个内置振荡器电路，后跟一个清理 PLL 和一个射频合成器电路。然后，射频合成器的输出由 X4 乘法器进行处理，以生成 76GHz 至 81GHz 频谱范围内的所需频率。通过计时引擎模块对射频合成器输出进行调制，以生成传感器有效运行所需的波形。

清理 PLL 还在系统唤醒后为主机处理器提供基准时钟。

时钟子系统还具有内置的机制，用于检测晶体是否存在以及监测所生成的时钟的质量。

图 8-2 介绍了时钟子系统。

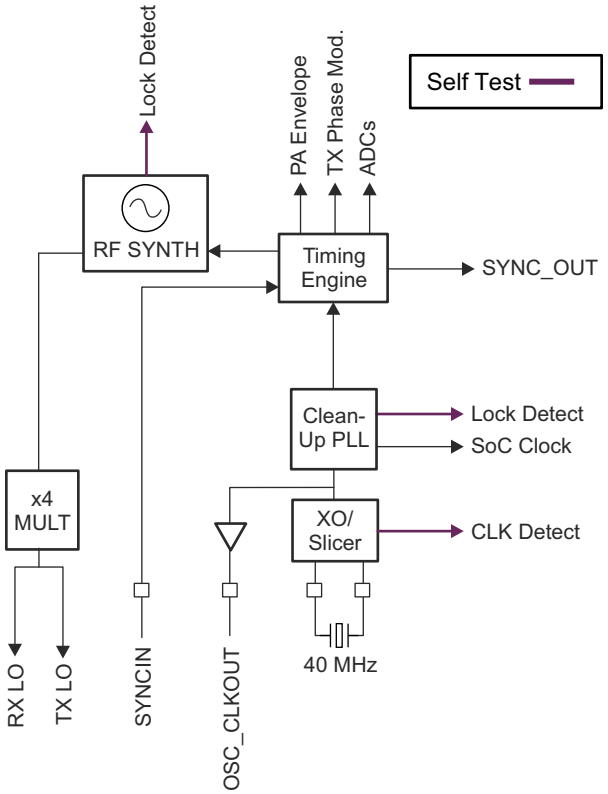


图 8-2. 时钟子系统

8.3.1.2 发送子系统

AWR1843 发送子系统由三个并行发送链组成，每个发送链具有独立的相位和振幅控制。可以同时使用全部三个发送器。对于 AWR1843，额外的移相器与 Tx 通道相关联，可以根据每个线性调频脉冲对其进行编程。

每个发送链可在 PCB 上的天线端口处提供最大 12dBm 的功率。发送链还支持可编程退避以实现系统优化。

图 8-3 介绍了发送子系统。

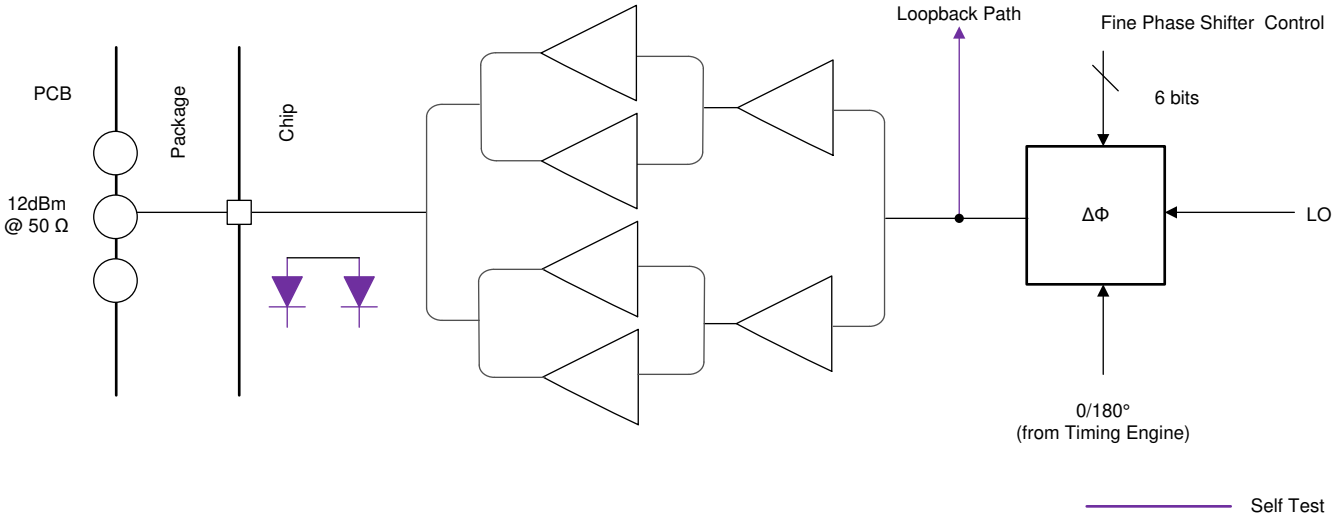


图 8-3. 发送子系统（每通道）

8.3.1.3 接收子系统

AWR1843 接收子系统由四个并行通道组成。单个接收通道由 LNA、混频器、IF 滤波、ADC 转换和抽取组成。全部四个接收通道可以同时运行，也提供了单独的断电选项以实现系统优化。

与传统的仅实数接收器不同，AWR1843 器件支持复数基带架构，该架构使用正交混频器以及双路 IF 和 ADC 链为每个接收器通道提供复数 I 和 Q 输出。AWR1843 适用于快速线性调频脉冲系统。带通中频链具有高于 175kHz 的可配置较低截止频率，并可以支持高达 10 MHz 的带宽。

图 8-4 介绍了接收子系统。

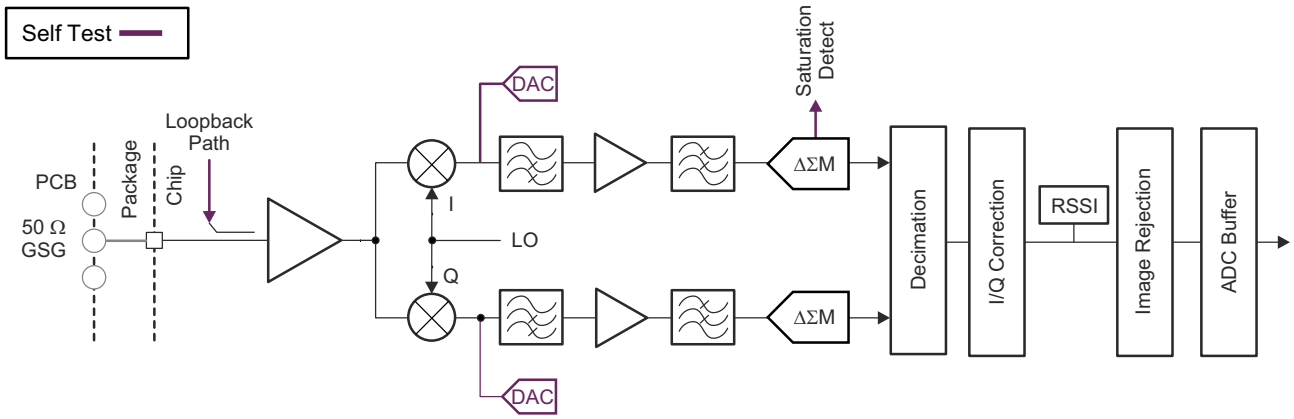


图 8-4. 接收子系统（每通道）

Copyright © 2024 Texas Instruments Incorporated

8.3.2 处理器子系统

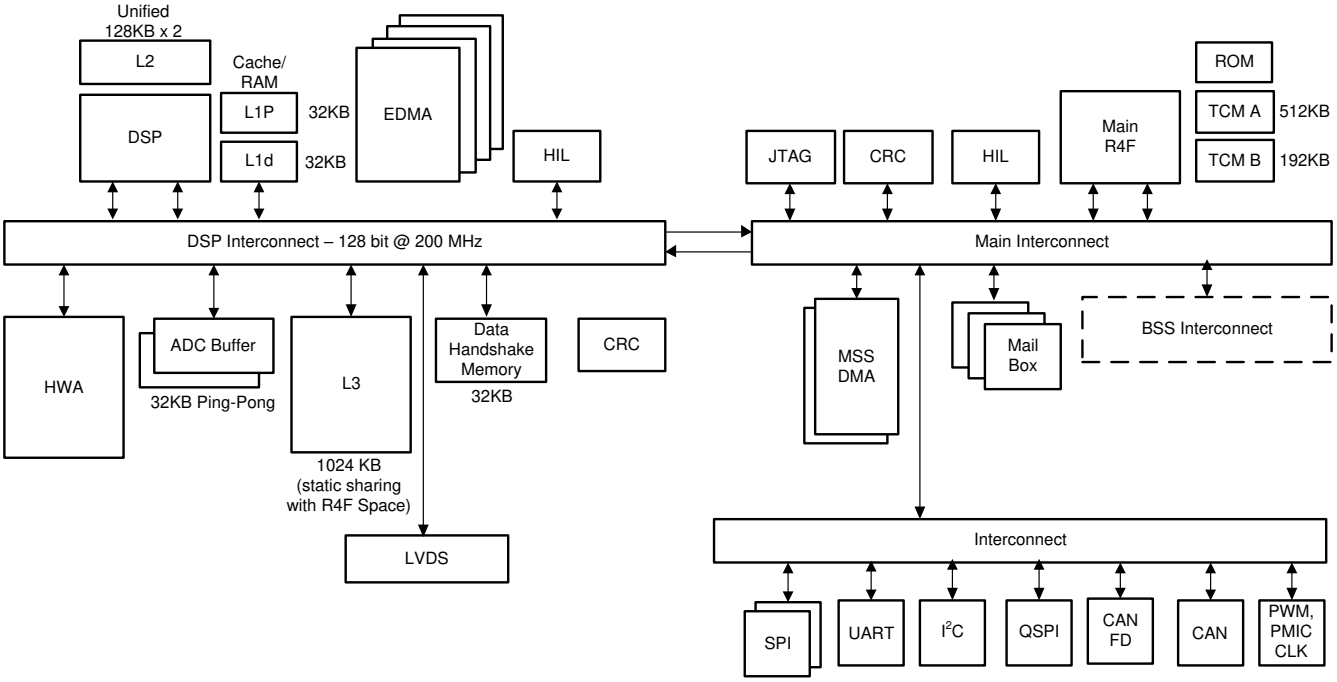


图 8-5. 处理器子系统

图 8-5 显示了 AWR1843 器件中客户可编程处理器子系统的方框图。概括来说，有两个客户可编程子系统，图中用虚线隔开。左侧显示的 DSP 子系统包括 TI 的高性能 C674x DSP、用于实现高性能（128 位，200MHz）的高带宽互连和相关外设（四个用于数据传输的 DMA）。LVDS 接口用于测量数据输出、L3 雷达数据立方体存储器、ADC 缓冲器、CRC 引擎和数据握手存储器（互连上提供的额外存储器）。

图的右侧显示了主子系统。顾名思义，主子系统是器件的大脑，控制着所有器件外设和器件的通用活动。主子系统包含 Cortex-R4F（主 R4F）处理器和关联的外设和通用元件，例如 DMA、CRC 和通过外设中心资源（PCR 互连）连接到主互连的外设（I^2C、UART、SPI、CAN、PMIC 时钟模块、PWM 等）。

有关 DSP CPU 内核的详细信息，请访问 https://www.ti.com.cn/product/cn/TMS320C6748。

HIL 模块显示在两个子系统中，可用于执行雷达操作以将采集的数据从外部馈送到器件中，而不需要射频子系统。主 SS 上的 HIL 用于控制配置，而 DSPSS 上的 HIL 用于将高速 ADC 数据输入到器件。两个 HIL 模块在器件上使用相同的 IO，一个额外的 IO (DMM_MUX_IN) 允许选择其中的任何一个。

8.3.3 汽车接口

AWR1843 通过以下主接口与汽车网络通信：

- CAN 和 CAN-FD

8.3.4 主子系统 Cortex-R4F 存储器映射

表 8-1 显示了主子系统 Cortex-R4F 存储器映射。

备注

主子系统具有单独的 Cortex-R4F 地址和 DMA MSS 地址。有关完整列表，请参阅技术参考手册。

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 主子系统 Cortex-R4F 存储器映射

名称	帧地址（十六进制）		尺寸	说明
	开始	结束		
CPU 紧耦合存储器				
TCMA ROM	0x0000_0000	0x0001_FFFF	128KiB	对 ROM 进行编程
TCM RAM-A	0x0020_0000	0x0023_FFFF（或 0x0027_FFFF）	512KiB	256/512KB（基于型号）
TCM RAM-B	0x0800_0000	0x0802_FFFF	192KB	Data RAM
软件暂存区存储器				
SW_Buffer	0x0C20_0000	0x0C20_1FFF	8KB	软件暂存区存储器
系统外设				
邮箱 MSS<->RADARSS	0xF060_1000	0xF060_17FF	2KB	RADARSS 到 MSS 邮箱存储器空间
	0xF060_2000	0xF060_27FF		MSS 到 RADARSS 邮箱存储器空间
	0xF060_8000	0xF060_80FF	188B	MSS 到 RADARSS 邮箱配置寄存器
	0xF060_8060	0xF060_86FF		RADARSS 到 MSS 邮箱配置寄存器
邮箱 MSS<->DSPSS	0xF060_4000	0xF060_47FF	2KB	DSPSS 到 MSS 邮箱存储器空间
	0xF060_5000	0xF060_57FF		MSS 到 DSPSS 邮箱存储器空间
	0xF060_8400	0xF060_84FF	188B	MSS 到 DSPSS 邮箱配置寄存器
	0xF060_8300	0xF060_83FF		DSPSS 到 MSS 邮箱配置寄存器
邮箱 RADARSS<->DSPSS	0xF060_6000	0xF060_67FF	2KB	RADARSS 到 DSPSS 邮箱存储器空间
	0xF060_7000	0xF060_7FFF		DSPSS 到 RADARSS 邮箱存储器空间
	0xF060_8200	0xF060_82FF	188B	RADARSS 到 DSPSS 邮箱配置寄存器
	0xF060_8100	0xF060_81FF		DSPSS 到 RADARSS 邮箱配置寄存器
PRCM 和控制模块	0xFFFF_E100	0xFFFF_E2FF	756B	顶级复位、时钟管理寄存器
	0xFFFF_FF00	0xFFFF_FFFF	256B	MSS 复位、时钟管理寄存器
	0xFFFF_EA00	0xFFFF_EBFF	512KB	IO 多路复用器模块寄存器
	0xFFFF_F800	0xFFFF_FBFF	352B	通用控制寄存器
GIO	0xFFF7_BC00	0xFFF7_BDFF	180B	GIO 模块配置寄存器
DMA-1	0xFFFF_F000	0xFFFF_F3FF	1KB	DMA-1 模块配置寄存器
DMA-2	0xFCFF_F800	0xFCFF_FBFF	1KB	DMA-2 模块配置寄存器
DMM-1	0xFCFF_F700	0xFCFF_F7FF	472B	DMM-1 模块配置寄存器
DMM-2	0xFCFF_F600	0xFCFF_F6FF	472B	DMM-2 模块配置寄存器
VIM	0xFFFF_FD00	0xFFFF_FEFF	512B	VIM 模块配置寄存器
RTI-A/WD	0xFFFF_FC00	0xFFFF_FCFF	192B	RTI-A 模块配置寄存器
RTI-B	0xFFFF_EE00	0xFFFF_EEFF	192B	RTI-B 模块配置寄存器
串行接口和连接				
QSPI	0xC000_0000	0xC07F_FFFF	8MB	QSPI 闪存存储器空间
	0xC080_0000	0xC0FF_FFFF	116B	QSPI 模块配置寄存器
MIBSPI-A	0xFFF7_F400	0xFFF7_F5FF	512B	MIBSPI-A 模块配置寄存器
MIBSPI-B	0xFFF7_F600	0xFFF7_F7FF	512B	MIBSPI-B 模块配置寄存器
SCI-A	0xFFF7_E500	0xFFF7_E5FF	148B	SCI-A 模块配置寄存器
SCI-B	0xFFF7_E700	0xFFF7_E7FF	148B	SCI-B 模块配置寄存器
CAN	0xFFF7_DC00	0xFFF7_DDFF	512B	CAN 模块配置寄存器
CAN_FD(MCAN)	0xFFF7_C800	0xFFF7_CFFF	768B	CAN-FD 模块配置寄存器
	0xFFF7_A000	0xFFF7_A1FF	452B	MCAN ECC 模块寄存器

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 主子系统 Cortex-R4F 存储器映射（续）

名称	帧地址（十六进制）		尺寸	说明
	开始	结束		
I2C	0xFFF7_D400	0xFFF7_D4FF	112B	I2C 模块配置寄存器
互连				
PCR-1	0xFFF7_8000	0xFFF7_87FF	1KiB	PCR-1 互连配置端口
PCR-2	0xFCFF_1000	0xFCFF_17FF	1KiB	PCR-2 互连配置端口
安全模块				
CRC	0xFE00_0000	0xFEFF_FFFF	16KiB	CRC 模块配置寄存器
PBIST	0xFFFF_E400	0xFFFF_E5FF	464B	PBIST 模块配置寄存器
STC	0xFFFF_E600	0xFFFF_E7FF	284B	STC 模块配置寄存器
DCC-A	0xFFFF_EC00	0xFFFF_ECFF	44B	DCC-A 模块配置寄存器
DCC-B	0xFFFF_F400	0xFFFF_F4FF	44B	DCC-B 模块配置寄存器
ESM	0xFFFF_F500	0xFFFF_F5FF	156B	ESM 模块配置寄存器
CCMR4	0xFFFF_F600	0xFFFF_F6FF	136B	CCMR4 模块配置寄存器
信息安全模块				
Crypto	0xFD00_0000	0XFDFF_FFFF	3KiB	加密模块配置寄存器
其他子系统				
DSS_TPTC0	0x5000 0000	0x5000 0317	792B	TPTC0 模块配置空间
DSS_REG	0x5000 0400	0x5000 075F	864B	DSPSS 控制模块寄存器
DSS_TPTC1	0x5000 0800	0x5000 0B17	792B	TPTC1 模块配置空间
DSS_REG2	0x5000 0C00	0x5000 0EA3	676B	DSPSS 控制模块寄存器
DSS_TPCC0	0x5001 0000	0x5001 3FFF	16 KB	TPCC0 模块配置空间
DSS_RTIA/WDT	0x5002 0000	0x5002 00BF	192B	DSS_RTIA/WDT 配置空间
DSS_SCI	0x5003 0000	0x5003 0093	148B	SCI 存储器空间
DSS_STC	0x5004 0000	0x5004 011B	284B	STC 模块配置空间
DSS_CBUFF	0x5007 0000	0x5007 0233	564B	公用缓冲器模块配置寄存器
DSS_TPTC2	0x5009 0000	0x5009 0317	792B	TPTC2 模块配置空间
DSS_TPTC3	0x5009 0400	0x5009 0717	792B	TPTC3 模块配置空间
DSS_TPCC1	0x500A 0000	0x500A 3FFF	16 KB	TPCC1 模块配置空间
DSS_ESM	0x500D 0000	0x500D 005B	92B	ESM 模块配置寄存器
DSS_RTIB	0x500F 0000	0x500F 00BF	192B	RTI-B 模块配置寄存器
DSS_L3RAM 共享存储器	0x5100 0000	0x511F FFFF	2MB(1)	L3 共享存储器空间
DSS_ADCBUF 缓冲器	0x5200 0000	0x5200 7FFF	32 KB	ADC 缓冲存储器空间
DSS_CBUFF_FIFO	0x5202 0000	0x5202 3FFF	16 KB	公用缓冲器 FIFO 空间
DSS_HSRAM1	0x5208 0000	0x5208 7FFF	32 KB	握手存储器空间
DSS_DSP_L2_UMAP1	0x577E 0000	0x577F FFFF	128 KB	L2 RAM 空间
DSS_DSP_L2_UMAP0	0x5780 0000	0x5781 FFFF	128 KB	L2 RAM 空间
DSS_DSP_L1P	0x57E0 0000	0x57E0 7FFF	32 KB	L1 程序存储器空间
DSS_DSP_L1D	0x57F0 0000	0x57F0 7FFF	32 KB	L1 数据存储器空间
外设存储器（系统和非系统）				
CAN RAM	0xFF1E_0000	0xFF1F_FFFF	128KB	CAN RAM 存储器空间

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 主子系统 Cortex-R4F 存储器映射（续）

名称	帧地址（十六进制）		尺寸	说明
	开始	结束		
CAN-FD RAM	0xFF50_0000	0xFF51_FFFF	68KB	CAN-FD RAM 存储器空间
DMA1 RAM	0xFFF8_0000	0xFFF8_0FFF	4KB	DMA1 RAM 存储器空间
DMA2 RAM	0xFCF8 1000	0xFCF8_0FFF	4KB	DMA2 RAM 存储器空间
VIM RAM	0xFFF8_2000	0xFFF8_2FFF	2KB	VIM RAM 存储器空间
MIBSPIB-TX RAM	0xFF0C_0000	0xFF0C_01FF	0.5KB	MIBSPIB-TX RAM 存储器空间
MIBSPIB-RX RAM	0xFF0C_0200	0xFF0C_03FF	0.5KB	MIBSPIB-RX RAM 存储器空间
MIBSPIA-TX RAM	0xFF0E_0000	0xFF0E_01FF	0.5KB	MIBSPIA-TX RAM 存储器空间
MIBSPIA-RX RAM	0xFF0E_0200	0xFF0E_03FF	0.5KB	MIBSPIA-RX RAM 存储器空间
调试模块				
调试子系统	0xFFA0_0000	0xFFAF_FFFF	244KB	调试子系统存储器空间和寄存器

(1) 2MB 存储器空间内的 768KB 存储器

8.3.5 DSP 子系统存储器映射

表 8-2 显示了 DSP C674x 存储器映射。

表 8-2. DSP C674x 存储器映射

名称	帧地址（十六进制）		尺寸	说明
	启动	结束		
DSP 存储器				
DSP_L1D	0x00F0_0000	0x00F0_7FFF	32KiB	L1 数据存储器空间
DSP_L1P	0x00E0_0000	0x00E0_7FFF	32KiB	L1 程序存储器空间
DSP_L2_UMAP0	0x0080_0000	0x0081_FFFF	128KiB	L2 RAM 空间
DSP_L2_UMAP1	0x007E_0000	0x007F_FFFF	128KiB	L2 RAM 空间
EDMA				
TPCC0	0x0201_0000	0x0201_3FFF	16KiB	TPCC0 模块配置空间
TPCC1	0x020A_0000	0x020A_3FFF	16KiB	TPCC1 模块配置空间
TPTC0	0x0200 0000	0x0200 03FF	1KiB	TPTC0 模块配置空间
TPTC1	0x0200 0800	0x0200 0BFF	1KiB	TPTC1 模块配置空间
TPTC2	0x0209_0000	0x0209_03FF	1KiB	TPTC2 模块配置空间
TPTC3	0x0209_0400	0x0209_07FF	1KiB	TPTC3 模块配置空间
控制寄存器				
DSS_REG	0x0200_0400	0x0200_07FF	864B	DSPSS 控制模块寄存器
DSS_REG2	0x0200_0C00	0x0200_0FFF	624B	DSPSS 控制模块寄存器
系统存储器				
ADC 缓冲器	0x2100_0000	0x2100_7FFC	32KiB	ADC 缓冲存储器空间
CBUFF-FIFO	0x2102_0000	0x2102_3FFC	16KiB	公用缓冲器 FIFO 空间
L3 共享存储器(1)	0x2000_0000	0x201F_FFFF	2MB	L3 共享存储器空间
HS-RAM	0x2108_0000	0x2108_7FFC	32KiB	握手存储器空间
系统外设				
RTI-A/WD	0x0202_0000	0x0202_00FF	192B	RTI-A 模块配置寄存器
RTI-B	0x020F_0000	0x020F_00FF	192B	RTI-B 模块配置寄存器
CBUFF	0x0207_0000	0x0207_03FF	564B	公用缓冲器模块配置寄存器

Copyright © 2024 Texas Instruments Incorporated

表 8-2. DSP C674x 存储器映射 （续）

名称	帧地址（十六进制）		尺寸	说明
	启动	结束		
邮箱 MSS<->RADARSS	0x5060_1000	0x5060_17FF	2KiB	RADARSS 到 MSS 邮箱存储器空间
	0x5060_2000	0x5060_27FF		MSS 到 RADARSS 邮箱存储器空间
	0x0460_8000	0x0460_80FF	188B	MSS 到 RADARSS 邮箱配置寄存器
	0x0460_8060	0x0460_86FF		RADARSS 到 MSS 邮箱配置寄存器
邮箱 MSS<->DSPSS	0x5060_4000	0x5060_47FF	2KiB	DSPSS 到 MSS 邮箱存储器空间
	0x5060_5000	0x5060_57FF		MSS 到 DSPSS 邮箱存储器空间
	0x0460_8400	0x0460_84FF	188B	MSS 到 DSPSS 邮箱配置寄存器
	0x0460_8300	0x0460_83FF		DSPSS 到 MSS 邮箱配置寄存器
邮箱 RADARSS<->DSPSS	0x5060_6000	0x5060_67FF	2KiB	RADARSS 到 DSPSS 邮箱存储器空间
	0x5060_7000	0x5060_7FFF		DSPSS 到 RADARSS 邮箱存储器空间
	0x0460_8200	0x0460_82FF	188B	RADARSS 到 DSPSS 邮箱配置寄存器
	0x0460_8100	0x0460_81FF		DSPSS 到 RADARSS 邮箱配置寄存器
安全模块				
ESM	0x020D_0000		92B	ESM 模块配置寄存器
CRC	0x2200_0000	0x2200_03FF	1KiB	CRC 模块配置寄存器
STC	0x0204_0000	0x0204_01FF	284B	STC 模块配置寄存器
非系统外设				
SCI	0x0203_0000	0x0203_00FF	148B	SCI 模块配置寄存器

(1) 2MB 存储器空间内的 768KB 存储器

8.4 其他子系统

8.4.1 用于用户应用的 ADC 通道（服务）

AWR1843 器件包含提供用于用户应用的 ADC 服务，其中

器件内部存在的 GPADC 引擎可用于测量多达六个外部电压。ADC1、ADC2、ADC3、ADC4、ADC5 和 ADC6 引脚用于此目的。

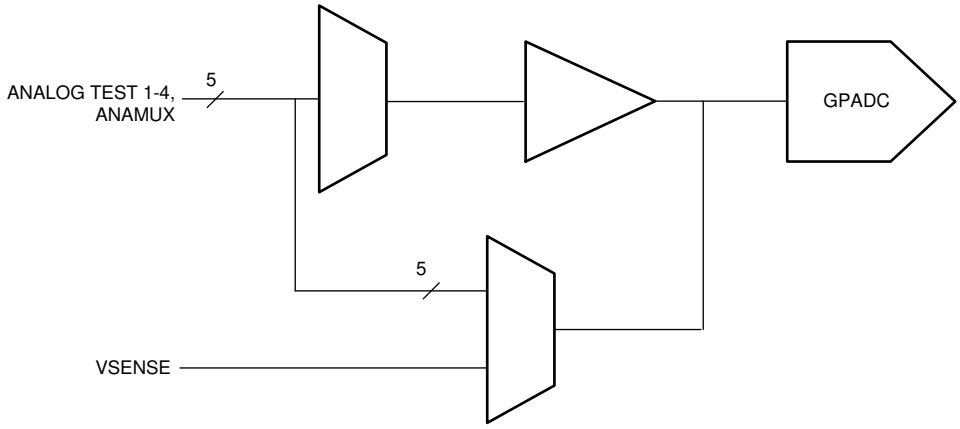
- ADC 本身由在 BIST 子系统内部运行的 TI 固件进行控制，通过调用路由到 BIST 子系统的“监控 API”对其进行访问，以实现客户的外部电压监测目的。此 API 可以与在 MSS R4F 上运行的用户应用程序链接。
- BIST 子系统固件将在内部调度这些测量以及其他射频和模拟监测操作。这些 API 允许配置稳定时间（要跳过的 ADC 样本数）和要采集的连续样本数。在帧结束时，将报告每个受监测电压读数的最小值、最大值和平均值。

GPADC 规格：

- 625Ksps SAR ADC
- 0V 至 1.8V 输入范围
- 10 位分辨率

Copyright © 2024 Texas Instruments Incorporated

- 对于 6 个输入中的 5 个输入，可以使用可选的内部缓冲器。如果没有缓冲器，ADC 具有使用 5pF 的采样电容和 12pF 的寄生电容建模的开关电容器输入负载（GPADC 通道 6，内部缓冲器不可用）。



A. GPADC 结构用于测量内部温度传感器的输出。这些测量的精度为 ±7°C。

图 8-6. ADC 路径

8.4.1.1 GP-ADC 参数

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	典型值	单位
ADC 电源	1.8	V
ADC 非缓冲输入电压范围	0 – 1.8	V
ADC 缓冲输入电压范围(1)	0.4 – 1.3	V
ADC 分辨率	10	位
ADC 偏移误差	±5	LSB
ADC 增益误差	±5	LSB
ADC DNL	-1/+2.5	LSB
ADC INL	±2.5	LSB
ADC 采样速率(2)	625	Ksps
ADC 采样时间(2)	400	ns
ADC 内部电容	10	pF
ADC 缓冲器输入电容	2	pF
ADC 输入漏电流	3	uA

(1) 超出给定范围时，缓冲器输出将变成非线性。
(2) ADC 本身由在 BIST 子系统中运行的 TI 固件进行控制。有关更多详细信息，请参阅 API 调用。

Copyright © 2024 Texas Instruments Incorporated

9 监控和诊断

9.1 监测和诊断机制

表 9-1 列出了功能安全合规型器件中可用的主要监测和诊断机制。

表 9-1. 功能安全合规型器件的监测和诊断机制

否	特性	说明
1	MSS R4F 内核和关联 VIM 的启动时间 LBIST	器件架构支持硬件逻辑 BIST (LBIST) 引擎自检控制器 (STC)。该逻辑用于在晶体管级的 MSS R4F CPU 内核和向量中断模块 (VIM) 上提供非常高的诊断覆盖率 (>90%)。 在启动功能安全应用之前，需要由应用程序代码触发 CPU 和 VIM 的 LBIST。CPU 保持在 while 循环中，如果发现故障，则不会继续执行。
2	MSS R4F TCM 存储器的启动时间 PBIST	MSS R4F 具有三个紧密耦合存储器 (TCM) 存储器：TCMA、TCMB0 和 TCMB1。器件架构支持一个硬件可编程存储器 BIST (PBIST) 引擎。该逻辑用于在晶体管级别对所实现的 MSS R4F TCM 提供非常高的诊断覆盖率 (March-13n)。 TCM 存储器的 PBIST 在启动时由引导加载程序触发，然后从闪存或外设接口开始下载应用程序。CPU 保持在 while 循环中，如果发现故障，则不会继续执行。
3	用于 MSS R4F TCM 存储器的端到端 ECC	TCM 诊断由单错校正、双错检测 (SECDED) ECC 诊断提供支持。使用一个 8 位代码字来存储通过 64 位数据总线计算的 ECC 数据。ECC 评估由 CPU 内部的 ECC 控制逻辑执行。这种方案在 CPU 和 TCM 间的传输上提供端到端诊断。CPU 可配置为对一位和双位错误条件具有预先确定的响应（忽略或中止生成）。
4	MSS R4F TCM 位多路复用	逻辑 TCM 字及其关联的 ECC 代码被分开并存储于两个物理 SRAM 组中。这种方案提供一个针对物理 SRAM 组中地址解码故障的固有诊断机制。组寻址中的故障被 CPU 检测为一个 ECC 故障。 此外，实施位多路复用方案，以便所访问的旨在生成一个逻辑 (CPU) 字的位在物理上不相邻。这一机制有助于减少会导致逻辑多位故障的物理多位故障的可能性；相反的它们多表现为多个一位故障。由于 SECDED TCM ECC 能够校正一个逻辑字中的一位故障，因此该机制可提高 TCM ECC 诊断的有效性。 这两个特性都是硬件特性，无法由应用软件启用或禁用。
5	时钟监控器	器件架构支持三个数字时钟比较器器件 (DCC) 和一个内部 RCOSC。这些模块提供双重功能 - 时钟检测和时钟监控。 DCCint 用于在引导时检查基准时钟的可用性/范围，否则器件会进入跛行模式（器件仍启动，但使用 10MHz RCOSC 时钟源。这提供了调试功能）。DCCint 仅由引导加载程序在引导期间使用。它会在 APLL 启用并锁定后被禁用。 DCC1 专用于 APLL 锁定检测监控，将 APLL 输出分频版本与器件的基准输入时钟进行比较。最初（在配置 APLL 之前），DCC1 由引导加载程序用于根据内部 RCOSC 时钟源识别基准输入时钟的精确频率。DCC1 的故障检测会使器件进入跛行模式。 DCC2 模块是一个可供用户软件使用的模块。从详细规格中给出的时钟选项列表中，可以比较任意两个时钟。一个使用示例是将 CPU 时钟与基准或内部 RCOSC 时钟源进行比较。故障检测通过错误信令模块 (ESM) 向 MSS R4F CPU 指示。
7	用于 MSS R4F 的 RTI/WD	器件架构支持使用在实时中断 (RTI) 模块中实现的内部看门狗。内部看门狗有两个运行模式：数字式看门狗 (DWD) 和数字窗口模式看门狗 (DWWD)。这两种运行模式是互斥的；设计人员可以选择使用其中一种模式，但不能同时使用这两种模式。 在检测到故障时，看门狗可以发出内部（热）系统复位或者 CPU 不可屏蔽中断。 看门狗由引导加载程序于启动时在 DWD 模式下启用，以跟踪启动过程。当应用程序代码获得控制权后，可以根据具体的客户要求再次配置看门狗以获得所需的模式和时序。
8	MSS R4F 的 MPU	Cortex-R4F CPU 包含一个 MPU。MPU 逻辑可被用于提供器件内存中软件任务的空间分离。Cortex-R4F MPU 支持 12 个区域。根据每一个任务的需求，操作系统控制 MPU 并改变 MPU 设置。违反一个已设置的内存保护策略会导致一个 CPU 异常中断。
9	用于外设接口 SRAM 的 PBIST - SPI、CAN	器件架构还支持用于外设 SRAM 的硬件可编程存储器 BIST (PBIST) 引擎。 用于外设 SRAM 存储器的 PBIST 可由应用触发。用户能够根据可分配给 PBIST 诊断的执行时间，选择在一个 SRAM 或者一组 SRAM 上运行 PBIST。PBIST 测试会破坏存储器中的内容，正因如此，此测试通常只在启动时运行。但是，如果外设通信受到阻碍，用户可随时自由地启动测试。 PBIST 检测到的任何故障会导致一个在 PBIST 状态寄存中标示出的错误。
10	用于外设接口 SRAM 的 ECC - SPI、CAN	外设接口 SRAM 诊断由单错校正、双错检测 (SECDED) ECC 诊断提供支持。当检测到一位或双位错误时，将通过 ESM（错误信令模块）通知 MSS R4F。这一特性在复位后被禁用。软件必须在外设和 ESM 模块中配置和启用此特性。ECC 故障（一位纠正和双位不可纠正的错误情况）通过 ESM 模块作为中断报告给 MSS R4F。

Copyright © 2024 Texas Instruments Incorporated

表 9-1. 功能安全合规型器件的监测和诊断机制（续）

否	特性	说明
11	用于主 SS 外设的配置寄存器保护	所有主 SS 外设（SPI、CAN、I2C、DMA、RTI/WD、DCC、IOMUX 等）均通过外设中心资源 (PCR) 进行互连。这提供了两种可以限制对外设的访问的诊断机制。根据 PCR 中的外设芯片选择，外设可被时钟选通。这可用于禁用未使用的特性，使得这些特性无法产生干扰。此外，可对每一个外设芯片选择进行编程以限制基于事务处理优先级的访问。这一特性可用于将对于全部外设的访问限于特许操作系统代码。 复位后，这些诊断机制被禁用。软件必须配置并启用这些机制。保护违规还会生成错误，导致 MSS R4F 中止或对其他外设（例如 DMA）的错误响应。
12	循环冗余校验 - 主 SS	器件架构支持主 SS 上的硬件 CRC 引擎实现以下多项式。 • CRC16 CCITT – 0x10 • CRC32 以太网 – 0x04C11DB7 • CRC64 • CRC 32C – CASTAGNOLI – 0x1EDC6F4 • CRC32P4 – E2E Profile4 – 0xF4ACFB1 • CRC-8 – H2F Autosar – 0x2F • CRC-8 – VDA CAN – 0x1D 将 SRAM 内容读取到 CRC 的操作可由 CPU 或 DMA 来完成。结果比较、故障指示和故障响应由管理该测试的软件负责。
13	用于 DMA 的 MPU	器件架构支持在主 SS DMA 上使用 MPU。MPU 检测到的故障通过 ESM 作为中断报告给 MSS R4F CPU 内核。 DSPSS 的高性能 EDMA 还包括读取和写入端口上的 MPU。EDMA MPU 支持 8 个区域。MPU 检测到的故障通过本地 ESM 作为中断报告给 DSP 内核。
14	BIST R4F 内核和关联 VIM 的启动时间 LBIST	器件架构支持硬件逻辑 BIST (LBIST)，甚至对于 BIST R4F 内核和关联的 VIM 模块也是如此。该逻辑在 BIST R4F CPU 内核和 VIM 上提供非常高的诊断覆盖率 (>90%)。 这由 MSS R4F 引导加载程序在引导时触发，如果检测到故障，则不会继续进行。
15	BIST R4F TCM 存储器的启动时间 PBIST	器件架构支持适用于 BIST R4F TCM 的硬件可编程存储器 BIST (PBIST) 引擎，可在 BIST R4F TCM 上提供非常高的诊断覆盖率 (March-13n)。 PBIST 由 MSS R4F 引导加载程序在引导时触发，如果检测到故障，则不会继续进行。
16	用于 BIST R4F TCM 存储器的端到端 ECC	BIST R4F TCM 诊断由单错校正、双错检测 (SECDED) ECC 诊断提供支持。一位错误传送到 BIST R4FCPU，而双位错误作为中断传送到 MSS R4F，以便应用程序代码意识到这一点并采取适当的操作。
17	BIST R4F TCM 位多路复用	逻辑 TCM 字及其关联的 ECC 代码被分开并存储于两个物理 SRAM 组中。该方案为物理 SRAM 组中的地址解码故障提供了固有的诊断机制，并有助于降低物理多位故障导致逻辑多位故障的可能性。
18	用于 BIST R4F 的 RTI/WD	器件架构支持适用于 BIST R4F 的内部看门狗。超时情况通过中断报告给 MSS R4F，其余部分留给应用程序代码，以便进行 BIST SS 的软件复位或器件的热复位，使其脱离故障情况。
19	L1P、L1D、L2 和 L3 存储器的启动时间 PBIST	器件架构支持适用于 DSPSS 的 L1P、L1D、L2 和 L3 存储器的硬件可编程存储器 BIST (PBIST) 引擎，可提供非常高的诊断覆盖率 (March-13n)。 PBIST 由 MSS R4F 引导加载程序在引导时触发，如果检测到故障，则不会继续进行。
20	L1P 上的奇偶校验	器件架构支持对 DSP 的 L1P 存储器进行奇偶校验诊断。奇偶校验错误会作为中断报告给 CPU。 注意：L1D 存储器不在奇偶校验或 ECC 覆盖范围内，需要由应用级诊断覆盖。
21	针对 DSP L2 存储器的 ECC	器件架构支持对 DSP 的 L2 存储器执行奇偶校验单错校正、双错检测 (SECDED) ECC 诊断。L2 存储器是统一的 256KB 存储器，用于存储 DSP 的程序和数据部分。一个 12 位代码字用于存储在 256 位数据总线上计算出的 ECC 数据（逻辑指令提取大小）。用于 L2 访问的 ECC 逻辑位于 DSP 中，由 DSP 内部的 ECC 控制逻辑进行评估。这种方案在 DSP 和 L2 间的传输上提供端到端诊断。L2 上还提供字节对齐奇偶校验机制来处理数据部分。
22	雷达数据立方体 (L3) 存储器上的 ECC	L3 存储器在器件中用作雷达数据部分。器件架构支持对 L3 存储器的单错校正、双错检测 (SECDED) ECC 诊断。使用一个 8 位代码字来存储通过 64 位数据总线计算的 ECC 数据。 ECC 逻辑的故障检测通过 ESM 作为中断报告给 MSS R4F CPU 内核。
23	用于 DSP 内核的 RTI/WD	器件架构支持使用在实时中断 (RTI) 模块中实现的 BIST R4F 内部看门狗 — 与主 SS 中使用的模块相同的复制。该模块支持与用于 MSS/BIST R4F 的 RTI/WD 相同的功能。 该看门狗由客户应用程序代码启用，超时情况通过中断报告给 MSS R4F，其余部分留给应用程序代码，以便进行 DSP SS 的软件复位或器件的热复位，使其脱离故障情况。

Copyright © 2024 Texas Instruments Incorporated

表 9-1. 功能安全合规型器件的监测和诊断机制（续）

否	特性	说明
24	用于 DSP 子系统的 CRC	架构支持器件 DSPSS 上的专用硬件 CRC 实现以下多项式。 • CRC16 CCITT - 0x10 • CRC32 以太网 - 0x04C11DB7 • CRC64 读取到 CRC 的 SRAM 内容可由 DSP CPU 或者 DMA 来完成。结果比较、故障指示和故障响应由管理该测试的软件负责。
25	适用于 DSP 的 MPU	器件架构支持用于 DSP 存储器存取的 MPU（L1D、L1P 和 L2）。L2 存储器对于 L1P 和 L1D 分别支持 64 个区域和 16 个区域。MPU 的故障检测作为中止信号报告给 DSP 内核。
26	温度传感器	器件架构支持在整个器件上使用各种温度传感器（紧挨着高耗电模块，如 PA、DSP 等），这些传感器在帧间周期内受到监控。(1)
27	Tx 功率监测器	器件架构支持在 Tx 输出端使用功率检测器。(2)
28	错误信令 错误输出	当诊断检测到一个故障，这个错误必须被标出。器件架构使用一个称为错误信令模块 (ESM) 的外设逻辑电路来收集来自内部监测/诊断机制的故障指示。ESM 提供了一些机制来将错误按照严重性分类并提供可编程错误响应。 ESM 模块由客户应用代码配置，并且可以启用或屏蔽特定的错误信号，以便为 MSS R4F CPU 生成中断（低/高优先级）。 器件支持 Nerror 输出信号 (IO)，可从外部监测此信号，以识别设计中不由 R4F 处理的任何类型的高严重性故障。
29	合成器（线性调频脉冲）频率监测器	通过对时钟周期进行计数（分频）并与理想的频率斜升进行比较来监视合成器的频率斜升。检测并报告超过特定阈值的过量频率误差（如果有）。
30	TX 端口的焊球破裂检测（TX 焊球破裂监测器）	器件架构支持基于器件 TX 输出端阻抗测量的焊球破裂检测机制，以检测和报告任何指示焊球破裂的较大偏差。 监测由在 BIST R4F 上运行的 TI 代码执行，并通过邮箱将故障报告给 MSS R4F。 这完全由客户软件根据来自 BIST R4F 的消息决定采取适当的操作。
31	RX 环回测试	内置 TX 到 RX 环回功能，可检测 RX 路径中的故障，包括增益、RX 间平衡等。
32	IF 环回测试	内置中频（方波）测试音输入，用于监控 IF 滤波器的频率响应并检测故障。
33	RX 饱和检测	用于检测由于过量的输入信号电平和/或干扰而导致的 ADC 饱和。
34	DSP 内核的启动时间 LBIST	器件支持 DSP 内核的启动时间 LBIST。LBIST 可在引导期间由 MSS R4F 应用程序代码触发。

(1) 监测由在 BIST R4F 上运行的 TI 代码执行。
可通过两种模式将其配置为报告客户应用通过 API 检测到的温度。
a. 报告在每 N 帧之后检测到的温度
b. 一旦温度超过编程阈值，就报告该情况。

这完全由客户软件根据通过 Mailbox 从 BIST R4F 收到的消息来决定采取适当的操作。

(2) 监测由在 BIST R4F 上运行的 TI 代码执行。
可通过两种模式将其配置为报告客户应用通过 API 检测到的输出功率。
a. 报告每 N 帧后检测到的功率
b. 一旦输出功率下降幅度超过配置的阈值，则报告该情况。

这完全由客户软件根据来自 BIST R4F 的消息决定采取适当的操作。

备注

有关所有诊断机制的适用性的更多详细信息，请参阅器件安全手册或其他相关配套资料。有关认证详细信息，请参阅器件产品文件夹。

Copyright © 2024 Texas Instruments Incorporated

9.1.1 错误信令模块

当诊断检测到一个故障，这个错误必须被标出。AWR1843 架构使用一个被称为错误信令模块 (ESM) 的外设逻辑电路来收集来自内部诊断机制的故障指示。ESM 提供了一些机制来将故障按照严重性分类并允许可编程错误响应。下面是 ESM 模块的简要方框图。

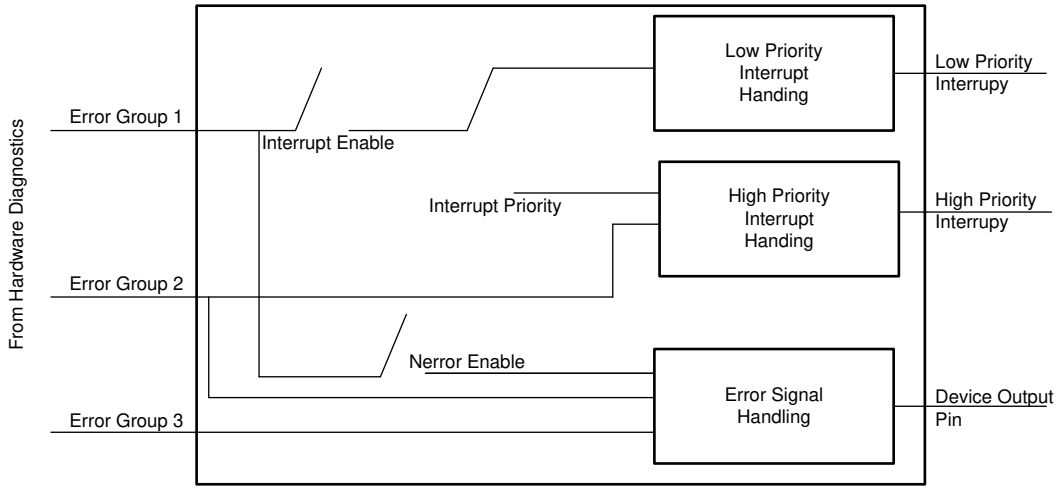


图 9-1. ESM 模块结构图

Copyright © 2024 Texas Instruments Incorporated

10 应用、实施和布局

备注

以下“应用”部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

10.1 应用信息

可促进应用实现的关键器件特性包括：

- 集成雷达前端和可编程 MCU
- 灵活的启动模式：使用串行闪存进行自主应用启动或通过 SPI 进行外部启动。

10.2 短距离和中距离雷达

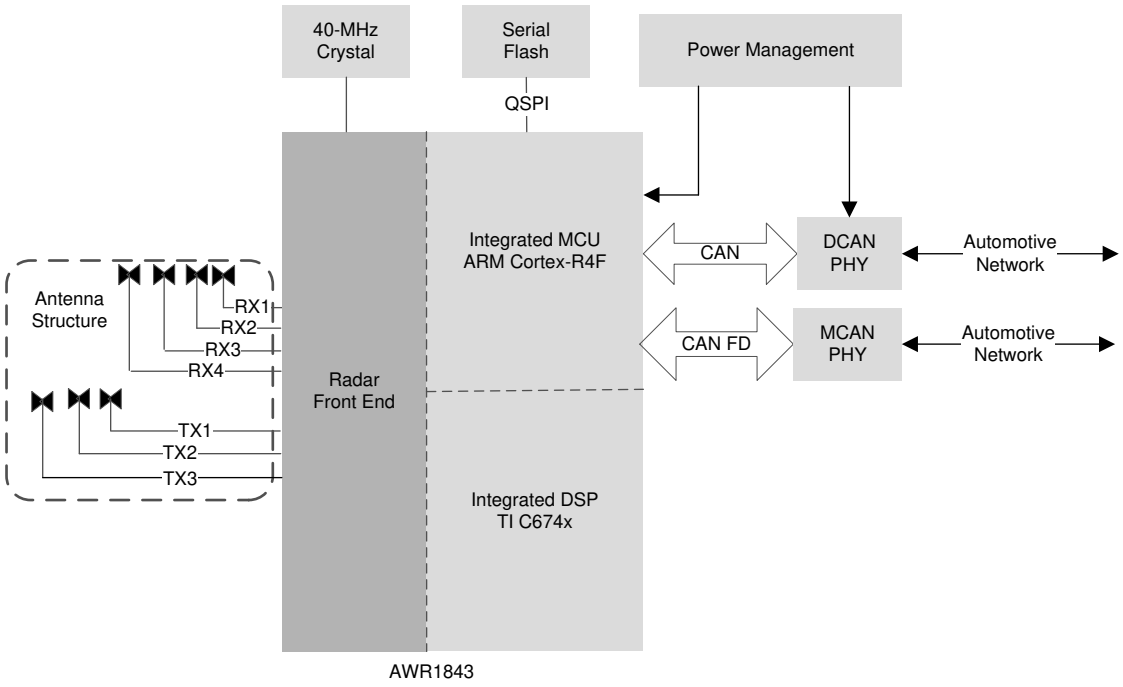


图 10-1. 短距离和中距离雷达

10.3 参考原理图

参考原理图和电源信息可在 AWR1843 EVM 文档中找到。

为方便起见，列出了：PCB 的设计文件、原理图、布局和堆叠。

- Altium AWR1843 EVM 设计文件
- AWR1843 EVM 原理图、装配图和物料清单

Copyright © 2024 Texas Instruments Incorporated

11 器件和文档支持

TI 提供广泛的开发工具。下面是用于评估器件性能、生成代码和开发解决方案的工具和软件。

11.1 器件命名规则

为了指出产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或无（无前缀）（例如 *AWR1843*）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示封装类型（例如 ABL0161 ALB0161）、温度范围（例如，无后缀表示默认的商用温度范围）。图 11-1 提供了读取任一 *AWR1843* 器件完整器件名称的图例。

如需获取具有 ABL0161 封装类型的 *AWR1843* 器件，请查阅本文档的封装选项附录，访问 TI 网站 (www.ti.com) 或联系您的 TI 销售代表。

有关芯片上器件命名规则标记的其他说明，请参阅 *AWR1843 器件勘误表*。

Copyright © 2024 Texas Instruments Incorporated

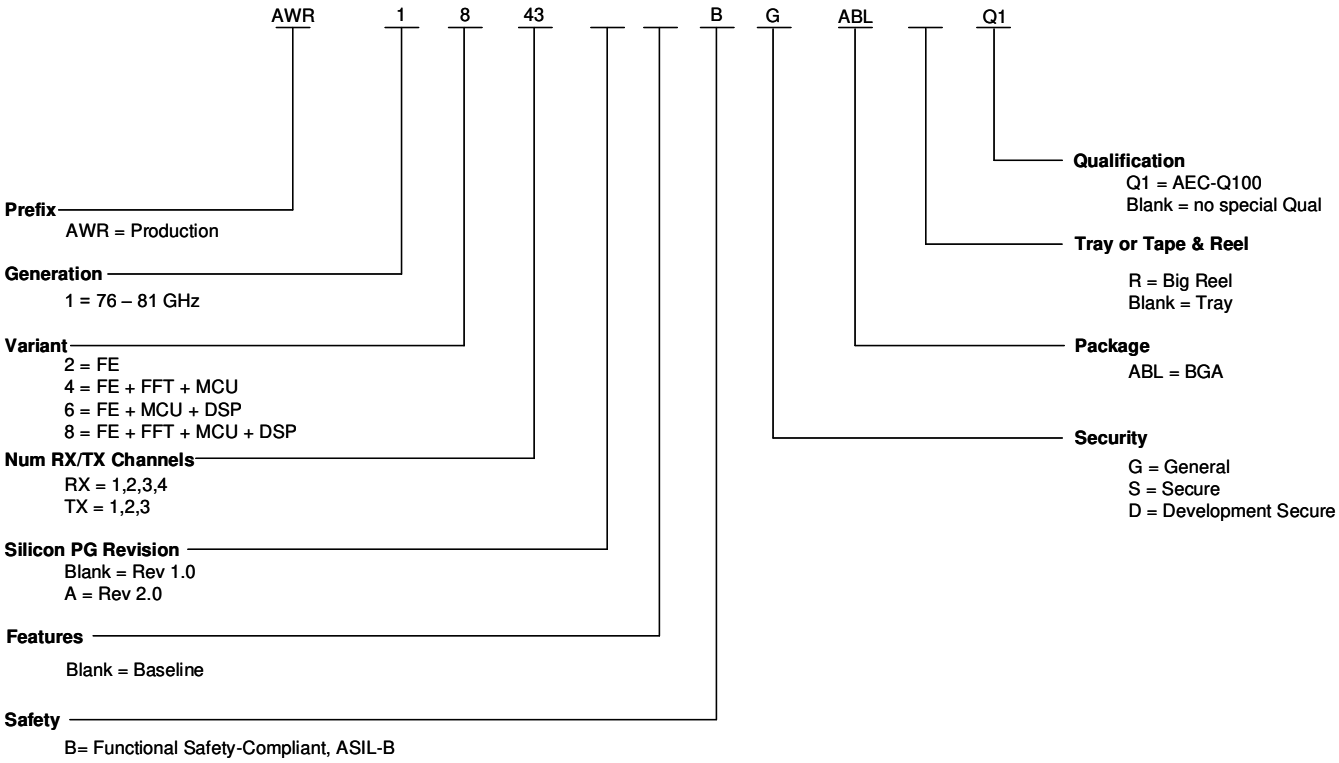


图 11-1. 器件命名规则

11.2 工具与软件

模型

AWR1843 BSDL 模型	符合专用器件 IEEE 1149.1 标准的可测试输入和输出引脚的边界扫描数据库。
AWR1843 IBIS 模型	适用于器件的 IO 缓冲器的 IO 缓冲器信息模型。有关电路板仿真的信息，请查看 IBIS 开放论坛。

11.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍 DSP、相关外设以及其他配套技术资料的最新文档。

勘误

AWR1843 器件勘误表	介绍了器件的已知问题、限制和注意事项并提供了权变措施。

11.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.5 商标

TI E2E™ is a trademark of Texas Instruments.
Arm® and Cortex® are registered trademarks of ARM Limited.
所有商标均为其各自所有者的财产。

Copyright © 2024 Texas Instruments Incorporated

11.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

12 修订历史记录

Changes from DECEMBER 31, 2021 to SEPTEMBER 11, 2024 (from Revision C (December 2021) to Revision D (September 2024)) **Page**

- *（射频规格）*：更新了“噪声系数、带内 P1dB 与接收器增益间的关系” 28

Copyright © 2024 Texas Instruments Incorporated

Changes from MAY 1, 2020 to DECEMBER 31, 2021 (from Revision B (May 2020) to Revision C (December 2021)) **Page**

- *通篇*：已更新以反映功能安全合规性 1
- *通篇*：将“A2D”替换为“ADC”；将“主子系统”和“主 R4F”更改为“主要子系统”和“主要 R4F”；在主/从术语方面改用了更具包容性的措辞 1
- *（特性）*：更新了功能安全合规性认证资料；提及了毫米波传感器的额定工作温度范围；更新了关于器件安全的其他信息 1
- （*器件信息*）：添加了毫米波传感器的其他安全量产器件 2
- 更新/更改了“功能方框图”以改用包容性术语 3
- *（器件比较）*：删除了有关功能安全合规性的行，改为在表注中添加此内容和 LVDS 接口；添加了有关器件安全的其他信息 5
- *（信号说明）*：更新/更改了 CLKP 和 CLKM 说明 14
- *（绝对最大额定值）*：添加了有关射频输入端（TX 和 RX）外部提供的电源的条目以及有关 TX 上施加的信号电平的表注 24
- *（电源端子上的平均功耗）*：更新/更改了典型平均功耗数值 27
- *（射频规格）*：添加了引入段和“噪声系数、带内 P1dB 与接收器增益间的关系”图像 28
- *（时钟规格）*：更新/更改了表 7-5 以反映正确的器件工作温度范围。 31
- *（表外部时钟模式规格）*：将频率容差规格从 +/-50 修订为 +/-100ppm 31
- 为 *DSP C674x 存储器映射* 中的 L3 共享存储器添加了脚注 60
- *（监测和诊断机制）*：更新/更改了表头和说明以反映功能安全合规性；添加了安全相关配套资料参考的注释 63
- *（参考原理图）*：添加了器件 EVM 文档配套资料网络链接 68
- *（器件命名规则）*：更新/更改了 *器件命名规则* 69

Copyright © 2024 Texas Instruments Incorporated

13 机械、封装和可订购信息

13.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

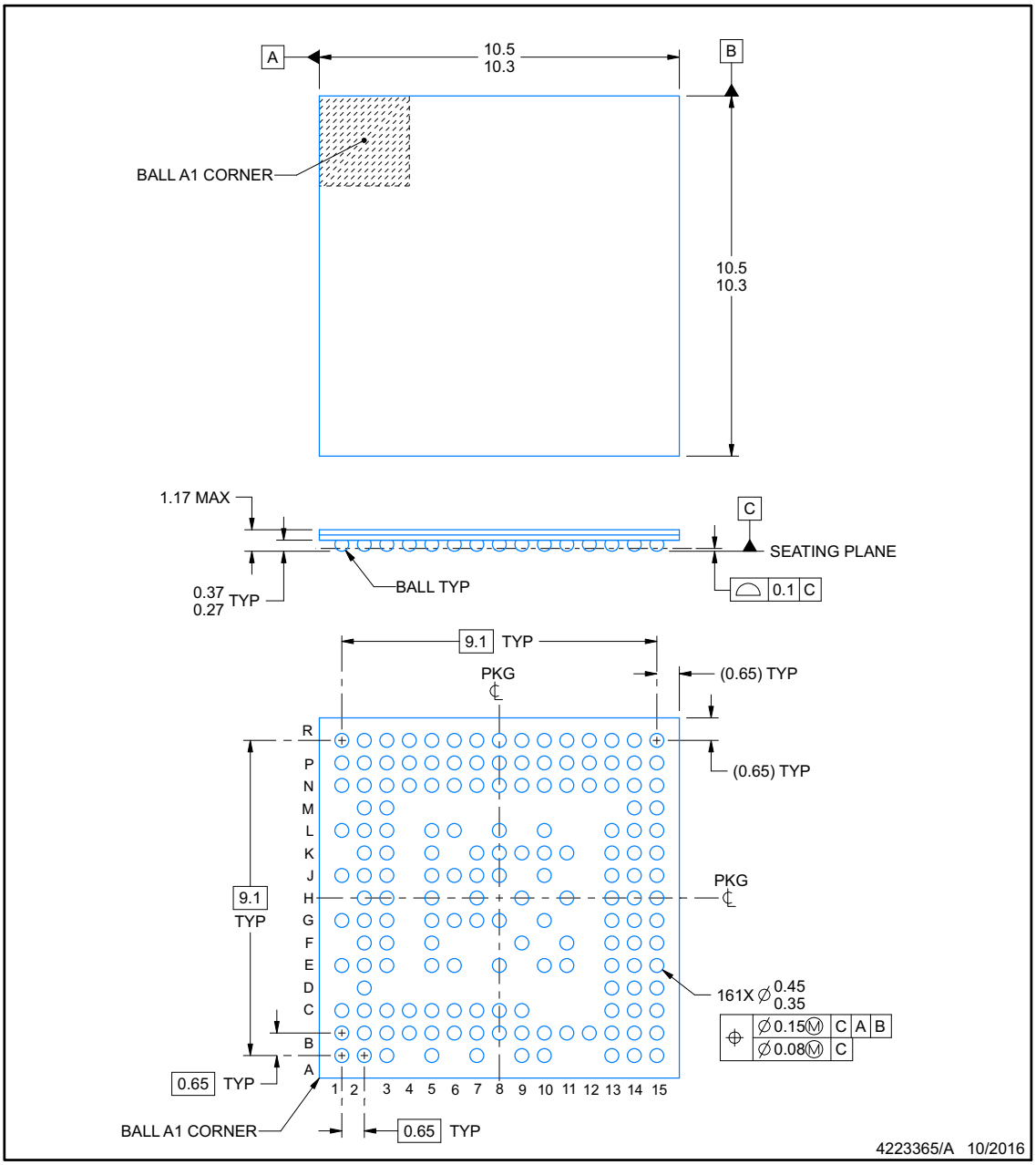
Copyright © 2024 Texas Instruments Incorporated

PACKAGE OUTLINE

ABL0161B

FCBGA - 1.17 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

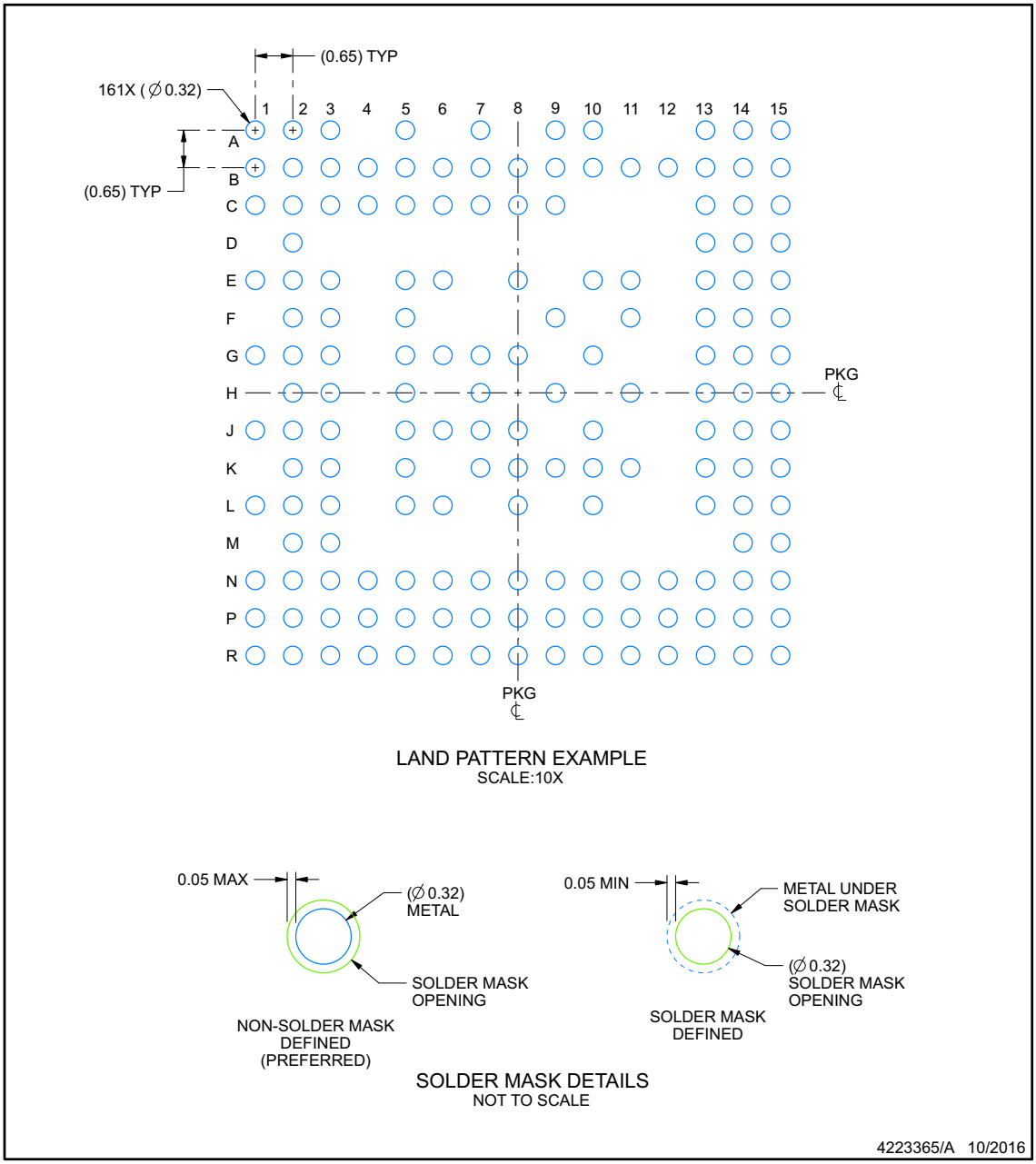
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

ABL0161B

FCBGA - 1.17 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

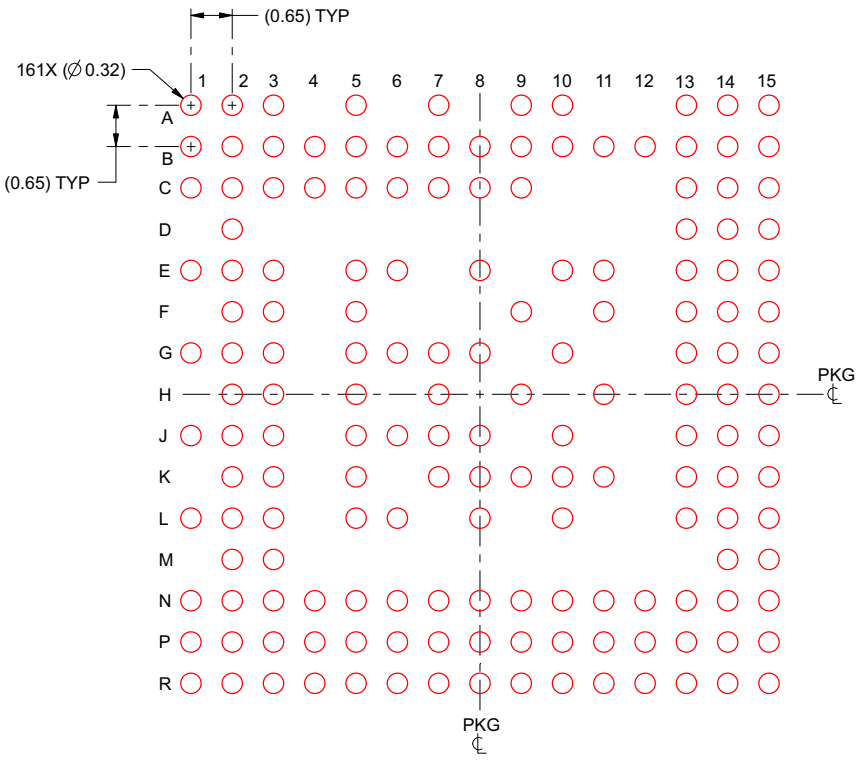
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ABL0161B

FCBGA - 1.17 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

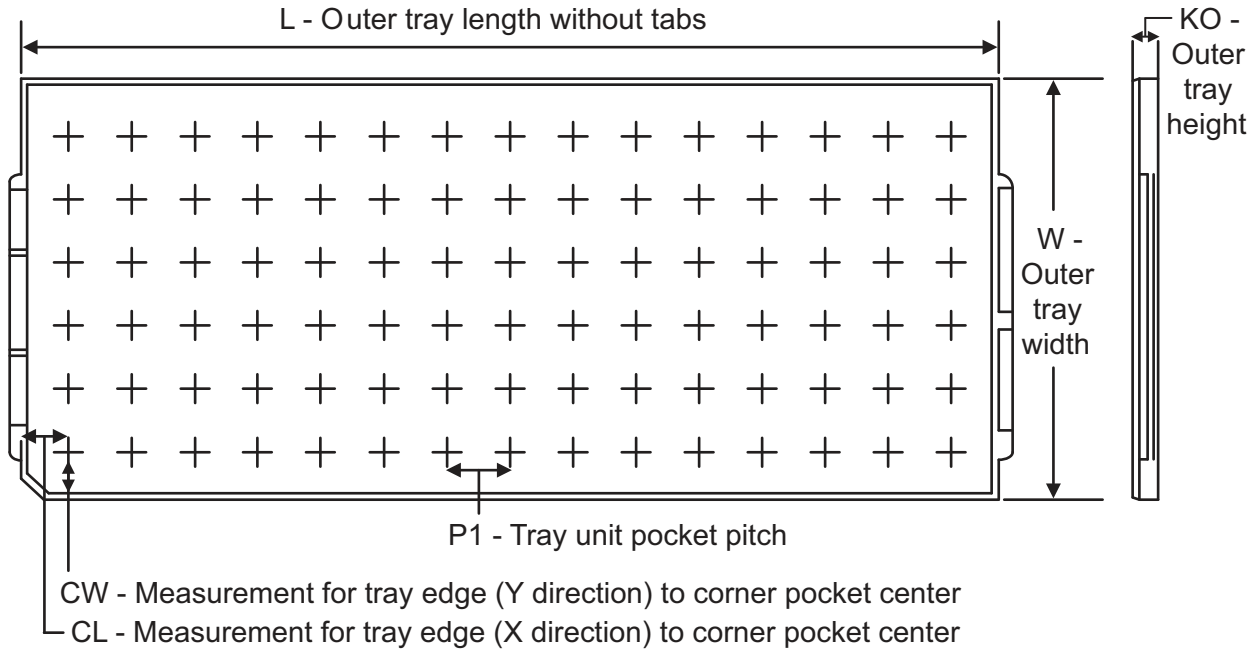
4223365/A 10/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2024 Texas Instruments Incorporated

13.2 的托盘信息



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AWR1843ABGABLQ1	Active	Production	FCCSP (ABL) | 161	176 | JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AWR1843 IG 502AD
AWR1843ABGABLQ1.B	Active	Production	FCCSP (ABL) | 161	176 | JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AWR1843 IG 502AD
AWR1843ABGABLRQ1	Active	Production	FCCSP (ABL) | 161	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AWR1843 IG 502AD D
AWR1843ABGABLRQ1.B	Active	Production	FCCSP (ABL) | 161	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AWR1843 IG 502AD D
AWR1843ABSABLQ1	Active	Production	FCCSP (ABL) | 161	176 | JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AWR1843 IS 502AD
AWR1843ABSABLRQ1	Active	Production	FCCSP (ABL) | 161	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AWR1843 IS 502AD

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

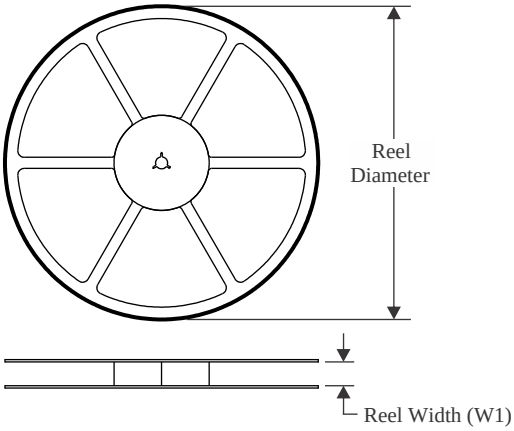
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

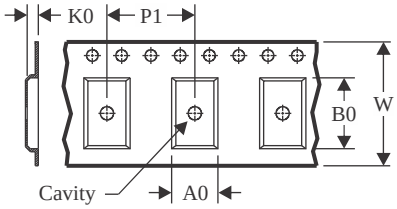
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

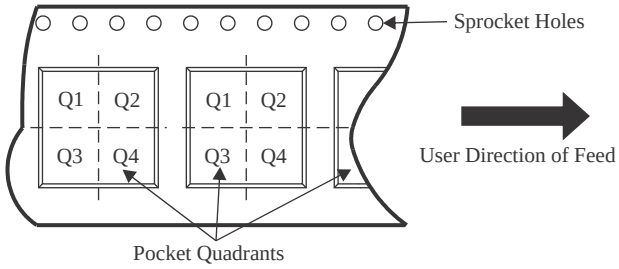


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

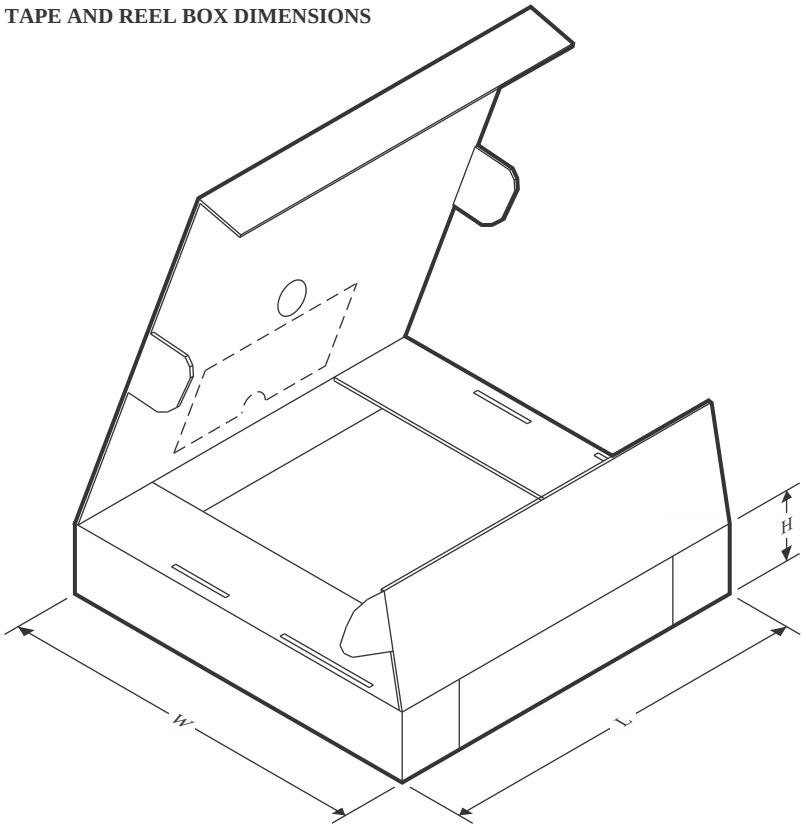
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AWR1843ABGABLRQ1	FCCSP	ABL	161	1000	330.0	24.4	10.7	10.7	1.65	16.0	24.0	Q1

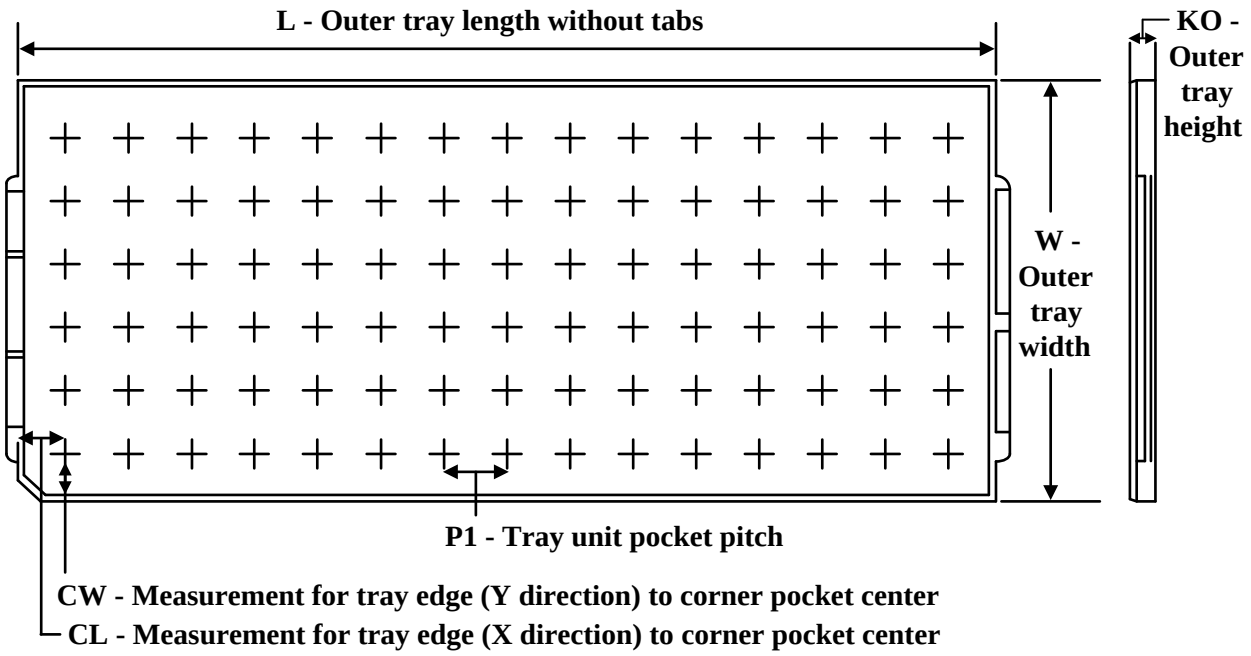
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AWR1843ABGABLRQ1	FCCSP	ABL	161	1000	336.6	336.6	41.3

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AWR1843ABGABLQ1	ABL	FCCSP	161	176	8 x 22	150	315	135.9	7620	13.4	16.8	17.2
AWR1843ABGABLQ1.B	ABL	FCCSP	161	176	8 x 22	150	315	135.9	7620	13.4	16.8	17.2

GENERIC PACKAGE VIEW

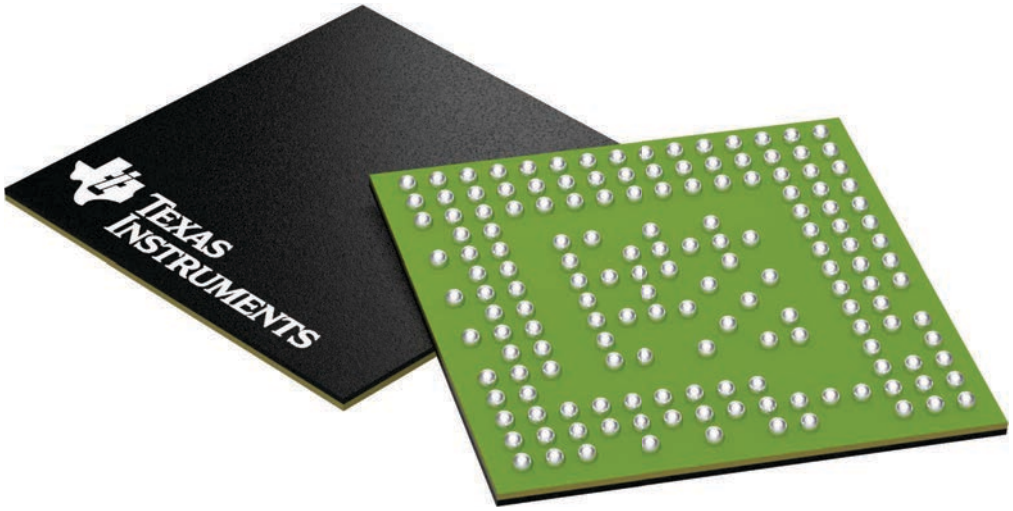
ABL 161

FCBGA - 1.17 mm max height

10.4 x 10.4, 0.65 mm pitch

PLASTIC BALL GRID ARRAY

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225978/A

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月