24bit,192kHz 双通道 D/A 转换电路

概述

ET4344 系列是一款立体声数模转换芯片，内含插值滤波器、multi-bit 数模转换器、输出模拟滤波器。ET4344 系列支持大部分的音频数据格式。ET4344 系列基于一个带线性模拟低通滤波器的四阶 multi-bit $\Delta\sum$ 调制器，而且本芯片可以通过检测信号频率和主时钟频率，在 2KHz 和 200KHz 之间自动调节采样率。

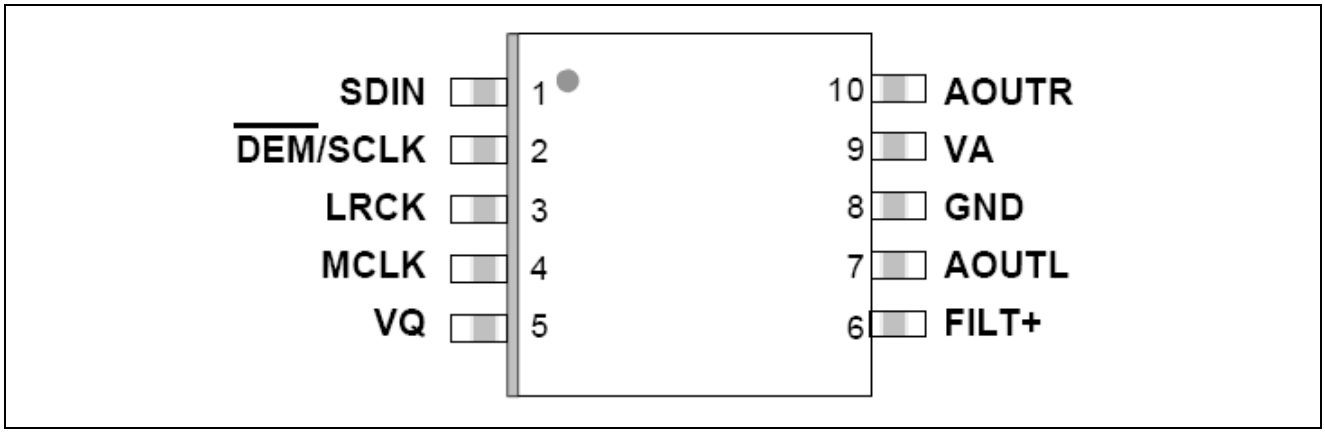
ET4344 系列含有数字去加重模块，可以工作在 3.3V 和 5V 下。这些特性使它成为 DVD 播放解码器、数字通信设备等无线设备的理想选择。

ET4344 系列采用 MSOP10 封装。

功能特点

- Muti-bit $\Delta\sum$ 调制器
- 24bit D/A 转换器
- 自动检测最大到 192KHz 的信号频率
- 105dB 动态范围
- -90dB 总谐波失真+信噪比
- 低时钟抖动敏感度
- 3.3V 或 5V 工作电压
- 线性滤波输出
- 片上数字去加重
- 封装形式：MSOP10（ET4344/5/6/8）

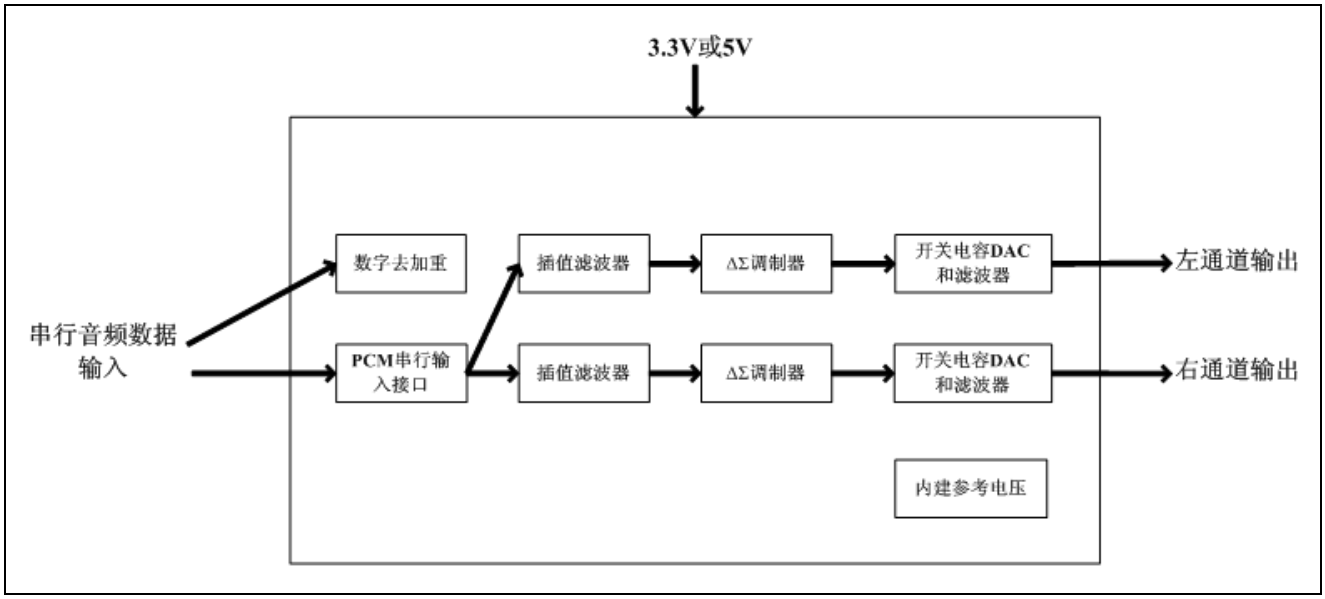
管脚排列图



管脚说明

管脚号	管脚名称	管脚说明
1	SDIN	串行音频数据输入端
2	$\overline{\text{DEM}}$/SCLK	外部串行时钟输入端口
3	LRCK	左/右时钟端口
4	MCLK	主时钟端口
5	VQ	直流电压
6	FILT+	正的参考电压
7	AOUTL	模拟左通道输出端口
8	GND	地
9	VA	模拟电源
10	AOUTR	模拟右通道输出端口

功能框图



功能说明

ET4344 系列标准的音频采样频率，包括在 SSM 模式下的 48、44.1、32kHz，在 DSM 模式下的 96、88.2、64kHz，在 QSM 模式下的 192、176.4、128kHz。音频数据通过串行输入数据端输入（SDIN）。左/右通道时钟（LRCK）决定当前输入数据的通道。串行时钟是音频数据进入输入数据缓存的时钟。ET4344 系列的输入数据格式见图表.1-4。

主时钟

MCLK/LRCK 的比值必须是整数，见表 1。LRCK 的频率等于每个通道输入数据的频率 Fs。MCLK 与 LRCK 的比值和速度模式是芯片在初始化时通过计算在一个 LRCK 周期内 MCLK 的周期数以及 MCLK 的值来决定的。内置的除法器会产生合适的时钟。表 1 列出了一些音频采样频率，以及相应的 MCLK 和 LRCK 频率。请注意这里虽然没有相位的要求，但是 LRCK 和 SCLK 必须同步。

LRCK (kHz)	MCLK (MHz)									
	64x	96x	128x	192x	256x	384x	512x	768x	1024x	1152x
32	-	-	-	-	8.1920	12.2880	-	-	32.7680	36.8640
44.1	-	-	-	-	11.2896	16.9344	22.5792	33.8680	45.1580	-
48	-	-	-	-	12.2880	18.4320	24.5760	36.8640	49.1520	-
64	-	-	8.1920	12.2880	-	-	32.7680	49.1520	-	-
88.2	-	-	11.2896	16.9344	22.5792	33.8680	-	-	-	-
96	-	-	12.2880	18.4320	24.5760	36.8640	-	-	-	-
128	8.1920	12.2880	-	-	32.7680	49.1520	-	-	-	-
176.4	11.2896	16.9344	22.5792	33.8680	-	-	-	-	-	-
192	-	18.4320	24.5760	36.8640	-	-	-	-	-	-
方式	QSM				DSM		SSM			

表 1. 时钟频率

串行输入时钟

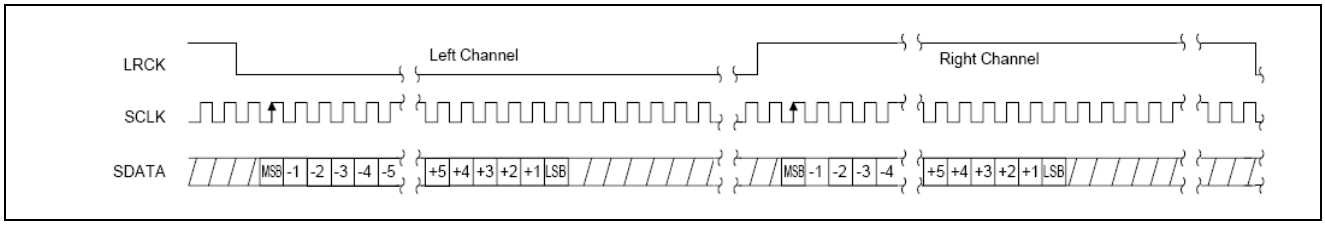
ET4344 系列具有外部和内部串行输入时钟两种模式。

外部串行输入时钟

当在一个 LRCK 周期内，在 SCLK 端口连续检测到 16 个上升沿脉冲时就进入外部串行输入时钟，在这个模式下，内部串行模式和去加重模式是被屏蔽的。当 SCLK 端口连续 2 个 LRCK 周期没有检测到上升沿脉冲时，系统就进入内部串行输入时钟模式。

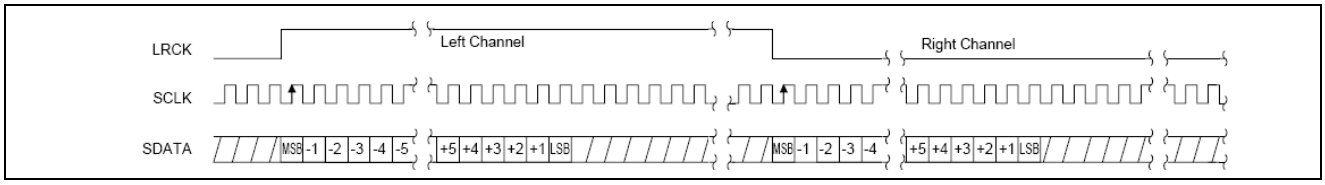
内部串行输入时钟

在内部串行输入时钟模式下，串行输入时钟由芯片内部产生，并且和 MCLK 和 LRCK 同步。SCLK/LRCK 的比值可以是 32、48、64 或者 72，这取决于输入数据的格式。在这个模式下允许使用数字去加重功能。



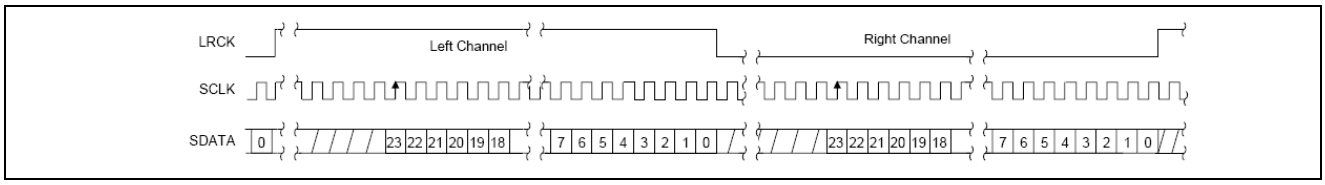
内部 SCLK 方式	外部 SCLK 方式
I²S, 16-Bit 数据	I^2S，最高可到 24bit 数据 数据在 SCLK 的上升延时有效
INT SCLK = 32 Fs, if MCLK/LRCK = 1024, 512, 256, 128, 64	
I²S, Up to 24-Bit data and INT SCLK = 48 Fs, if MCLK/LRCK = 768, 384, 192, 96	
I²S, Up to 24-Bit data and INT SCLK = 72 Fs, if MCLK/LRCK = 1152	

图表 1. ET4344 数据格式(I^2S)



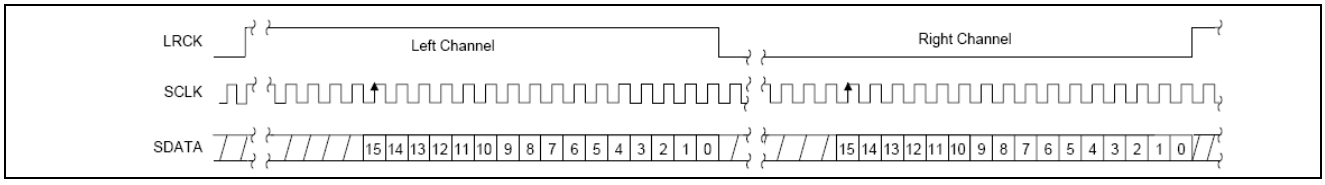
内部 SCLK 方式	外部 SCLK 方式
左对齐, 最高可到 24bit 数据	左对齐, 最高可到 24bit 数据 数据在 SCLK 的上升延时有效
INT SCLK = 64 Fs, if MCLK/LRCK = 1024, 512, 256, 128, 64	
INT SCLK = 48 Fs, if MCLK/LRCK = 768, 384, 192, 96	
INT SCLK = 72 Fs, if MCLK/LRCK = 1152	

图表 2. ET4345 数据格式（左对齐）



内部 SCLK 方式	外部 SCLK 方式
右对齐, 24bit 数据	右对齐, 24bit 数据 数据在 SCLK 的上升延时有效 在一个 LRCK 周期内至少要有 48 个 SCLK 周期
INT SCLK = 64 Fs, if MCLK/LRCK = 1024, 512, 256, 128, 64	
INT SCLK = 48 Fs, if MCLK/LRCK = 768, 384, 192, 96	
INT SCLK = 72 Fs, if MCLK/LRCK = 1152	

图表 3. ET4346 数据格式（右对齐 24 bit）



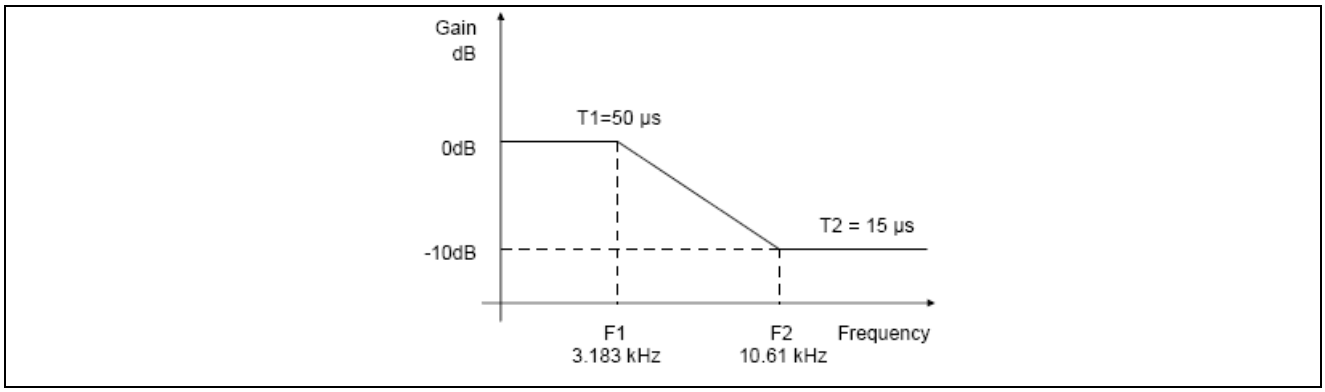
内部 SCLK 方式	外部 SCLK 方式
右对齐, 16bit 数据	右对齐, 16bit 数据 数据在 SCLK 的上升延时有效 在一个 LRCK 周期内至少要有 32 个 SCLK 周期
INT SCLK = 32 Fs, if MCLK/LRCK = 1024, 512, 256, 128, 64	
INT SCLK = 48 Fs, if MCLK/LRCK = 768, 384, 192, 96	
INT SCLK = 72 Fs, if MCLK/LRCK = 1152	

图表 4. ET4348 数据格式（右对齐 16 bit）

去加重

ET4344 系列含有片上数字去加重功能，图表 5 显示了在 Fs 为 44.1kHz 时的去加重曲线。

当 $\overline{\text{DEM}}$/SCLK 端口连续 5 个 LRCK 下降沿保持低电平时，去加重滤波器才启动。这个功能只有在内部串行时钟模式下才有效。



图表 5.去加重曲线 (Fs = 44.1kHz)

初始化和 Power-Down

初始化和 Power-Down 的顺序见图表 6。当系统初始上电后就进入 power-down 状态，此时插值滤波器和 $\Delta\sum$ 调制器复位，内部参考电压、数模转换器、开关电容滤波器、低通滤波器被关闭，直到系统检测到 MCLK 和 LRCK 时钟。一旦 MCLK 和 LRCK 被检测到，系统就开始计算 MCLK 和 LRCK 的比值，然后给内部参考电压上电，最后才给数模转换器、开关电容滤波器上电，而输出端输出静态电压 VQ。

输出瞬态控制

ET4344 系列采用 Popguard 技术来减小上电和下电时的瞬态响应。

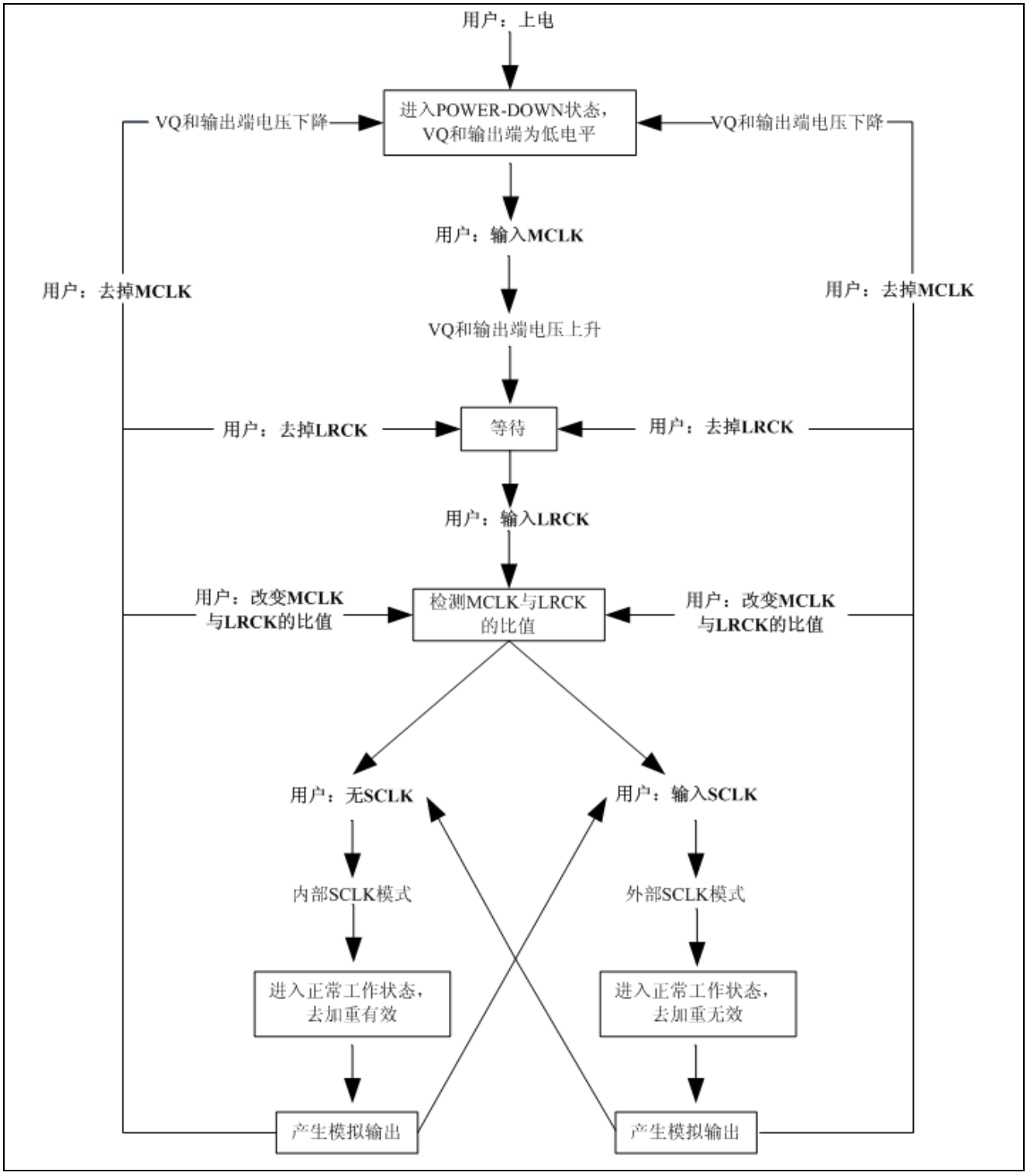
上电

当系统初始上电时，输出端的直流电平就由 VQ 端提供，此时 VQ 端为低电平。当 MCLK 检测到后，VQ 端就产生正常的直流电压。当 VQ 端接 3.3uF 电容时，这个过程需 250ms(10uF 电容需 420ms)。当 LRCK 和 SDIN 产生后大约 2000 个采样周期后，音频信号才开始输出。

下电

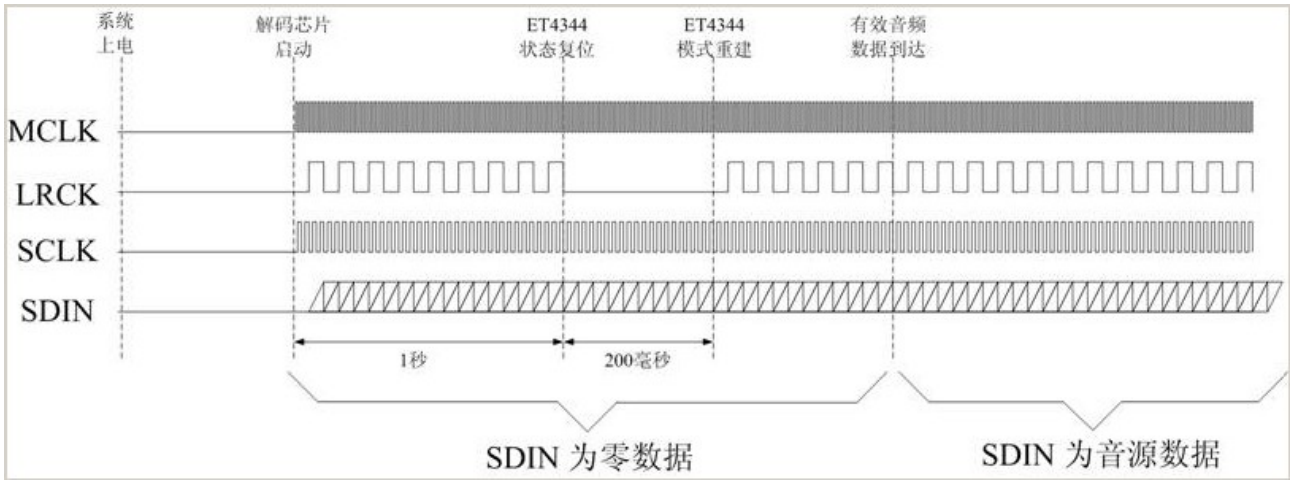
为了防止在下电时产生瞬态脉冲，在下电前必须是直流缓冲电容完全放电。当 VQ 端外接 3.3uF 电容时，MCLK 必须在下电前 250ms 停止(10uF 电容需 420ms)，在这段时间内 VQ 端和输出端逐渐下降到 GND。

当需要改变时钟频率或采样频率时，最好在 SDIN 端输入最少 10 个 LRCK 周期的 0 信号。在时钟变换的过程中，DAC 将保持 0 输出。



图表 6. ET4344/5/6/8 初始化和 Power-Down 流程图

初始化建议流程时序说明



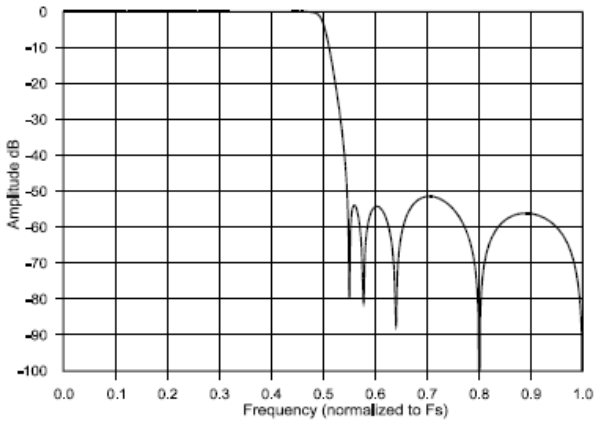
接地与电源去耦合

ET4344 系列的地与电源的连接必须非常注意以达到理想的性能。图表 24 显示了 VA 连接到+3.3V 或+5V 的连接方式。为了得到最好的性能，去耦合与滤波电容必须尽可能的靠近芯片。

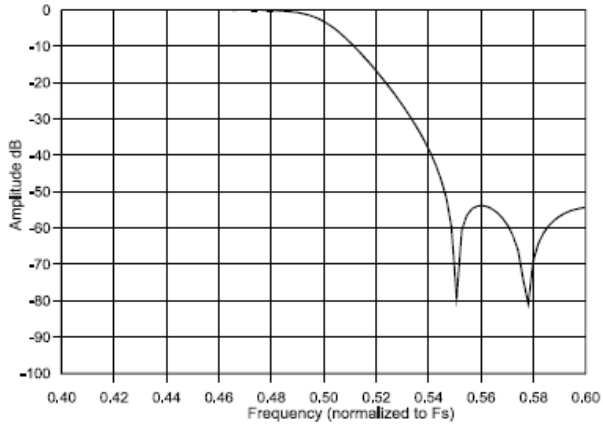
模拟输出与滤波

ET4344 系列的模拟滤波器是一个连接着低通滤波器的开关电容滤波器。它的频率响应图见图表 7-14。外接模拟电路的接法见 14 页的参考应用线路图。

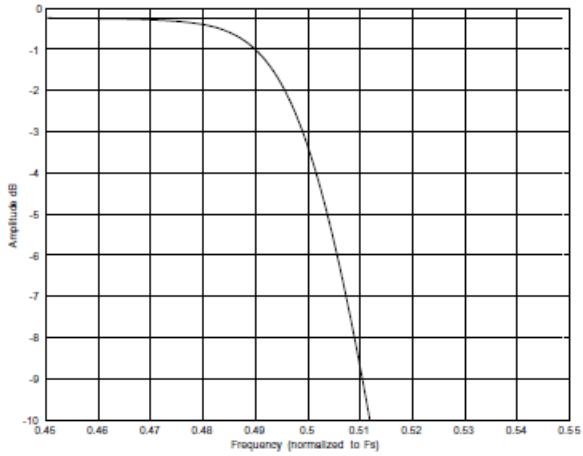
波形图



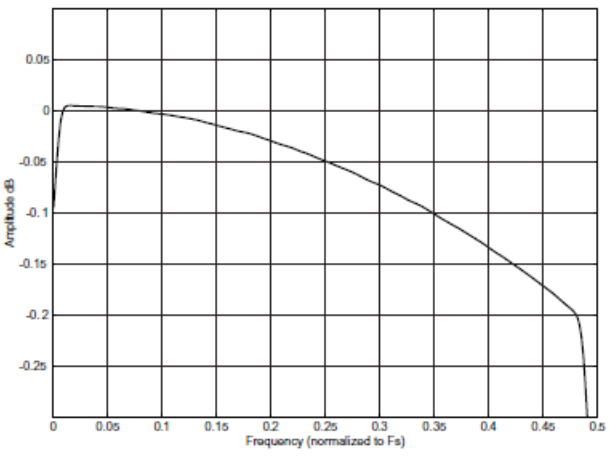
图表 7. SSM 阻带衰减



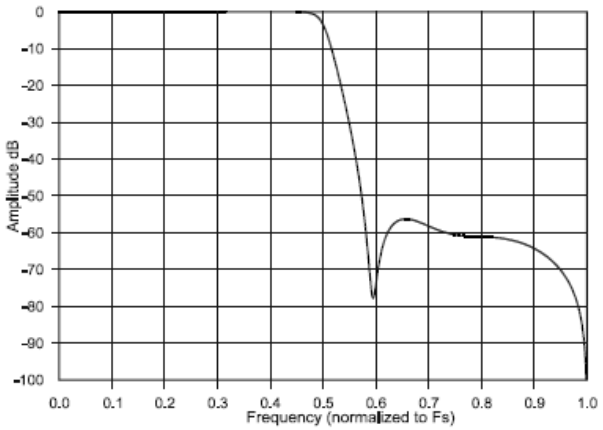
图表 8. SSM 传输带宽



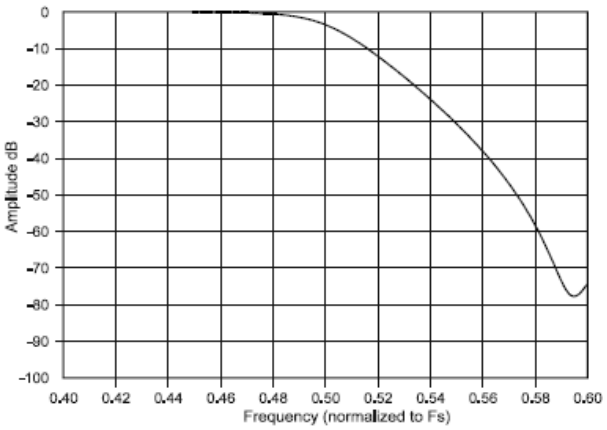
图表 9. SSM 传输带宽



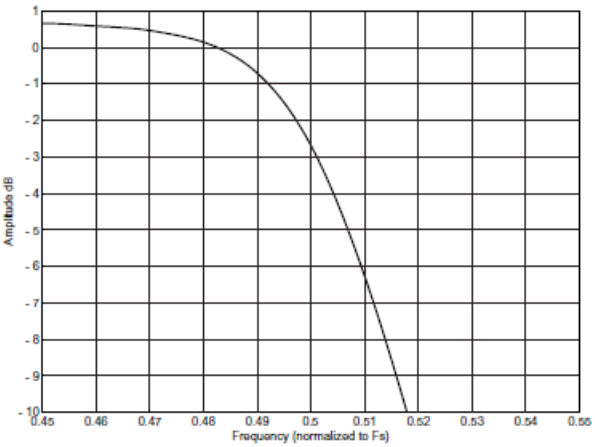
图表 10. SSM 通带纹波



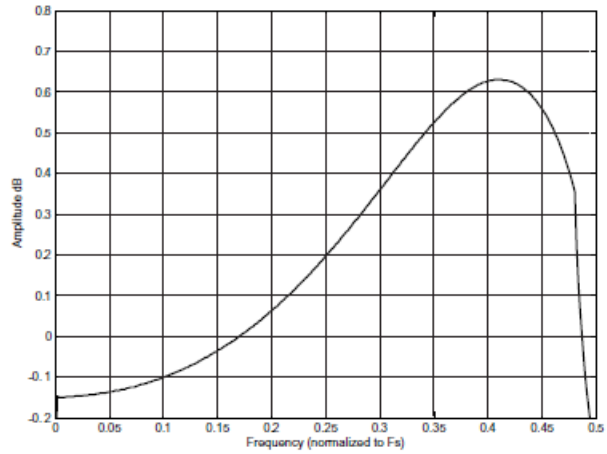
图表 11. DSM 阻带衰减



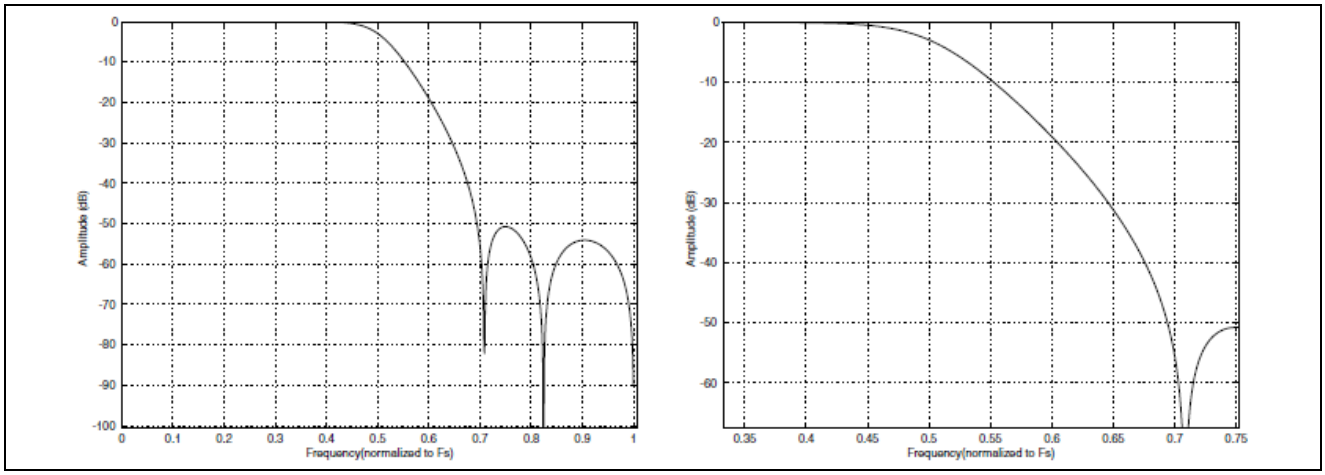
图表 12. DSM 传输带宽



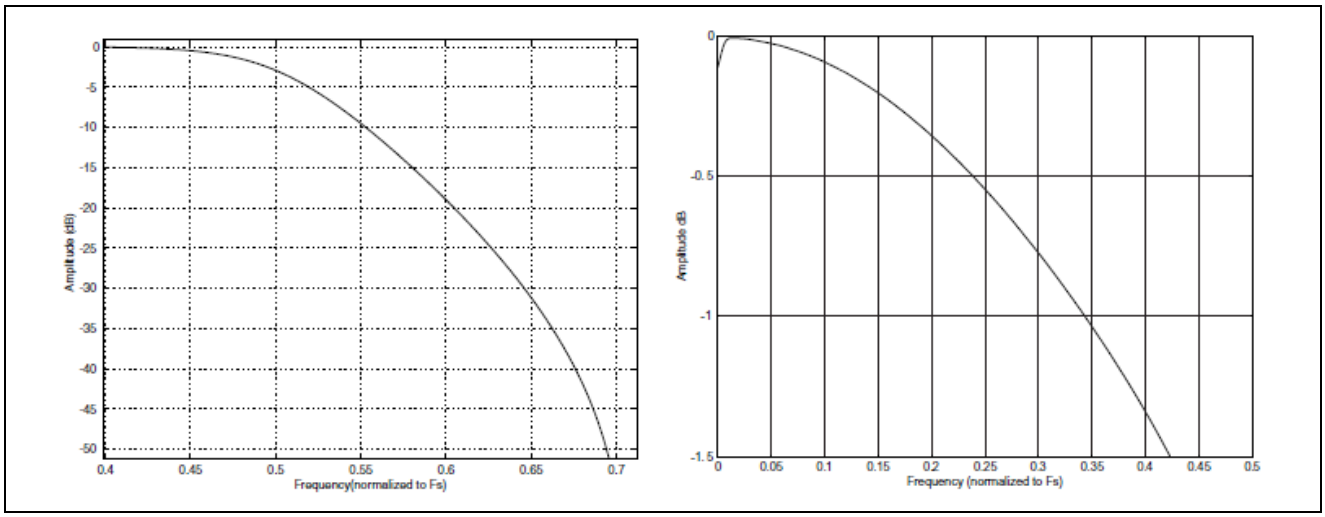
图表 13. DSM 传输带宽



图表 14. DSM 通带纹波



图表 15. QSM 阻带衰减　　图表 16. QSM 传输带宽



图表 17. QSM 传输带宽　　图表 18. QSM 通带纹波

推荐工作条件（AGND = 0V）

参数		符号	Min	Tpy	Max	单位
DC 工作电压		VA	4.75	5.0	5.25	V
			3.00	3.3	3.47	V
温度范围	-CZZ	TA	-10		+70	
	-DZZ		-40		+85	

极限参数（AGND = 0V）

参数	符号	Min	Max	单位
DC 工作电压	VA	-0.3	6.0	V
输入电流	I_{in}	-	±10	mA
数字输入电压	V_{IND}	-0.3	VA+0.4	V
工作温度	T_{op}	-55	125	℃
储存温度	T_{stg}	-65	150	℃

DAC 模拟特性（T_A = 25°C，满幅输出正弦信号, 997Hz, Fs=48/96/192kHz; Test load RL = 3kΩ, CL = 10pF (图表 19)，测试带宽 10 Hz 至 20kHz。)

参数			5V Nom			3.3V Nom			单位
			Min	Typ	Max	Min	Typ	Max	
动态性能 ET4344/5/6/8-CZZ（-10 to 70℃）									
动态范围	18 to 24-Bit	A-weighted	99	105	-	97	103	-	dB
		unweighted	96	102	-	94	100	-	dB
	16-Bit	A-weighted	90	96	-	90	96	-	dB
		unweighted	87	93	-	87	93	-	dB
总谐波失真+噪声									
	18 to 24-Bit	0 dB	-	-90	-85	-	-90	-85	dB
		-20 dB	-	-82	-76	-	-80	-74	dB
		-60 dB	-	-42	-36	-	-40	-34	dB
	16-Bit	0 dB	-	-90	-84	-	-90	-84	dB
		-20 dB	-	-73	-67	-	-73	-67	dB
		-60 dB	-	-33	-27	-	-33	-27	dB
动态性能 ET4344/5-DZZ（-40 to 85℃）									
动态范围	18 to 24-Bit	A-weighted	95	105	-	93	103	-	dB
		unweighted	92	102	-	90	100	-	dB
	16-Bit	A-weighted	86	96	-	86	96	-	dB
		unweighted	83	93	-	83	93	-	dB
总谐波失真+噪声									
	18 to 24-Bit	0 dB	-	-90	-82	-	-90	-82	dB
		-20 dB	-	-82	-72	-	-80	-70	dB
		-60 dB	-	-42	-32	-	-40	-30	dB
	16-Bit	0 dB	-	-90	-82	-	-90	-82	dB
		-20 dB	-	-73	-63	-	-73	-63	dB
		-60 dB	-	-33	-23	-	-33	-23	dB

参数	符号	Min	Typ	Max	单位
通道隔离度 (1 kHz)		-	100	-	dB
DC 精度					
通道间增益匹配误差		-	0.1	0.25	dB
增益漂移		-	100	-	ppm/°C
模拟输出					
满幅度输出电压		0.60•VA	0.65•VA	0.70•VA	Vpp
直流电压	V_Q	-	0.5•VA	-	VDC
AOUT 端最大直流电流	I_{OUTmax}	-	10	-	μA
VQ 端最大电流	I_{Qmax}	-	100	-	μA
最大 AC 负载电阻(图 20)	R_L	-	3	-	kΩ
最大负载电容(图 20)	C_L	-	100	-	pF
输出阻抗	Z_{OUT}	-	100	-	Ω

数字和模拟滤波响应

参数		符号	Min	Typ	Max	单位
Single-Speed 模式						
通频带	to -0.1 dB corner		0	-	.35	Fs
	to -3 dB corner		0	-	.4992	Fs
10 Hz to 20 kHz 的频率响应			-.175	-	+.01	dB
衰减带			.5465	-	-	Fs
衰减幅度			50	-	-	dB
延迟		tgd	-	10/Fs	-	s
去加重误差	Fs = 32 kHz		-	-	+1.5/+0	dB
	Fs = 44.1 kHz		-	-	+.05/-.25	dB
	Fs = 48 kHz		-	-	-.2/-.4	dB
Double-Speed 模式						
通频带	to +0.1 dB corner		0	-	.22	Fs
	to -3 dB corner		0	-	.501	Fs
10 Hz to 20 kHz 的频率响应			-.15	-	+.15	dB
衰减带			.5770	-	-	Fs
衰减幅度			55	-	-	dB
延迟		tgd	-	5/Fs	-	s
Quad-Speed 模式						
通频带	to -0.1 dB corner		0	-	0.110	Fs
	to -3 dB corner		0	-	0.469	Fs
10 Hz to 20 kHz 的频率响应			-.12	-	+0	dB
衰减带			0.7	-	-	Fs
衰减幅度			51	-	-	dB
延迟		tgd	-	2.5/Fs	-	s

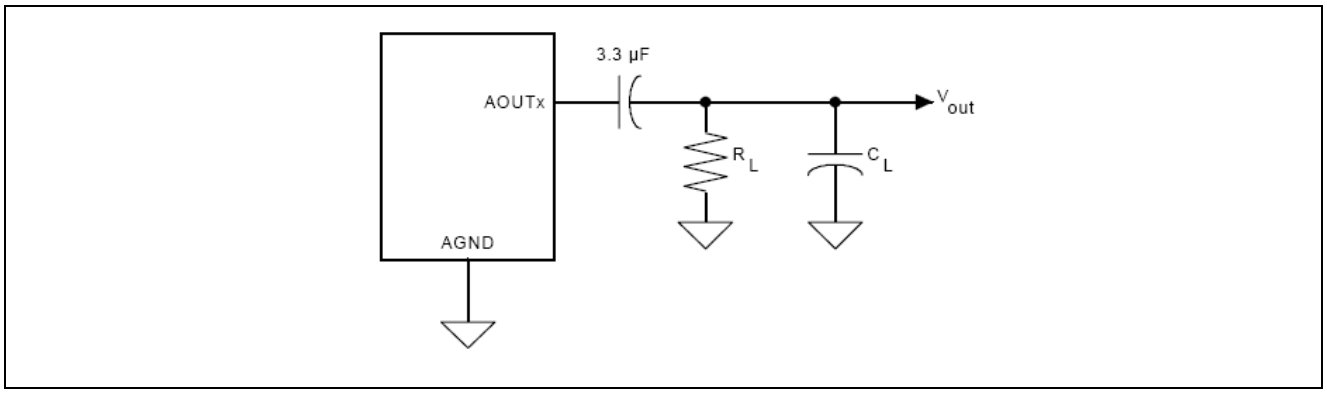
数字输入特性

参数	符号	Min	Typ	Max	单位
输入高电平(% of VA)	V_{IH}	60%			V
输入低电平(% of VA)	V_{IL}			30%	V
输入漏电流	I_{in}			±10	µA
输入电容			8		pF

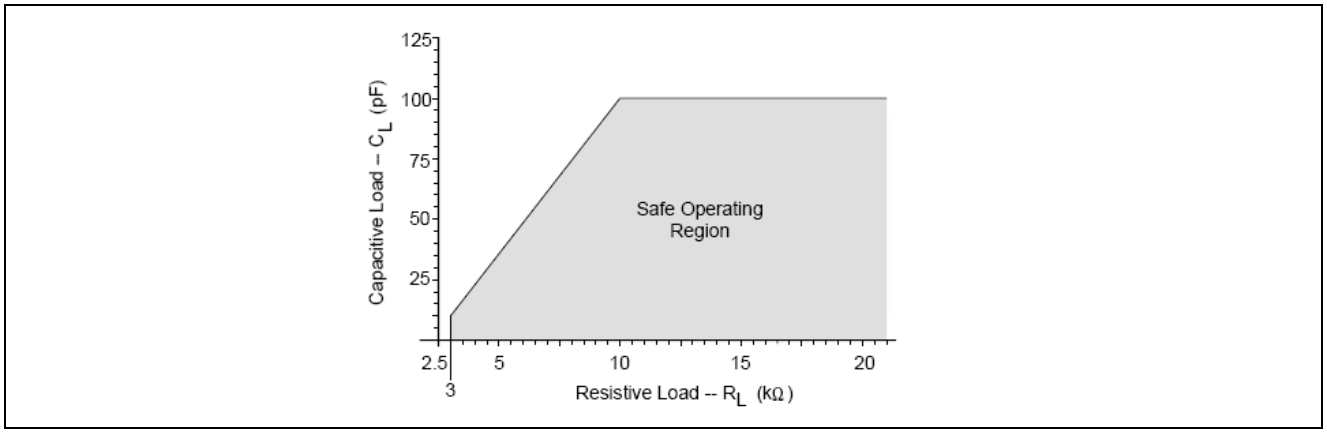
电参数

参数		符号	5V Nom			3.3V Nom			单位
			Min	Typ	Max	Min	Typ	Max	
功耗									
工作电流	工作状态	I_A	-	22	30	-	16	21	mA
	关闭状态	I_A	-	220	-	-	100	-	µA
功耗	工作状态	-	-	110	150	-	53	69	mW

	关闭状态	-	-	1.1	-	-	0.33	-	mW
封装热阻抗		θ_{JA}	-	95	-	-	95	-	℃/Watt
电源电压抑制	1kHz	PSRR	-	50	-	-	50	-	dB
	60Hz	PSRR	-	40	-	-	40	-	dB



图表 19. 输出测试负载

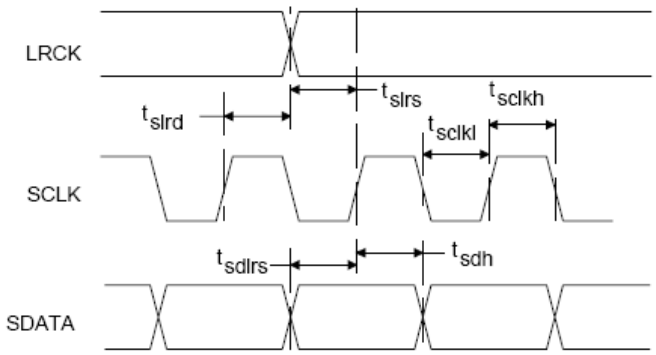


图表 20. 最大负载

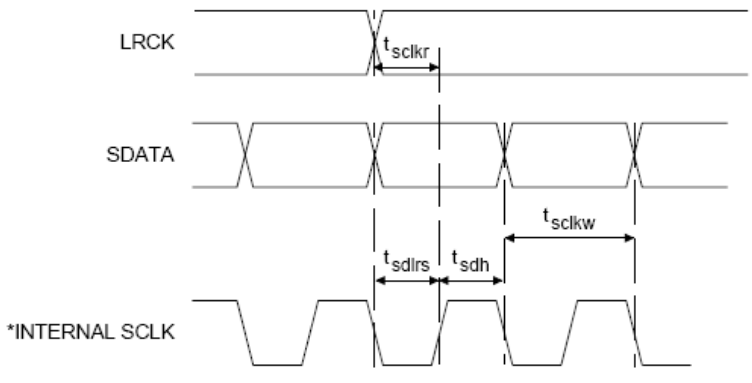
转换特性

参数		符号	Min	Typ	Max	单位
MCLK 频率			0.512	-	50	MHz
MCLK 占空比			45	-	55	%
输入采样率	MCLK/LRCK	Fs	2		200	kHz
	256x, 384x, 1024x		2		50	kHz
	256x, 384x		84		134	kHz
	512x, 768x		42		67	kHz
	1152x		30		34	kHz
	128x, 192x		50		100	kHz
	64x, 96x		100		200	kHz
	128x, 192x		168		200	kHz
外部 SCLK 模式						
LRCK 占空比 (外部 SCLK 模式)			45	50	55	%

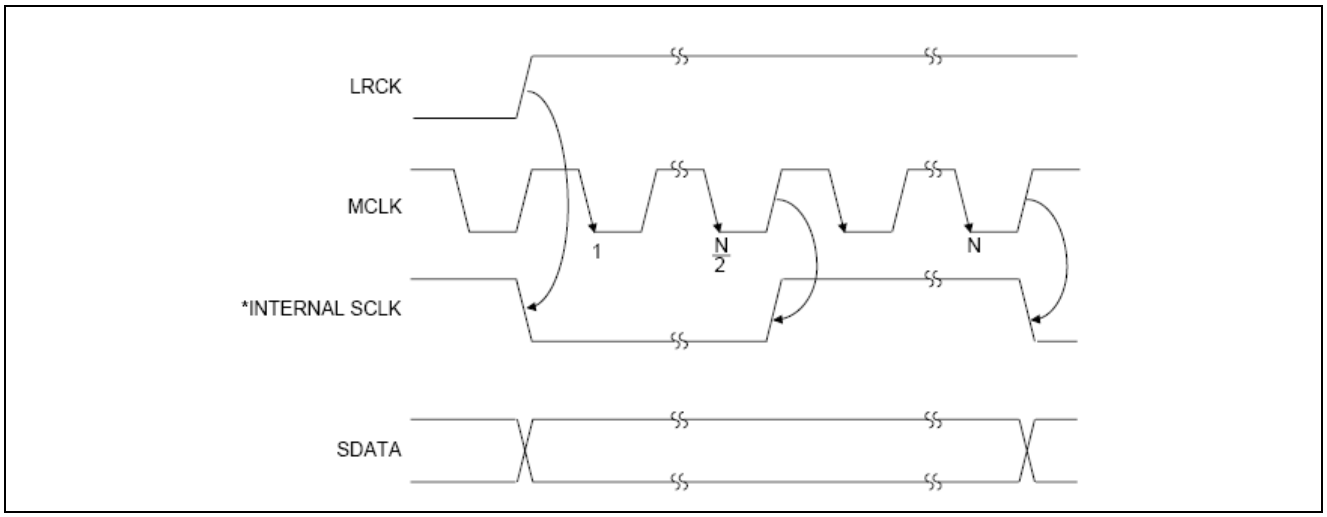
SCLK 脉宽低	t_{sclkl}	20	-	-	ns
SCLK 脉宽高	t_{sclkh}	20	-	-	ns
SCLK 占空比		45	50	55	%
SCLK 上升沿到 LRCK 边沿的延迟	t_{slrd}	20	-	-	ns
SCLK 上升沿到 LRCK 边沿的建立时间	t_{slrs}	20	-	-	ns
SDIN 有效到 SCLK 上升沿的建立时间	t_{sdlrs}	20	-	-	ns
SCLK 上升沿到 SDIN 的保持时间	t_{sdh}	20	-	-	ns
内部 SCLK 模式					
LRCK 占空比 (内部 SCLK 模式)		-	50	-	
SCLK 周期	t_{sclkw}	10^9/SCLK	-	-	ns
SCLK 上升沿到 LRCK 边沿的时间	t_{sclkr}	-	tsclkw/2	-	µs
SDIN 有效到 SCLK 上升沿的建立时间	t_{sdlrs}	10^9/(512)Fs+10	-	-	ns
SCLK 上升沿到 SDIN 的保持时间 MCLK / LRCK =1152, 1024, 512, 256, 128, 64	t_{sdh}	10^9/(512)Fs+15	-	-	ns
SCLK 上升沿到 SDIN 的保持时间 MCLK / LRCK = 768, 384, 192, 96	t_{sdh}	10^9/(384)Fs+15	-	-	ns



图表 21. 外接串行时钟下的输入时序



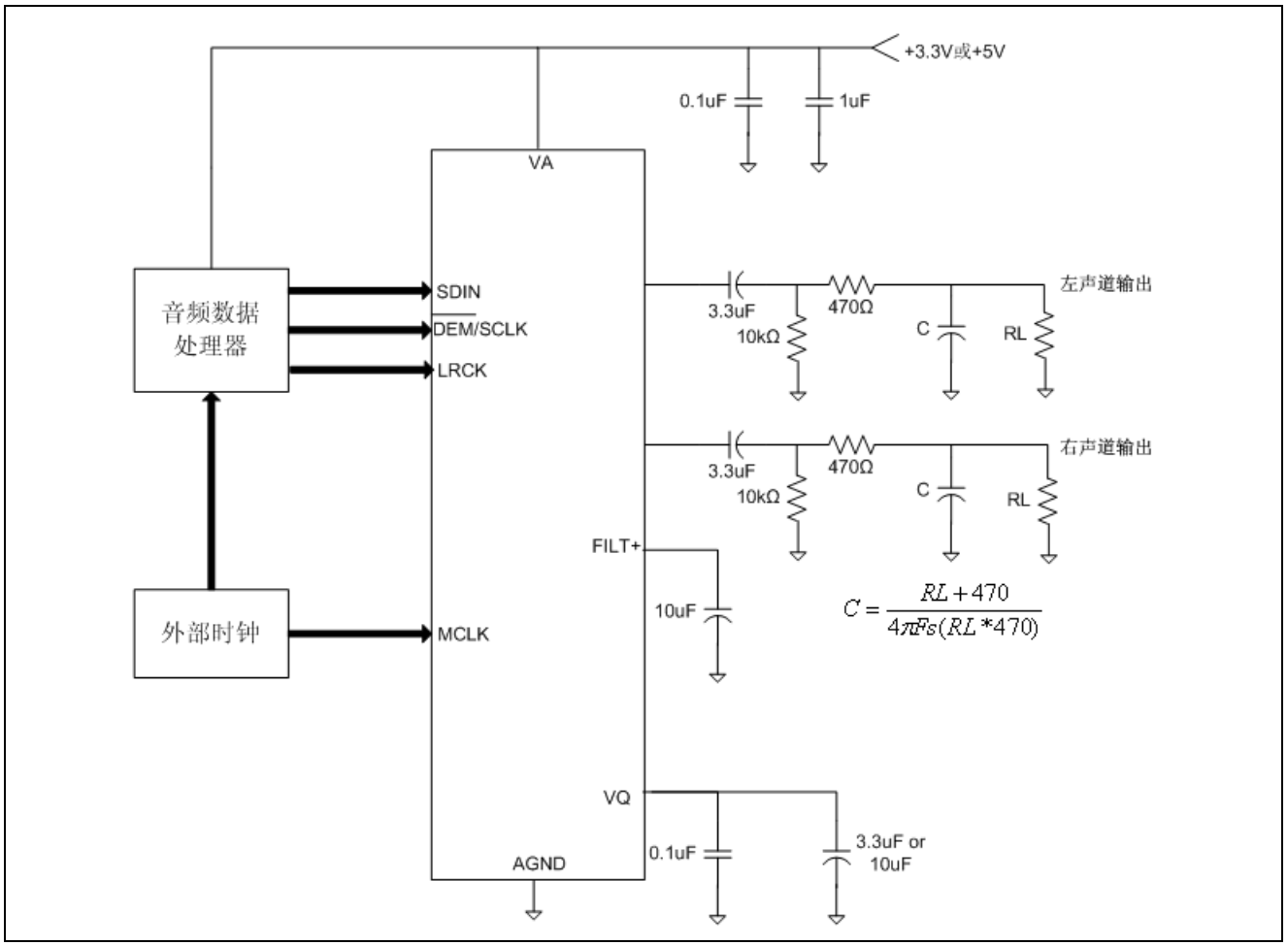
图表 22. 内接串行时钟下的输入时序



N = MCLK /SCLK

图表 23. 内接串行时钟的产生

参考应用线路图



图表 24

*：此电路仅供参考。

订购说明

Product	Description	Package	Pb-free	Temp range	Container	Order #
ET4344	24-bit,192kHz 双通道 DAC	10-TSSOP	Yes	-40 to +85℃	Tube:	ET4344
					Tape and reel: 3000	ET4344/TP
ET4345					Tube:	ET4345
					Tape and reel: 3000	ET4345/TP
ET4346					Tube:	ET4346
					Tape and reel: 3000	ET4346/TP
ET4348					Tube:	ET4348
					Tape and reel: 3000	ET4348/TP

系列选择说明：

ET4344 系列的描述如下：:

- ET4344 — 16 到 24-bit, I^2S 接口
- ET4345 — 16 到 24-bit, Left-Justified
- ET4346 — 24-bit, Right-Justified
- ET4348 — 16-bit, Right-Justified

封装尺寸

MSOP10

