TLV916x 16V、11MHz、轨到轨输入/输出、低失调电压低噪声运算放大器

1 特性

- 低失调电压：±210μV
- 低失调电压漂移：±0.25μV/°C
- 低噪声：1kHz 时为 6.8nV/√Hz，宽带为 4.2nV/√Hz
- 高共模抑制：110dB
- 低偏置电流：±10pA
- 轨至轨输入和输出
- 支持多路复用器/比较器的输入
  - 放大器的差分输入最高可达电源轨
  - 放大器可用于开环中，也可用作比较器
- 高带宽：11MHz GBW，单位增益稳定
- 高压摆率：33V/μs
- 低静态电流：每个放大器 2.4mA
- 宽电源电压：±1.35V 至 ±8V，2.7V 至 16V
- 强大的 EMIRR 性能

2 应用

- 专业麦克风和无线系统
- 多路复用数据采集系统
- 测试和测量设备
- 工厂自动化和控制
- 高侧和低侧电流检测

3 说明

TLV916x 系列（TLV9161、TLV9162 和 TLV9164）是 16V 通用运算放大器系列。这些器件具有出色的直流精度和交流性能，包括轨到轨输入/输出、低失调电压（典型值为 ±210μV）、低温漂（典型值为 ±0.25μV/°C）和低噪声（1kHz 时为 6.8nV/√Hz，10kHz 时为 4.2nV/√Hz）。

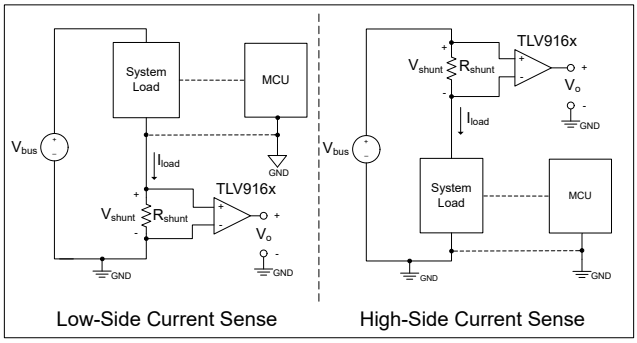
TLV916x 具有诸多特性，例如电源轨的差分和共模输入电压范围、高短路电流 (±73mA) 和高压摆率 (33V/μs)，是一款灵活可靠的高性能运算放大器，适用于各种工业应用。

TLV916x 运算放大器系列采用小型封装（例如 X2QFN 和 WSON）以及标准封装（例如 SOT-23、SOIC 和 TSSOP），额定工作温度范围为 –40°C 至 125°C。

器件信息

器件型号(1)	通道数	封装	封装尺寸(2)
TLV9161	单通道	DCK（SC70，5）	2.00mm x 2.10mm
		DBV（SOT-23，5）	2.90mm × 2.80mm
TLV9161S	单通道，关断	DBV (SOT-23, 6)	2.90mm × 2.80mm
TLV9162	双通道	D（SOIC，8）	4.90mm × 6.00mm
		DDF（SOT-23，8）	2.90mm × 2.80mm
		PW（TSSOP，8）	3.00mm × 6.40mm
		DGK（VSSOP，8）	3.00mm x 4.90mm
		DSG（WSON，8）	2.00mm × 2.00mm
TLV9162S	双通道，关断	RUG（X2QFN，10）	1.50mm × 2.00mm
TLV9164	四通道	D（SOIC，14）	8.65mm × 6.00mm
		PW（TSSOP，14）	5.00mm x 6.40mm

(1) 有关详细信息，请参阅节 10
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



在电流检测应用中的 TLV916x

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 7
5.1 绝对最大额定值 7
5.2 ESD 等级 7
5.3 建议运行条件 7
5.4 单通道器件的热性能信息 8
5.5 双通道器件的热性能信息 8
5.6 四通道器件的热性能信息 8
5.7 电气特性 9
5.8 典型特性 12
6 详细说明 19
6.1 概述 19
6.2 功能方框图 19
6.3 特性说明 20
6.4 器件功能模式 26
7 应用和实现 28
7.1 应用信息 28
7.2 典型应用 28
7.3 电源相关建议 30
7.4 布局 30
8 器件和文档支持 33
8.1 器件支持 33
8.2 文档支持 33
8.3 接收文档更新通知 33
8.4 支持资源 33
8.5 商标 33
8.6 静电放电警告 33
8.7 术语表 34
9 Revision History 34
10 机械、封装和可订购信息 35

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

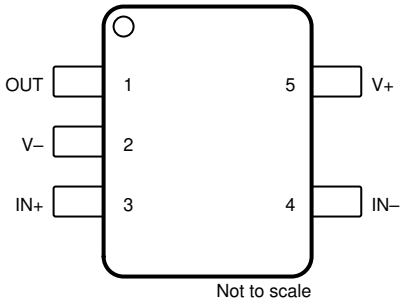


图 4-1. TLV9161 DBV 封装
5 引脚 SOT-23
（顶视图）

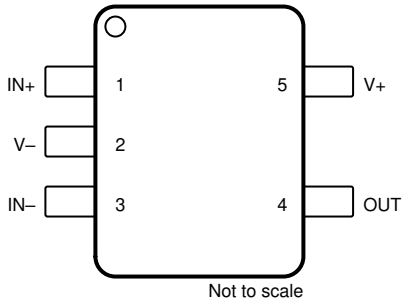


图 4-2. TLV9161 DCK 封装
5 引脚 SC70
（顶视图）

表 4-1. 引脚功能：TLV9161

引脚			I/O	说明
名称	SOT-23	SC70		
IN+	3	1	I	同相输入
IN –	4	3	I	反相输入
OUT	1	4	O	输出
V+	5	5	—	正（最高）电源
V –	2	2	—	负（最低）电源

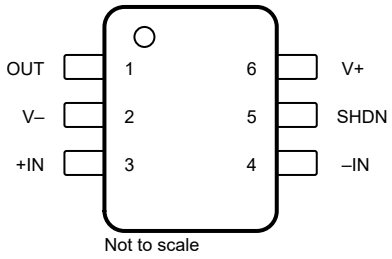


图 4-3. TLV9161S DBV 封装
6 引脚 SOT-23
（顶视图）

表 4-2. 引脚功能：TLV9161S

引脚		I/O	说明
名称	编号		
+IN	3	I	同相输入
– IN	4	I	反相输入
OUT	1	O	输出
SHDN	5	I	关断：低电平 = 启用放大器，高电平 = 禁用放大器
V+	6	—	正（最高）电源
V –	2	—	负（最低）电源

Copyright © 2024 Texas Instruments Incorporated

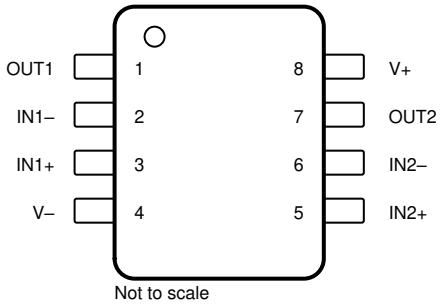
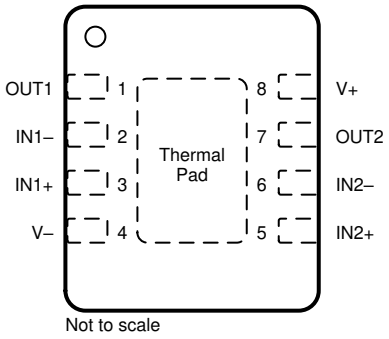


图 4-4. TLV9162 D、DDF、PW 和 DGK 封装
8 引脚 SOIC、SOT-23、TSSOP 和 VSSOP
（顶视图）



A. 将散热焊盘连接至 V – 。有关更多信息，请参阅节 6.3.10。

图 4-5. TLV9162 DSG 封装(A)
8 引脚 WSON（带有外露散热焊盘）
（顶视图）

表 4-3. 引脚功能：TLV9162

引脚		I/O	说明
名称	编号		
IN1+	3	I	同相输入，通道 1
IN1 –	2	I	反相输入，通道 1
IN2+	5	I	同相输入，通道 2
IN2 –	6	I	反相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V+	8	—	正（最高）电源
V –	4	—	负电源（最低）

Copyright © 2024 Texas Instruments Incorporated

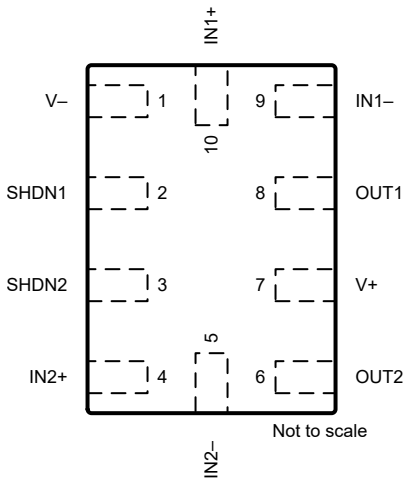


图 4-6. TLV9162S RUG 封装
10 引脚 X2QFN
（顶视图）

表 4-4. 引脚功能：TLV9162S

引脚		I/O	说明
名称	编号		
IN1+	10	I	同相输入，通道 1
IN1 –	9	I	反相输入，通道 1
IN2+	4	I	同相输入，通道 2
IN2 –	5	I	反相输入，通道 2
OUT1	8	O	输出，通道 1
OUT2	6	O	输出，通道 2
SHDN1	2	I	关断，通道 1：低电平 = 放大器被启用；高电平 = 放大器被禁用。有关更多信息，请参阅 *节 6.3.11*。
SHDN2	3	I	关断，通道 2：低电平 = 放大器被启用；高电平 = 放大器被禁用。有关更多信息，请参阅 *节 6.3.11*。
V+	7	—	正（最高）电源
V –	1	—	负（最低）电源

Copyright © 2024 Texas Instruments Incorporated

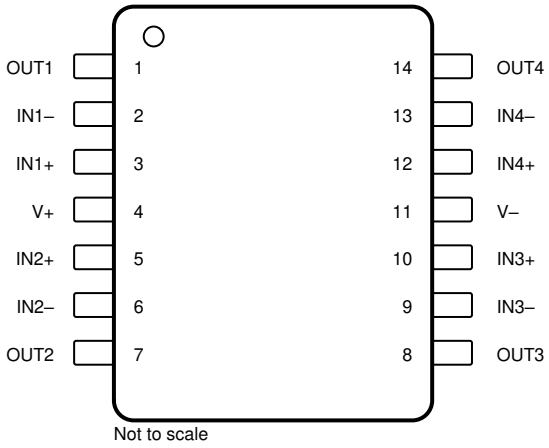


图 4-7. TLV9164 D 和 PW 封装
14 引脚 SOIC 和 TSSOP
（顶视图）

表 4-5. 引脚功能：TLV9164

引脚		I/O	说明
名称	编号		
IN1+	3	I	同相输入，通道 1
IN1 –	2	I	反相输入，通道 1
IN2+	5	I	同相输入，通道 2
IN2 –	6	I	反相输入，通道 2
IN3+	10	I	同相输入，通道 3
IN3 –	9	I	反相输入，通道 3
IN4+	12	I	同相输入，通道 4
IN4 –	13	I	反相输入，通道 4
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V+	4	—	正（最高）电源
V –	11	—	负（最低）电源

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	20	V
信号输入引脚	共模电压(3)	(V–) – 0.5	(V+) + 0.5	V
	差分电压(3)		V_S + 0.2	V
	电流(3)	-10	10	mA
关断引脚电压		V–	V+	
输出短路(2)		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 如果在超出*绝对最大额定值*下列出的额定值的情况下运行器件，则会对器件造成永久性损坏。这些只是基于工艺和设计限制条件的应力等级，该器件并未设计为在*建议运行条件*中指定的条件之外运行。如果长时间暴露于*建议运行条件*之外的任何条件（包括绝对最大额定条件）下，则可能影响器件的可靠性和性能。
(2) 接地短路，每个封装对应一个放大器。延长的短路电流，特别是在较高的电源电压下，会导致过热并最终导致毁坏。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	2.7	16	V
V_I	共模电压范围	V–	V+	V
V_{IH}	关断引脚上的高电平输入电压（放大器被禁用）	(V-)1.1	V+	V
V_{IL}	关断引脚上的低电平输入电压（放大器被启用）	V–	(V-)0.2	V
T_A	额定温度	-40	125	°C

Copyright © 2024 Texas Instruments Incorporated

5.4 单通道器件的热性能信息

热性能指标(1)		TLV9161、TLV9161S			单位
		DBV (SOT-23)		DCK (SC70)	
		5 引脚	6 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	185.4	166.9	198.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	83.9	83.9	94.1	°C/W
$R_{\theta JB}$	结至电路板热阻	52.5	47.1	45.3	°C/W
ψ_{JT}	结至顶部特征参数	25.4	25.9	16.9	°C/W
ψ_{JB}	结至电路板特征参数	52.1	47.0	45.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热性能指标*应用手册。

5.5 双通道器件的热性能信息

热性能指标(1)		TLV9162、TLV9162S						单位
		D (SOIC)	DDF (SOT-23)	DGK (VSSOP)	DSG (WSON)	PW (TSSOP)	RUG (X2QFN)	
		8 引脚	8 引脚	8 引脚	8 引脚	8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	131.0	149.6	174.2	74.8	183.4	131.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	73.0	85.3	65.9	93.6	72.4	52.9	°C/W
$R_{\theta JB}$	结至电路板热阻	74.5	68.6	95.9	42.1	114.0	62.0	°C/W
ψ_{JT}	结至顶部特征参数	25.0	7.9	11.0	3.8	12.1	1.1	°C/W
ψ_{JB}	结至电路板特征参数	73.8	68.4	94.4	41.9	112.3	61.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	17.0	不适用	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热性能指标*应用手册。

5.6 四通道器件的热性能信息

热性能指标(1)		TLV9164		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	99.0	118.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	55.1	47.0	°C/W
$R_{\theta JB}$	结至电路板热阻	54.8	61.9	°C/W
ψ_{JT}	结至顶部特征参数	16.7	5.5	°C/W
ψ_{JB}	结至电路板特征参数	54.4	61.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热性能指标*应用手册。

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性

在 V_S = (V+) – (V–) = 2.7V 至 16V（±1.35V 至 ±8V）、T_A = 25°C、R_L = 10kΩ（连接至 V_S/2）、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = V–			±0.21	±1	mV
			T_A = -40°C 至 125°C			±1.2	
dV_{OS}/dT	输入失调电压温漂	V_{CM} = V–	T_A = -40°C 至 125°C		±0.25		µV/℃
PSRR	输入失调电压与电源间的关系	TLV9161，TLV9162，V_{CM} = V–，V_S = 5V 至 16V			±0.45	±2	µV/V
			T_A = -40°C 至 125°C		±0.45	±3	
		TLV9162SIRUGR，V_{CM} = V–，V_S = 5V 至 16V(1)			±0.45	±2.8	
			T_A = -40°C 至 125°C		±0.45	±3.1	
		TLV9164，V_{CM} = V–，V_S = 5V 至 16V			±0.45	±2.2	
			T_A = -40°C 至 125°C		±0.45	±3.8	
		TLV9161，TLV9162，TLV9164，V_{CM} = V–，V_S = 2.7V 至 16V(1)	T_A = -40°C 至 125°C		±2	±12	
	直流通道隔离				0.4		µV/V
输入偏置电流							
I_B	输入偏置电流				±10		pA
I_{OS}	输入失调电流				±10		pA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			2.7		μV_{PP}
					0.49		μV_{RMS}
e_N	输入电压噪声密度	f = 1kHz			6.8		nV/√Hz
		f = 10kHz			4.2		
i_N	输入电流噪声密度	f = 1kHz			55		fA/√Hz
输入电压范围							
V_{CM}	共模电压范围			(V–)		(V+)	V
CMRR	共模抑制比	V_S = 16V，V– < V_{CM} < (V+) – 2V（PMOS 对）	T_A = -40°C 至 125°C	85	110		dB
		V_S = 5V，V– < V_{CM} < (V+) – 2V（PMOS 对）(1)		75	98		
		V_S = 2.7V，V– < V_{CM} < (V+) – 2V（PMOS 对）			90		
		V_S = 2.7V 至 16V，(V+) – 1V < V_{CM} < V+（NMOS 对）			78		
		(V+) – 2V < V_{CM} < (V+) – 1V		请参阅图 5-6			
输入阻抗							
Z_{ID}	差分				100 || 9		MΩ || pF
Z_{ICM}	共模				6 || 1		TΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = 16V，V_{CM} = V_S / 2，(V–) + 0.1V < V_O < (V+) – 0.1V		120	136		dB
			T_A = -40°C 至 125°C		136		
		V_S = 5V，V_{CM} = V_S / 2，(V–) + 0.1V < V_O < (V+) – 0.1V(1)		104	125		
			T_A = -40°C 至 125°C		125		
		V_S = 2.7V，V_{CM} = V_S / 2，(V–) + 0.1V < V_O < (V+) – 0.1V(1)		90	105		
			T_A = -40°C 至 125°C		105		
频率响应							
GBW	增益带宽积				11		MHz

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性（续）

在 V_S = (V+) – (V–) = 2.7V 至 16V（±1.35V 至 ±8V）、T_A = 25°C、R_L = 10kΩ（连接至 V_S/2）、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
SR	压摆率	V_S = 16V，G = +1，V_{STEP} = 10V，C_L = 20pF(3)		33		V/μs
t_S	稳定时间	精度为 0.1%，V_S = 16V，V_{STEP} = 10V，G = +1，C_L = 20pF		0.70		μs
		精度为 0.1%，V_S = 16V，V_{STEP} = 2V，G = +1，C_L = 20pF		0.22		
		精度为 0.01%，V_S = 16V，V_{STEP} = 10V，G = +1，C_L = 20pF		0.89		
		精度为 0.01%，V_S = 16V，V_{STEP} = 2V，G = +1，C_L = 20pF		0.42		
	相位裕度	G = +1，R_L = 10kΩ，C_L = 20pF		64		°
	过载恢复时间	V_{IN} × 增益 > V_S		120		ns
THD+N	总谐波失真 + 噪声	V_S = 16V，V_O = 3V_{RMS}，G = 1，f = 1kHz		0.00005%		
				126		dB
		V_S = 10V，V_O = 3V_{RMS}，G = 1，f = 1kHz，R_L = 128Ω		0.0032%		
				90		dB
		V_S = 10V，V_O = 0.4V_{RMS}，G = 1，f = 1kHz，R_L = 32Ω		0.00032%		
				110		dB

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性（续）

在 V_S = (V+) – (V–) = 2.7V 至 16V（±1.35V 至 ±8V）、T_A = 25°C、R_L = 10kΩ（连接至 V_S/2）、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）。

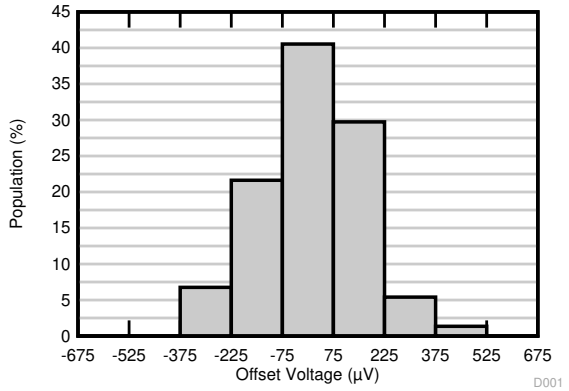
参数		测试条件		最小值	典型值	最大值	单位
输出							
	相对于电源轨的电压输出摆幅	正负电源轨余量	V_S = 16V，R_L = 空载		6		mV
			V_S = 16V，R_L = 10kΩ		25	60	
			V_S = 16V，R_L = 2kΩ		85	300	
			V_S = 2.7V，R_L = 空载		0.5		
			V_S = 2.7V，R_L = 10kΩ		5	20	
			V_S = 2.7V，R_L = 2kΩ		20	50	
I_{SC}	短路电流				±73		mA
C_{LOAD}	容性负载驱动				请参阅图 5-33		pF
Z_O	开环输出阻抗	I_O = 0A			请参阅图 5-30		Ω
电源							
I_Q	每个放大器的静态电流	TLV9162，TLV9164，I_O = 0A			2.4	2.8	mA
			T_A = -40°C 至 125°C			2.84	
		TLV9161，I_O = 0A			2.48	2.92	
			T_A = -40°C 至 125°C			2.98	
关断							
I_{QSD}	每个放大器的静态电流	V_S = 2.7V 至 16V，所有放大器都被禁用，SHDN = V– + 2V			36	45	µA
Z_{SHDN}	关断时的输出阻抗	V_S = 2.7V 至 16V，放大器被禁用			10 || 2		GΩ || pF
V_{IH}	逻辑高电平阈值电压（放大器被禁用）	对于有效输入高电平，SHDN 引脚电压应大于最大阈值，但小于或等于 V+				(V–) + 1.1V	V
V_{IL}	逻辑低电平阈值电压（放大器被启用）	对于有效输入低电平，SHDN 引脚电压应该小于最小阈值，但大于或等于 V–		(V–) + 0.2V			V
t_{ON}	放大器启用时间（从关断开始）(2)	V_S = ±8V，G = +1，V_{CM} = V_S/2，R_L = 10kΩ（连接至 V-）			5		µs
t_{OFF}	放大器禁用时间(2)	V_S = ±8V，G = +1，V_{CM} = V_S/2，R_L = 10kΩ（连接至 V-）			3		µs
	SHDN 引脚输入偏置电流（每个引脚）	V_S = 2.7V 至 16V，(V+) ≥ SHDN ≥ (V–) + 0.9V			500		nA
		V_S = 2.7V 至 16V，(V–) ≤ SHDN ≤ (V–) + 0.7V			400		

(1) 仅由特性确定。
(2) 禁用时间 (t_{OFF}) 和启用时间 (t_{ON}) 是指施加给 SHDN 引脚的信号为 50% 时到输出电压达到最终值的 10%（禁用）或 90%（启用）时之间的时间间隔。
(3) 如需了解更多信息，请参阅图 5-15。

Copyright © 2024 Texas Instruments Incorporated

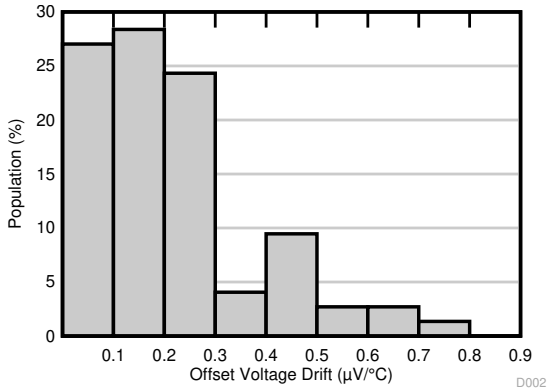
5.8 典型特性

在 T_A = 25°C，V_S = ±8V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 时测得（除非另有说明）



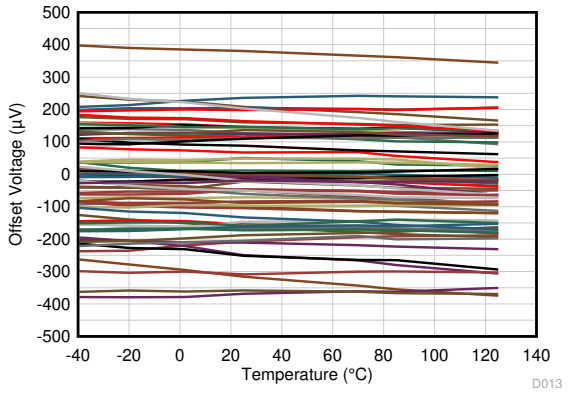
T_A = 25°C 时 74 个放大器的分配

图 5-1. 失调电压生产分配



74 个放大器的分配

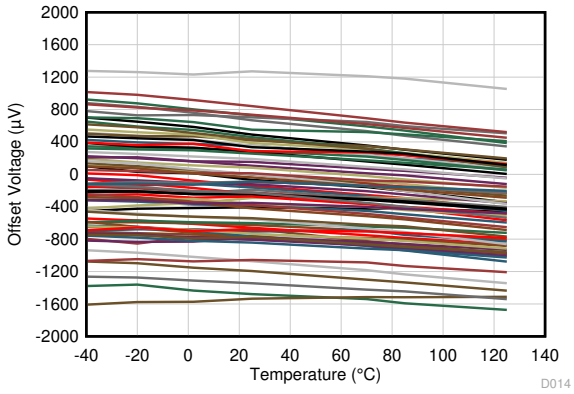
图 5-2. 失调电压漂移分配



V_{CM} = V –

来自 74 个放大器的数据

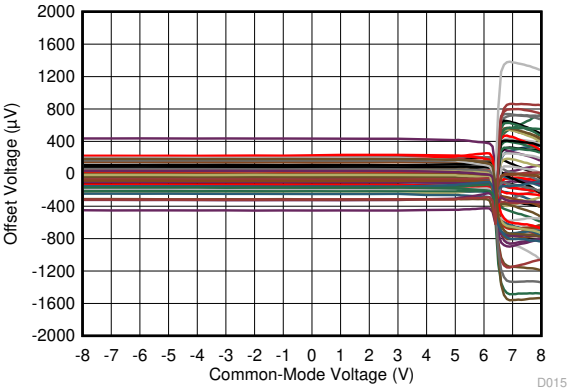
图 5-3. 失调电压与温度间的关系



V_{CM} = V+

来自 74 个放大器的数据

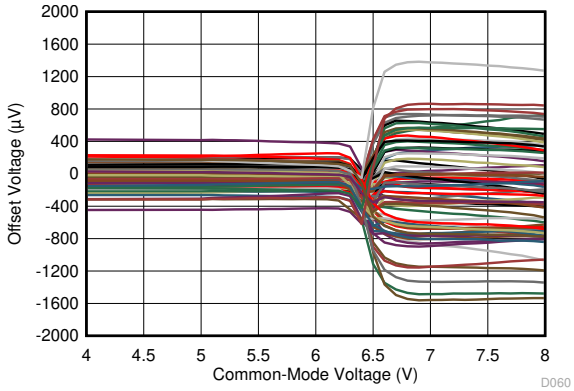
图 5-4. 失调电压与温度间的关系



T_A = 25°C

来自 74 个放大器的数据

图 5-5. 失调电压与共模电压间的关系



T_A = 25°C

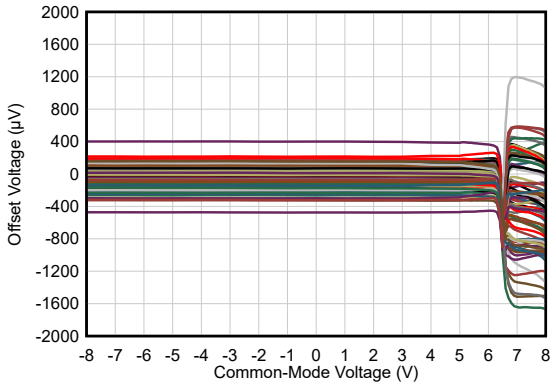
来自 74 个放大器的数据

图 5-6. 失调电压与共模电压间的关系（切换区域）

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

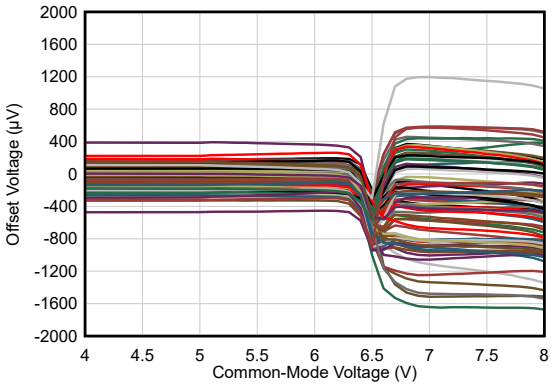
在 T_A = 25°C，V_S = ±8V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 时测得（除非另有说明）



T_A = 125°C

来自 74 个放大器的数据

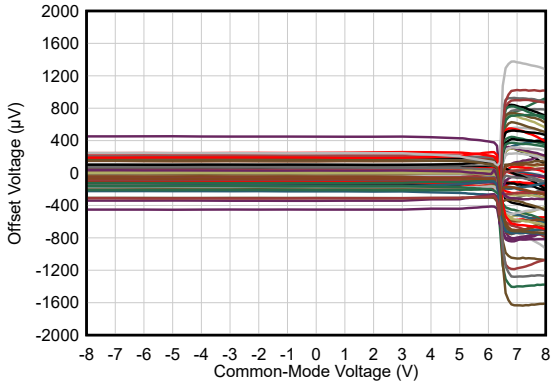
图 5-7. 失调电压与共模电压间的关系



T_A = 125°C

来自 74 个放大器的数据

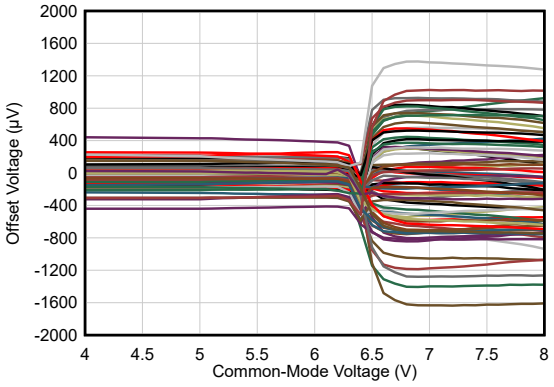
图 5-8. 失调电压与共模电压间的关系（切换区域）



T_A = -40°C

来自 74 个放大器的数据

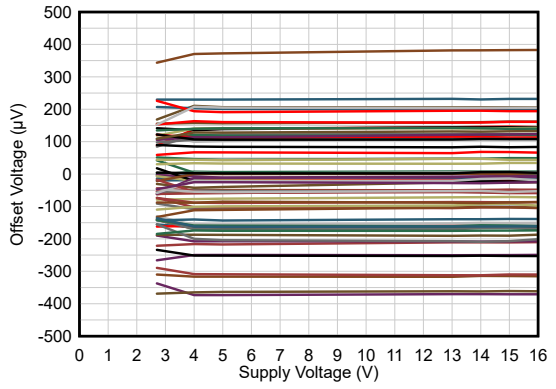
图 5-9. 失调电压与共模电压间的关系



T_A = -40°C

来自 74 个放大器的数据

图 5-10. 失调电压与共模电压间的关系（切换区域）



V_{CM} = V –

来自 74 个放大器的数据

图 5-11. 失调电压与电源间的关系

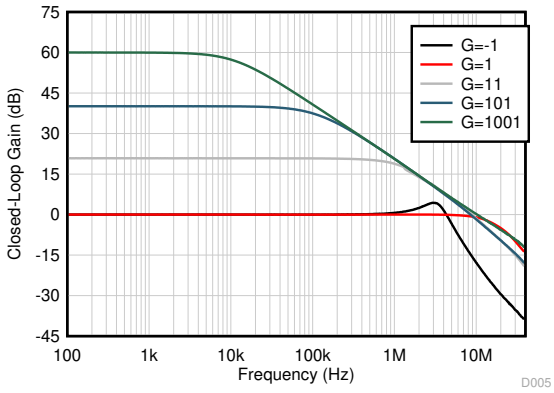
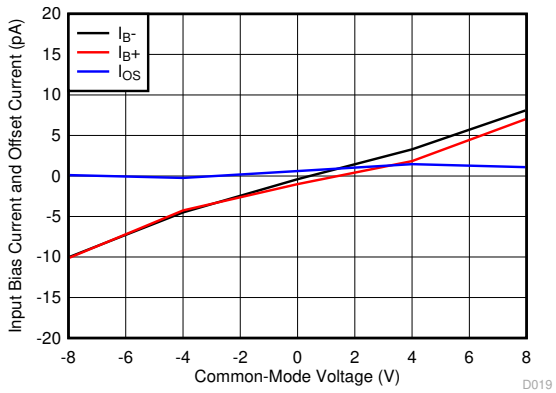


图 5-12. 闭环增益与频率间的关系

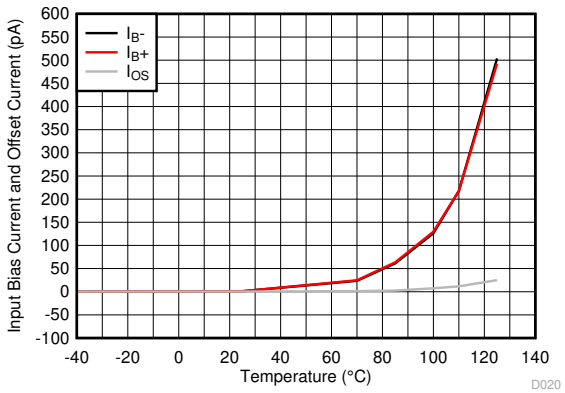
5.8 典型特性（续）

在 T_A = 25°C，V_S = ±8V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 时测得（除非另有说明）



空载

图 5-13. 输入偏置电流和失调电流与共模电压间的关系



空载

图 5-14. 输入偏置电流、失调电流与温度间的关系

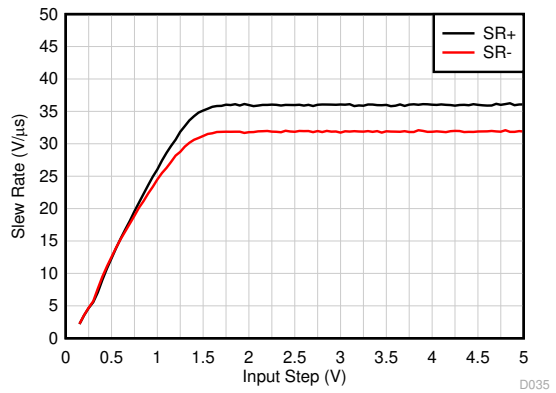
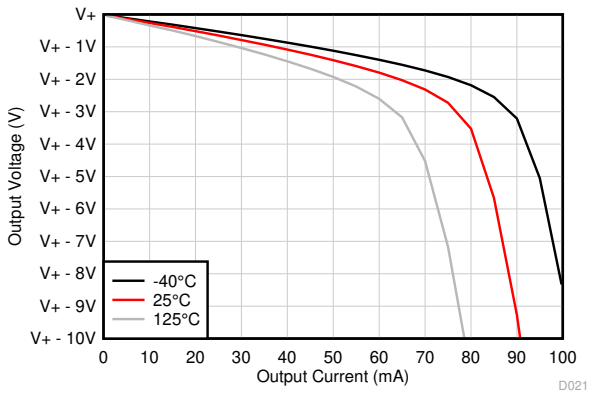
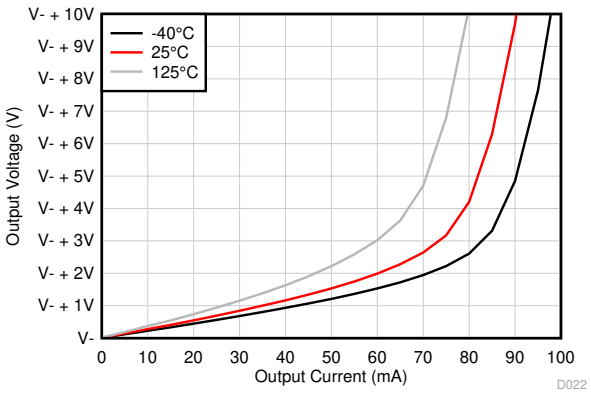


图 5-15. 压摆率与输入阶跃电压间的关系



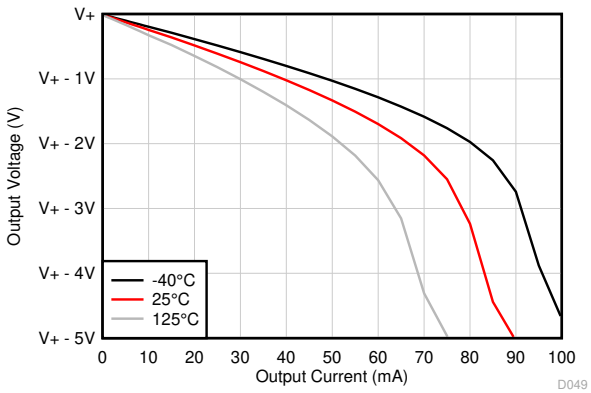
V_S = 16V

图 5-16. 输出电压摆幅与输出电流（拉电流）间的关系



V_S = 16V

图 5-17. 输出电压摆幅与输出电流（灌电流）间的关系



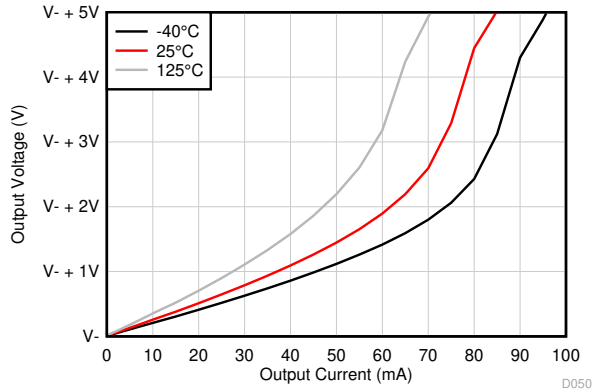
V_S = 5V

图 5-18. 输出电压摆幅与输出电流（拉电流）间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C，V_S = ±8V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 时测得（除非另有说明）



V_S = 5V

图 5-19. 输出电压摆幅与输出电流（灌电流）间的关系

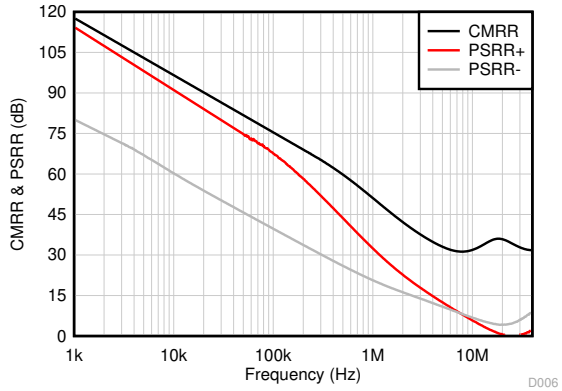
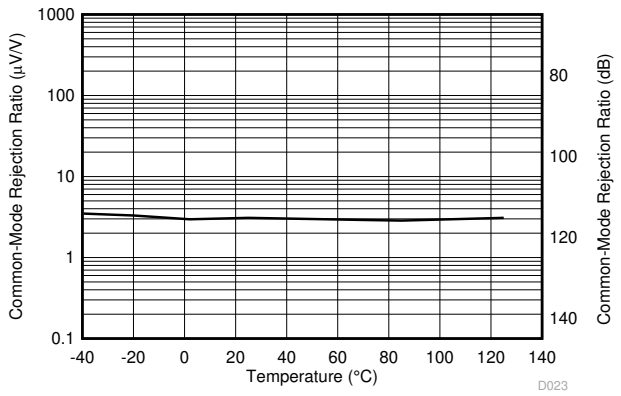
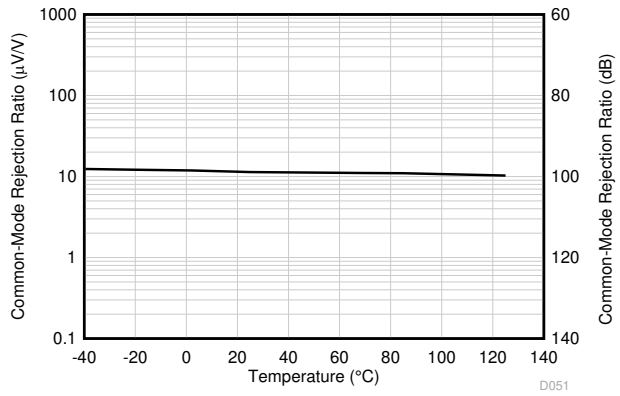


图 5-20. CMRR 和 PSRR 与频率间的关系



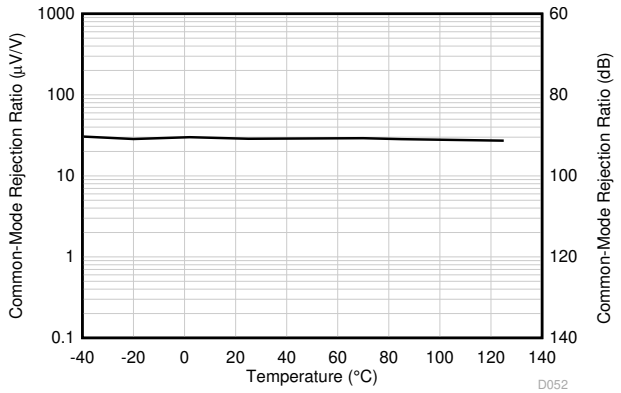
V_S = 16V，V_{CM} = V－

图 5-21. CMRR 与温度间的关系



V_S = 5V，V_{CM} = V－

图 5-22. CMRR 与温度间的关系



V_S = 2.7V，V_{CM} = V－

图 5-23. CMRR 与温度间的关系

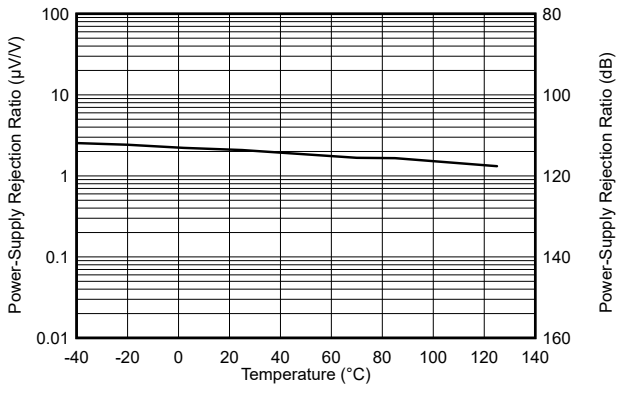


图 5-24. PSRR 与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C，V_S = ±8V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 时测得（除非另有说明）

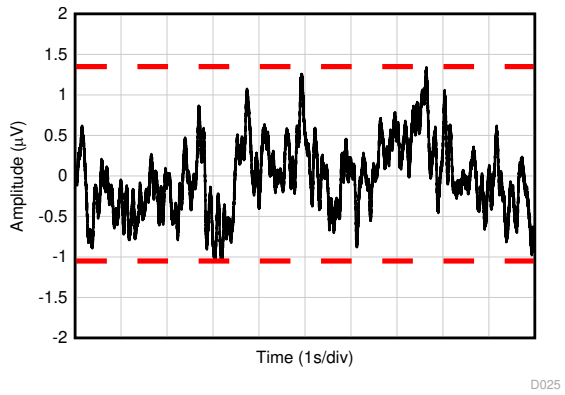


图 5-25. 0.1Hz 至 10Hz 噪声

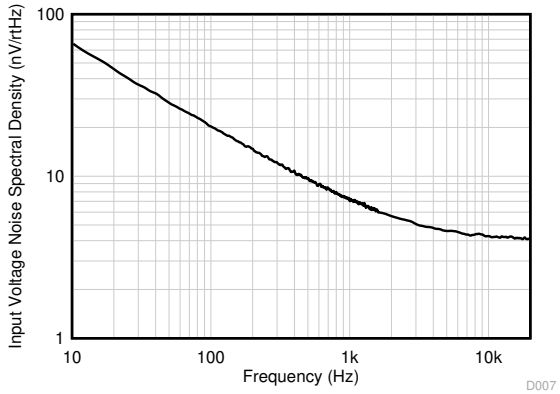
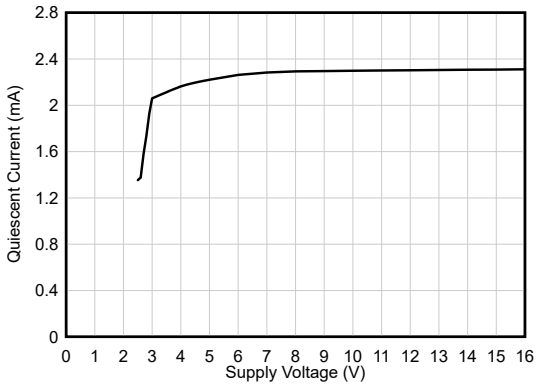
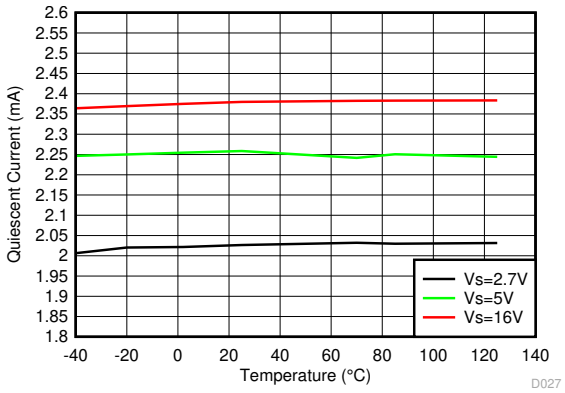


图 5-26. 输入电压噪声频谱密度与频率间的关系



V_{CM} = V –

图 5-27. 静态电流与电源电压间的关系



V_{CM} = V –

图 5-28. 静态电流与温度间的关系

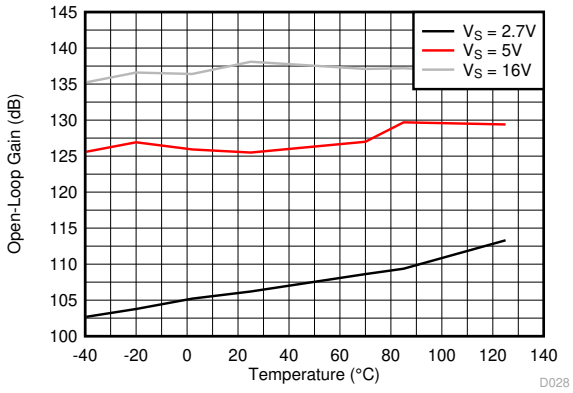


图 5-29. 开环电压增益与温度间的关系 (dB)

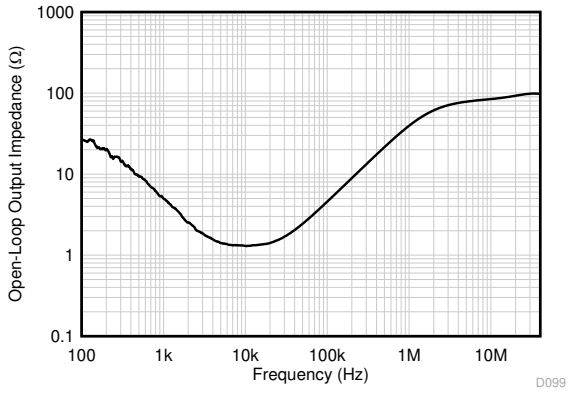
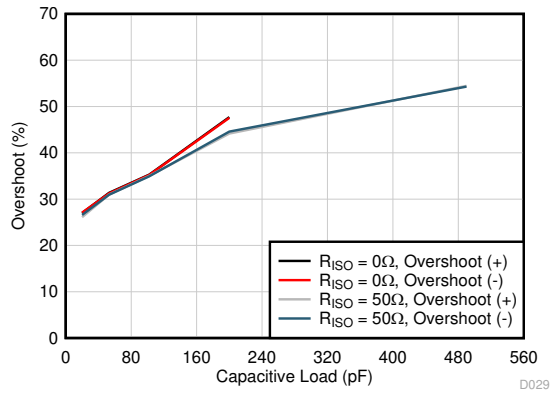


图 5-30. 开环输出阻抗与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

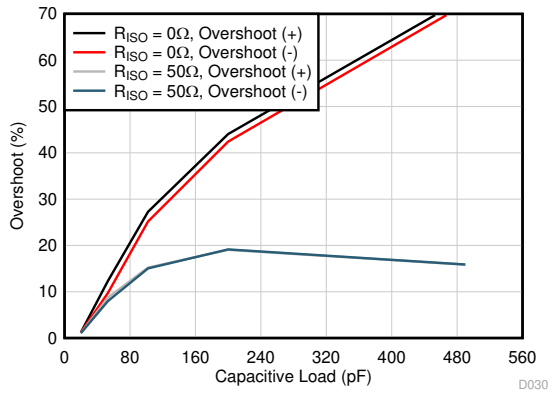
5.8 典型特性（续）

在 T_A = 25°C，V_S = ±8V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 时测得（除非另有说明）



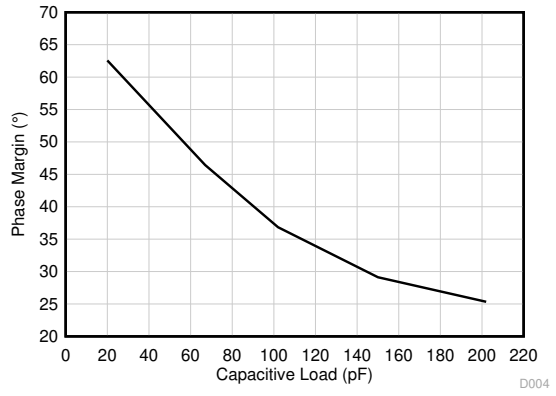
20mV$_{pp}$ 输出阶跃，G = –1

图 5-31. 小信号过冲与容性负载间的关系



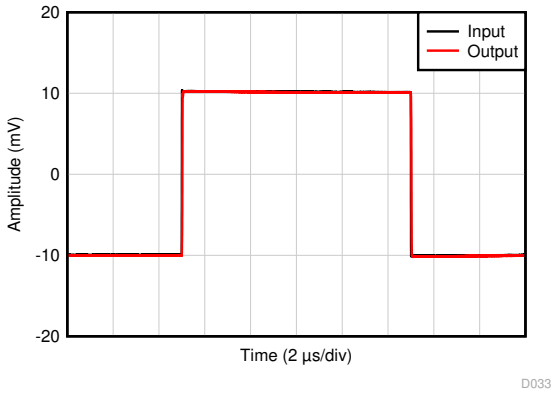
20mV$_{pp}$ 输出阶跃，G = +1

图 5-32. 小信号过冲与容性负载间的关系



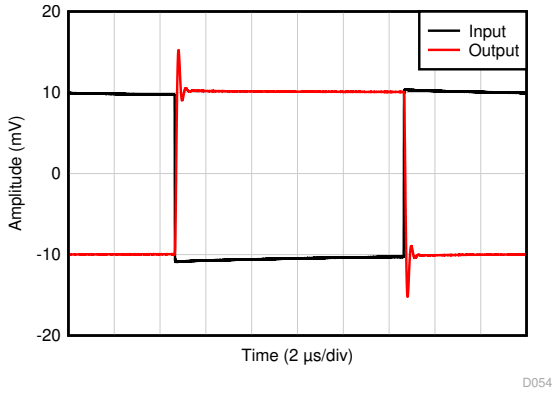
G = +1

图 5-33. 相位裕度与容性负载间的关系



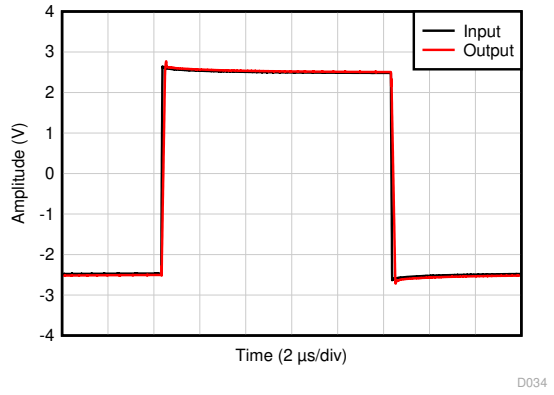
C_L = 20pF，G = 1，20mV$_{pp}$ 阶跃响应

图 5-34. 小信号阶跃响应



C_L = 20pF，G = -1，20mV$_{pp}$ 阶跃响应

图 5-35. 小信号阶跃响应



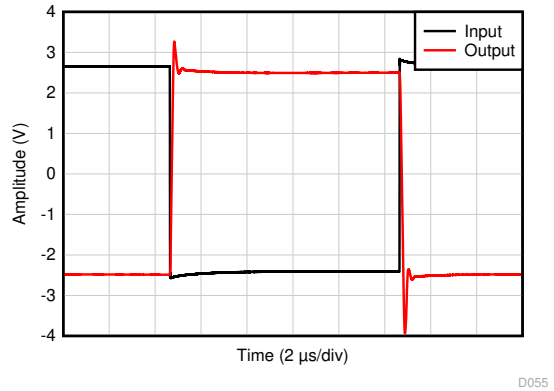
C_L = 20pF，G = 1，5V$_{pp}$ 阶跃响应

图 5-36. 大信号阶跃响应

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C，V_S = ±8V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 时测得（除非另有说明）



C_L = 20pF，G = -1，$5V_{pp}$ 阶跃响应

图 5-37. 大信号阶跃响应

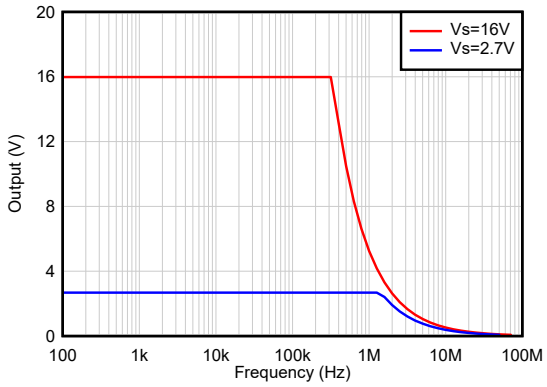


图 5-38. 最大输出电压与频率间的关系

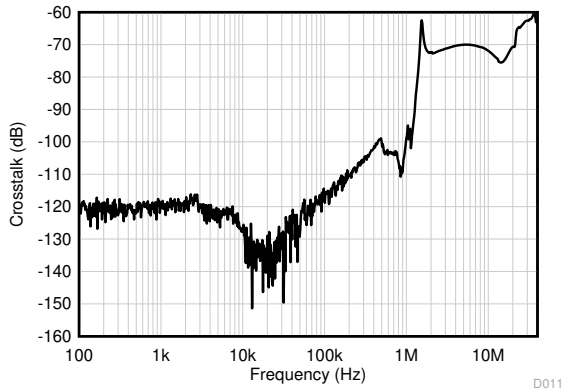


图 5-39. 通道隔离与频率间的关系

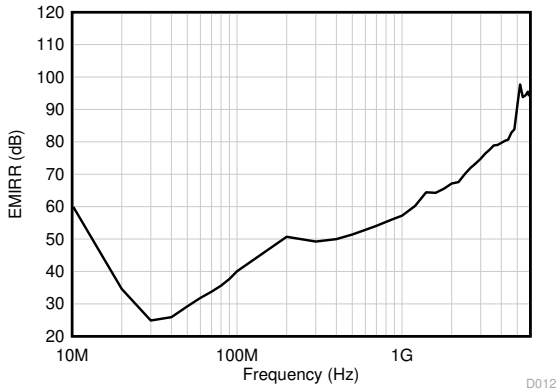


图 5-40. EMIRR（电磁干扰抑制比）与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

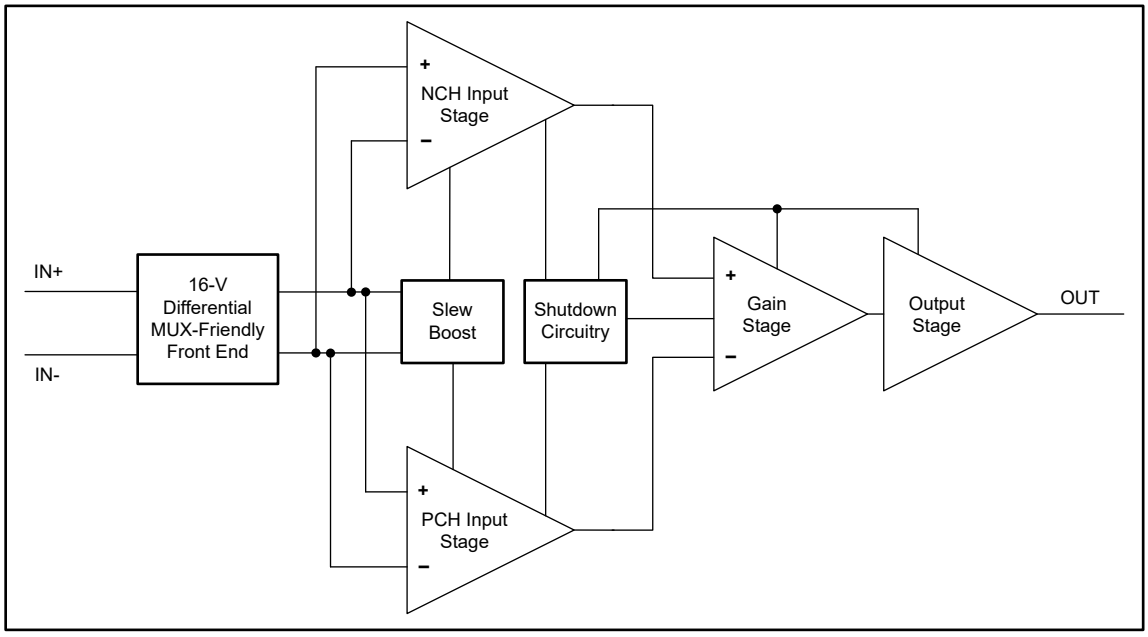
6.1 概述

TLV916x 系列（TLV9161、TLV9162 和 TLV9164）是 16V 通用运算放大器系列。

这些器件具有出色的直流精度和交流性能，包括轨至轨输入/输出、低失调电压（典型值为 ±210μV）、低温漂（典型值为 ±0.25μV/°C）和 11MHz 带宽。

TLV916x 具有诸如电源轨的差分和共模输入电压范围、高短路电流 (±73mA)、高压摆率 (33V/μs) 和关断等特性，是一款灵活可靠的高性能运算放大器，适用于 16V 工业应用。

6.2 功能方框图



6.3 特性说明

6.3.1 输入保护电路

TLV916x 使用特殊的输入架构来消除对输入保护二极管的需求，但在瞬态情形下仍能提供可靠的输入保护。可以通过快速瞬态阶跃响应来激活图 6-1 中所示的常规输入二极管保护方案，但由于存在交流电路径，这将引入信号失真和稳定延时时间，如图 6-2 所示。 对于低增益电路，这些快速斜向输入信号对背对背二极管进行正向偏置，这会导致输入电流增加，进而使稳定时间延长。

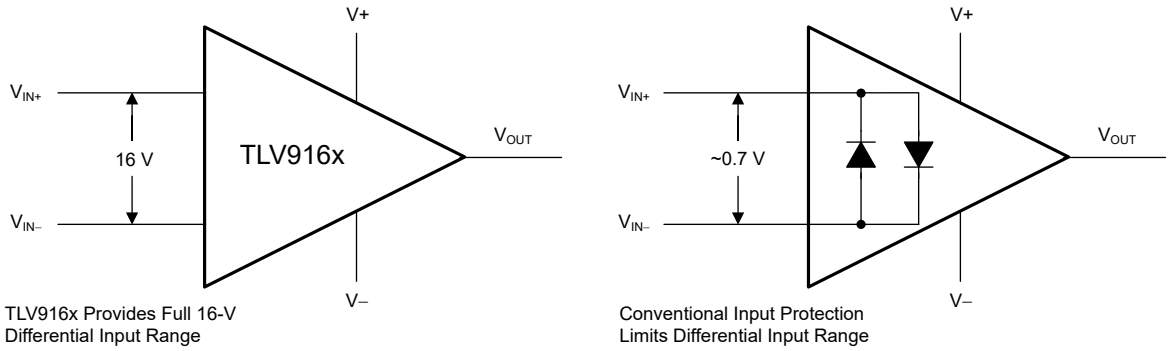


图 6-1. TLV916x 输入保护不限制差分输入能力

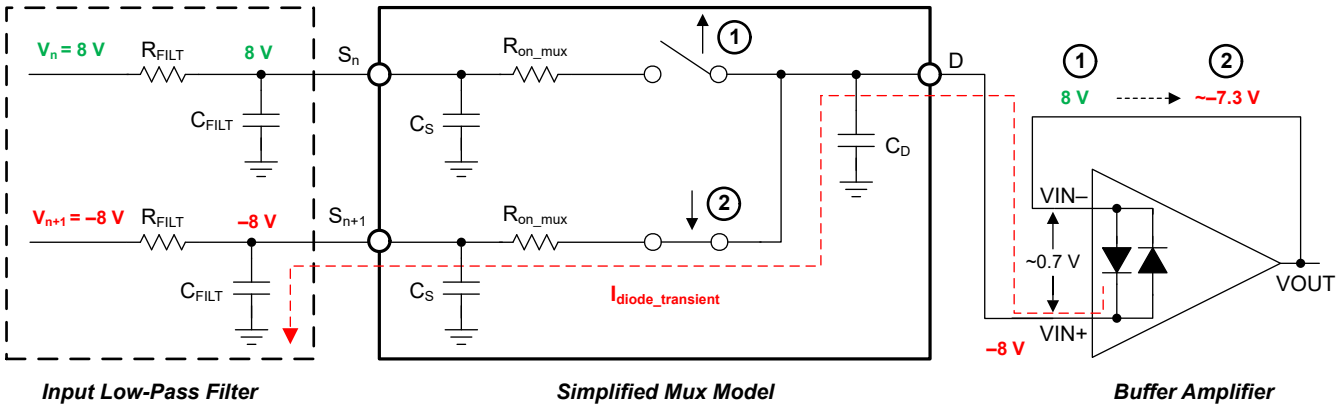


图 6-2. 背对背二极管造成稳定问题

TLV916x 系列运算放大器采用专利输入保护架构，不会引入额外的信号失真或延迟的稳定时间，提供了真正的高阻抗差分输入能力，因此非常适合用于多通道、高开关输入应用。TLV916x 允许最大差分摆幅（运算放大器的反相和同相引脚之间的电压）高达 16V，使得该器件适合用作比较器或用于具有快速斜向输入信号的应用中，例如数据采集系统；有关更多信息，请参阅 TI 技术手册*支持多路复用器的精密运算放大器*。

Copyright © 2024 Texas Instruments Incorporated

6.3.2 EMI 抑制

TLV916x 采用集成电磁干扰 (EMI) 滤波来减少无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。通过电路设计技术可改进 EMI 抗扰度；TLV916x 受益于这些设计改进措施。德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 扩展宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 6-3 显示了对 TLV916x 执行此测试的结果。表 6-1 列出了在实际应用中 TLV916x 在常见特定频率下的 EMIRR IN+ 值。*运算放大器的 EMI 抑制比*应用报告包含了与运算放大器相关的 EMIRR 性能主题，该报告可在 www.ti.com 上下载。

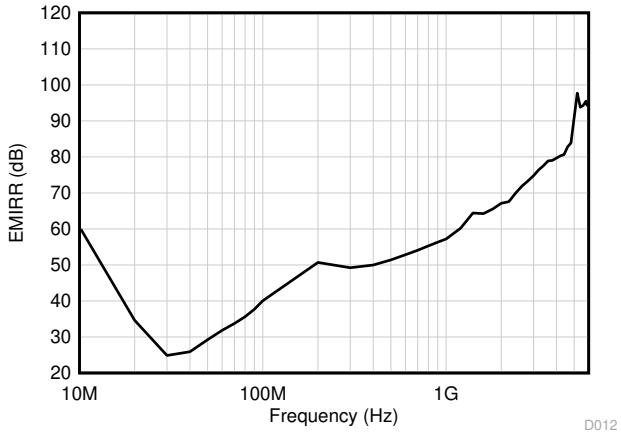


图 6-3. EMIRR 测试

表 6-1. TLV9161 在相关频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	50.0dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	56.3dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	65.6dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	70.0dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	78.9dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	91.0dB

Copyright © 2024 Texas Instruments Incorporated

6.3.3 过热保护

任何放大器的内部功耗都会导致内部温度（结温）升高。这一现象称为 *自热*。TLV916x 的绝对最大结温为 150°C。超过此温度会损坏器件。TLV916x 具有过热保护功能，可减少自热造成的损坏。该保护功能的工作原理是监视器件的温度，并在温度超过 170°C 时关闭运算放大器输出驱动。图 6-4 展示了 TLV9162 的应用示例，该器件因为其功耗 (0.627W) 而会产生显著的自热。在此示例中，两个通道都具有静态功耗，而其中一个通道具有很大的负载。热能计算表明，当环境温度为 60°C 时，器件结温达到 175°C。不过，实际器件会关闭输出驱动来恢复到安全的结温。图 6-4 显示了电路在过热保护期间的行为。在正常工作期间，器件充当缓冲器，因此输出为 5V。当自热导致器件结温升高超过内部限制时，过热保护强制输出进入高阻抗状态，并通过电阻 R_L 将输出拉至接地。如果依旧存在导致过大功耗的状况，放大器将在关断和启用状态之间振荡，直到输出故障得到纠正。请注意，热性能可能会因所选封装和 PCB 布局设计而有很大差异。此示例使用 TSSOP (8) 封装的热性能。

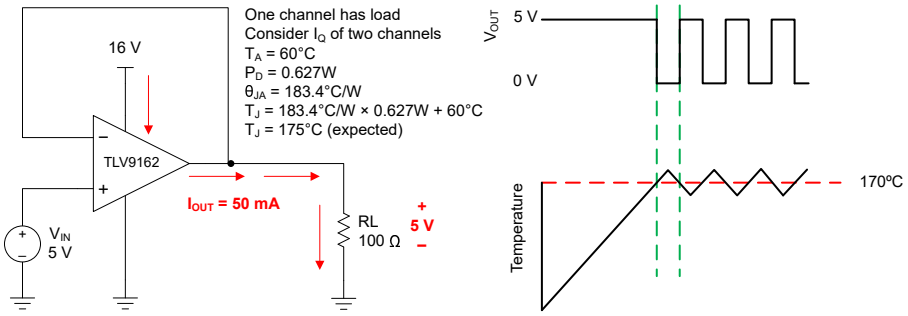


图 6-4. 过热保护

6.3.4 容性负载和稳定性

TLV916x 具有输出级，能够驱动中等容性负载，并且通过采用隔离电阻器，还可以通过轻松配置，用于驱动更大的容性负载。增加增益可增强放大器驱动更大容性负载的能力；请参阅图 6-5 和图 6-6。在确定放大器是否将稳定运行时，需要考虑一些因素，如特定的运算放大器电路配置、布局、增益和输出负载等。

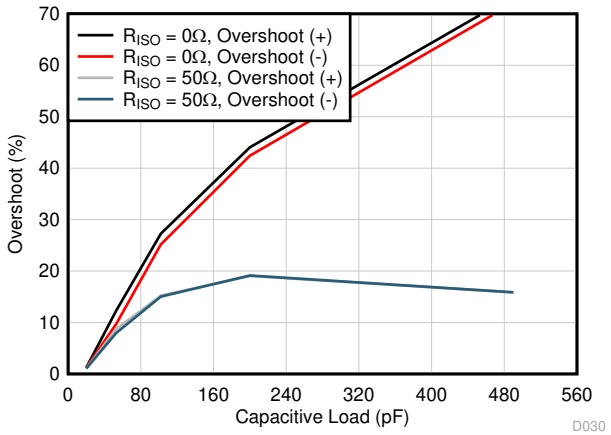


图 6-5. 小信号过冲与容性负载之间的关系（20mV$_{pp}$ 输出阶跃，G = +1）

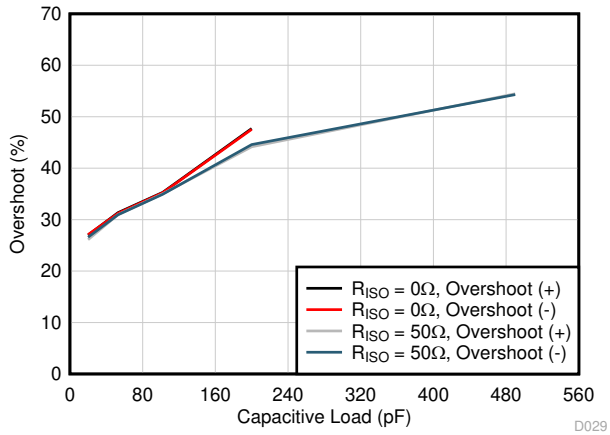


图 6-6. 小信号过冲与容性负载之间的关系（20mV$_{pp}$ 输出阶跃，G = -1）

为了在单位增益配置中获得额外的驱动能力，通过在输出中串联一个小电阻器 R_{ISO} 来提高容性负载驱动能力，如图 6-7 中所示。此电阻器可显著减少振铃，并保持纯容性负载的直流性能。但是，如果电阻负载与容性负载并联，则会产生一个电压分压器，从而在输出端引入增益误差并略微减小输出摆幅。引入的误差与 R_{ISO} / R_L 的比率成正比，在低输出电平下通常可忽略不计。高容性负载驱动使 TLV916x 非常适合用于基准缓冲器、MOSFET 栅极驱动器和电缆屏蔽驱动器等应用。图 6-7 中所示的电路采用隔离电阻器 R_{ISO} 来稳定运算放大器的输出。R_{ISO} 修改了系统的开环增益，因而能够带来更高的相位裕度 中总结了使用 TLV916x 的结果。

Copyright © 2024 Texas Instruments Incorporated

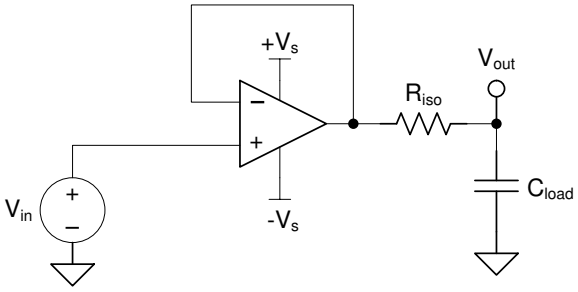


图 6-7. 使用 TLV9161 扩展容性负载驱动

6.3.5 共模电压范围

TLV916x 是一款 16V 的轨到轨输入运算放大器，其输入共模范围扩展到两个电源轨。此宽范围通过并联互补的 N 沟道和 P 沟道差分输入对实现的，如图 6-8 所示。当输入电压靠近正轨，通常从 (V+) – 1V 到正电源时，NPN 对运行。当输入电压为负电源电压到大约 (V+) – 2V 时，P 通道对处于激活状态。其转换区域较小，通常为 (V+) – 2 V 至 (V+) – 1V 这时两个输入对都处于导通状态。此转换区域会随工艺不同而略有波动。在此区域内，与在该区域外运行相比，PSRR、CMRR、失调电压、温漂、噪声和 THD 性能可能会下降。

图 5-5 更详细地显示了典型器件在输入电压失调方面的转换区域。

有关共模电压范围和 PMOS/NMOS 对相互作用的更多信息，请参阅*具有互补对输入级的运算放大器* 应用手册。

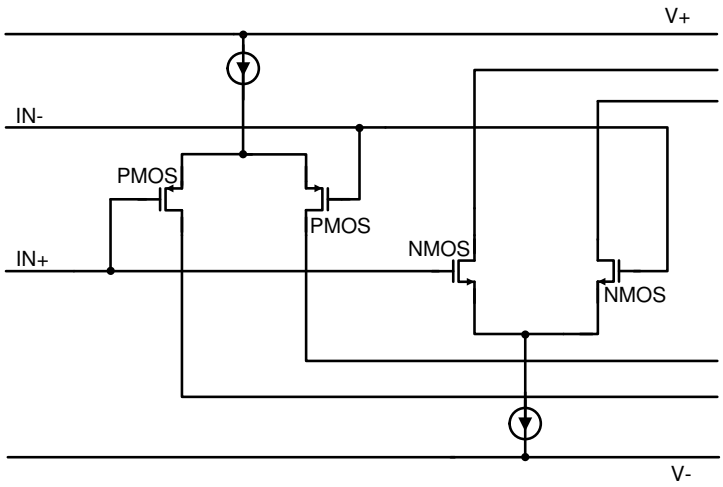


图 6-8. 轨到轨输入级

6.3.6 反相保护

TLV916x 系列具有内部相位反转保护功能。当输入被驱动至超过其线性共模范围时，很多运算放大器都会出现相位反转。这种情况在同相电路中最常见，当输入被驱动至超过指定的共模电压范围时，导致输出反向到相对的电源轨上。TLV916x 是一款轨到轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。有关相位反转的更多信息，请参阅*具有互补对输入级的运算放大器*应用手册。

6.3.7 电气过载

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题的重点在于器件输入，但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

Copyright © 2024 Texas Instruments Incorporated

能够充分了解该基本 ESD 电路及其与电气过应力事件的关联性会有所帮助。图 6-9 显示了 TLV916x 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未运行状态。

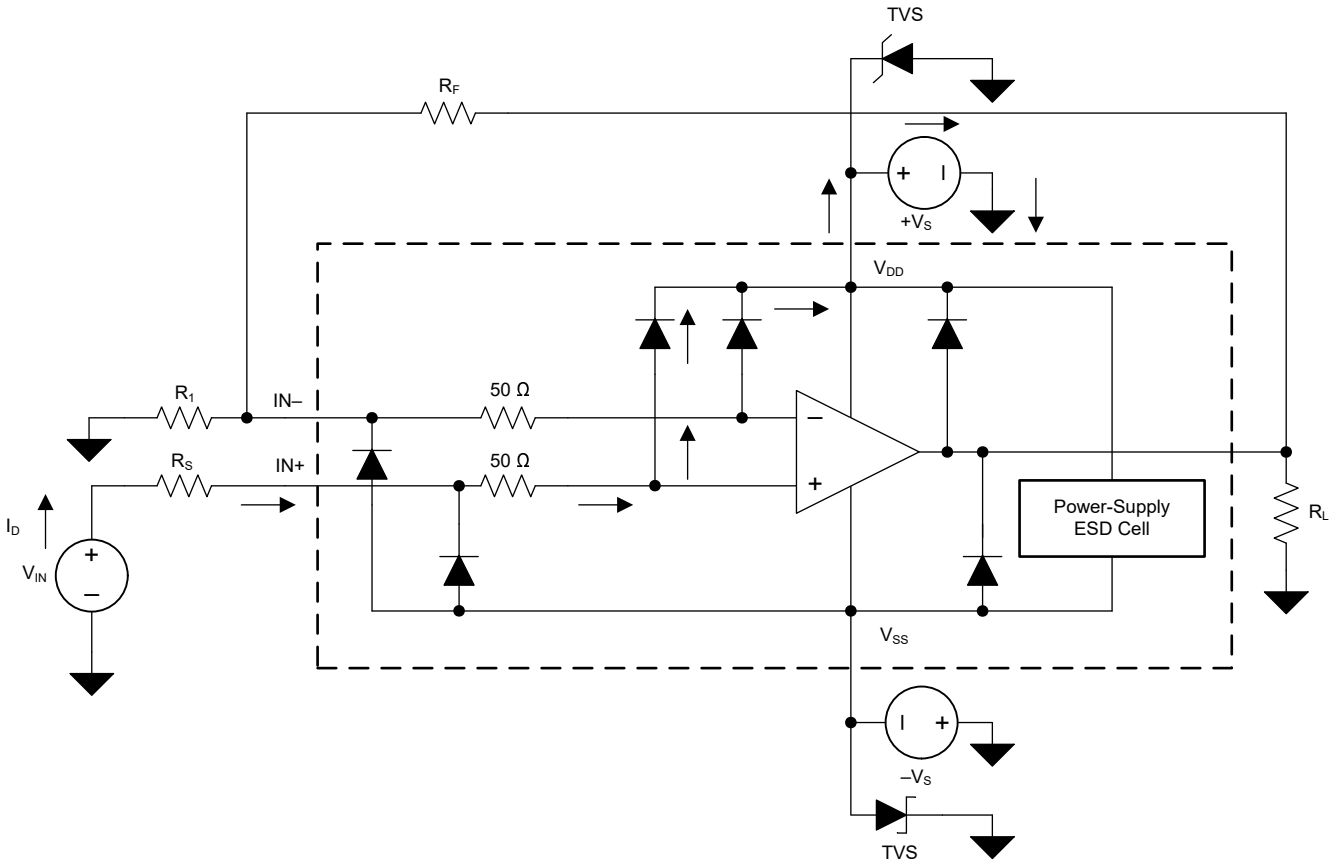


图 6-9. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件持续时间非常短，电压非常高（例如，1kV，100ns），而 EOS 事件持续时间长，电压较低（例如，50V，100ms）。ESD 二极管设计用于电路外 ESD 保护（即在器件被焊接到 PCB 上之前的组装、测试和贮存阶段）。在 ESD 事件中，ESD 信号通过 ESD 导流二极管传递给吸收电路（列为 ESD 电源电路）。ESD 吸收电路将电源钳制在一个安全的水平。

尽管这种行为对于电路外保护来说是必要的，但如果在电路内激活，则会导致过流和损坏。瞬态电压抑制器 (TVS) 可用于防止电路内 ESD 事件中因打开 ESD 吸收电路而导致的损坏。使用适当的限流电阻和 TVS 二极管则允许使用器件 ESD 二极管来防止 EOS 事件。

6.3.8 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。TLV916x 的过载恢复时间大约为 120ns。

6.3.9 典型规格与分布

设计人员经常会对放大器的典型规格提出质疑，以便设计出更稳健的电路。由于工艺技术和制造过程上存在自然差异，因此放大器的每种规格都与理想值存在一定的偏差，例如放大器的输入失调电压。这些偏差通常遵循“高

Copyright © 2024 Texas Instruments Incorporated

斯”（“钟形曲线”）或“正态”分布，即使*电气特性*表格中没有最小值或最大值规格，电路设计人员也可以利用此信息来确定其系统的限值空间。

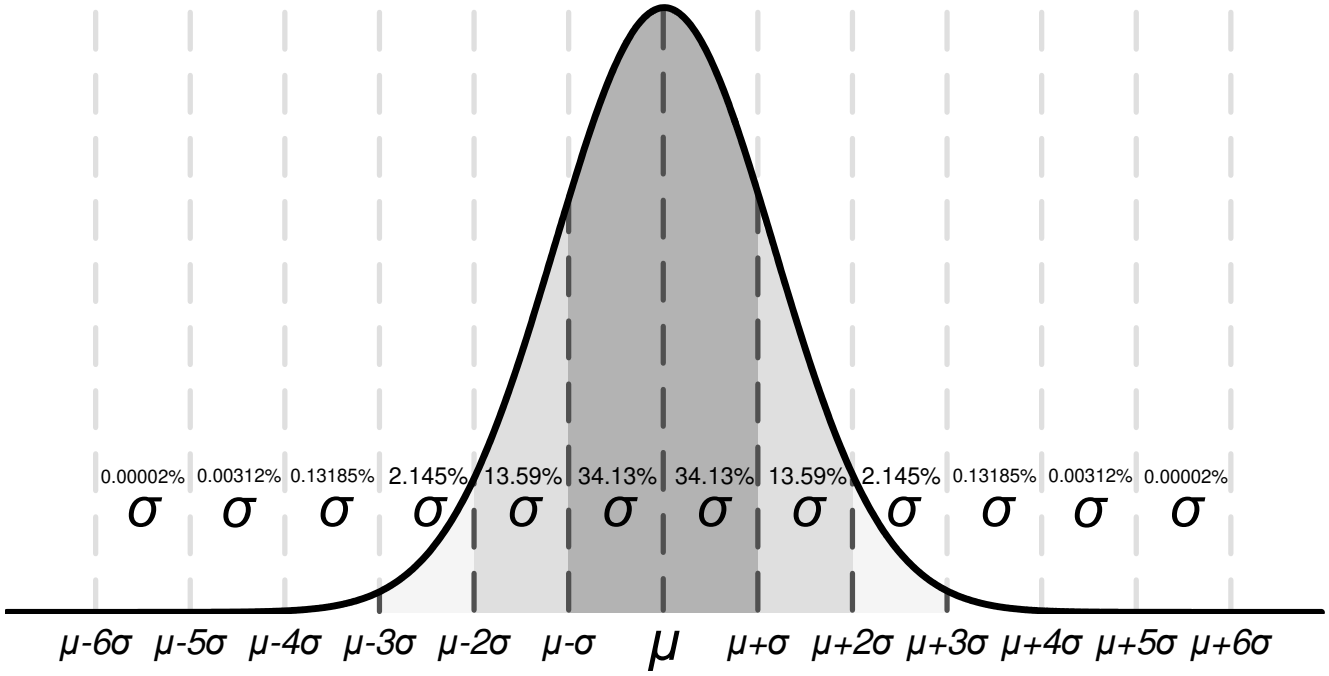


图 6-10. 理想的高斯分布

图 6-10 显示了一个分布示例，其中 *μ* 或 *mu* 是分布的平均值，而 σ 或 *sigma* 是系统的标准偏差。对于表现出这种分布的规格，可以预期所有器件中大约三分之二 (68.26%) 器件的值落在平均值的标准差或 1 σ 内（从 *μ* – σ 到 *μ* + σ）。

根据具体规格，*电气特性* 表中“典型值”一列中列出的值会以多种不同的方式表示。根据一般的经验法则，如果规格本身具有非零平均值（例如增益带宽），那么典型值等于平均值 (μ)。然而，如果规格的平均值本身接近于零（例如输入失调电压），那么典型值等于均值加上一个标准偏差 (μ + σ)，这样才能最为准确地表示典型值。

您可以使用该图表来计算器件中某个规格的近似概率；例如，对于 TLV916x，典型的输入失调电压值为 210μV，因此所有 TLV916x 器件中有 68.2% 的器件预计都具有 –210μV 至 210μV 的失调电压。在 4 σ (±840μV) 条件下，分布的 99.9937% 都具有小于 ±840μV 的失调电压，这意味着总体的 0.0063% 位于这些限值之外，相当于 15,873 个器件有 1 个器件超出该限值。

在最小值或最大值列中具有值的规格由 TI 指定，超过这些限值的器件将从生产材料中剔除。例如，TLV916x 系列在 25°C 条件下的最大失调电压为 1mV，尽管这相当于大约 5σ（约为 170 万个器件中有 1 个器件，这种可能性微乎其微），但 TI 会从生产材料中剔除失调电压大于 1mV 的任何器件。

对于最小值或最大值列中没有值的规格，可考虑为应用选择 1 σ 值的足够限值空间，并使用该值来设计最差情况下的电路。例如，6 σ 值相当于大约 5 亿分之 1 的单位，这种情况极不可能，并可以作为一个宽保护空间选项来设计系统。在这种情况下，TLV916x 产品系列在失调电压漂移上没有最大值和最小值，但根据 *电气特性* 表格中 0.25μV/°C 的典型值，可以计算出失调电压漂移的 6σ 值约为 1.5μV/°C。在最坏的系统条件下设计时，可以使用该值来估计整个温度范围内的最大失调电压，而不用知道实际的最小值或最大值。

然而，随着时间的推移，工艺差异和调整会改变典型的平均值和标准偏差，除非最小值或最大值规格列中给出了值，否则 TI 无法保证器件的性能。此信息应该只能用于估算器件的性能。

6.3.10 带外露散热焊盘的封装

TLV916x 系列采用具有外露散热焊盘的 WSON-8 (DSG) 封装。在封装内部，使用导电化合物将内核连接到该散热焊盘。因此，当使用带有外露散热焊盘的封装时，散热焊盘必须连接到 V– 或保持悬空。不可将散热焊盘连接到 V– 之外的电势上，否则无法保证器件的性能。

6.3.11 关断

TLV916xS 器件具有一个或多个关断引脚 (SHDN)，该引脚可禁用运算放大器，从而将其置于低功耗待机模式。在该模式下，运算放大器的电流消耗通常约为 36μA。SHDN 引脚为高电平有效，这意味着当 SHDN 引脚的输入为有效逻辑高电平时会启用关断模式。当 SHDN 引脚的输入为有效逻辑低电平时，放大器被启用。

SHDN 引脚以运算放大器的负电源轨为基准。关断特性的阈值位于 800mV（典型值）左右，且不随电源电压的变化而变化。开关阈值中包含了迟滞，以确保顺畅的开关特性。为了确保最佳的关断行为，应通过有效逻辑信号驱动 SHDN 引脚。有效逻辑低电平是指介于 V– 和 V– + 0.2V 之间的电压。有效逻辑高电平是指介于 V– + 1.1V 和 V+ 之间的电压。关断引脚电路包括下拉电阻器，如果不驱动，下拉电阻器会固有地将引脚电压拉至负电源轨。因此，要启用放大器，SHDN 引脚应该保持悬空或被驱动至有效逻辑低电平。要禁用放大器，SHDN 引脚必须被驱动至有效逻辑高电平。SHDN 引脚上允许的最大电压为 V+。超过 V+ 会损坏器件。

SHDN 引脚为高阻抗 CMOS 输入。单通道运算放大器和双通道运算放大器封装的各个通道均是单独控制的，而四通道运算放大器封装的通道是成对控制的。对于电池供电的应用，这种特性可用于大幅降低平均电流并延长电池使用寿命。关断的典型启用时间为 5μs；禁用时间为 3μs。禁用时，输出呈现高阻抗状态。借助该架构，TLV916xS 系列器件能够用作选通放大器、多路复用器或可编程增益放大器。关断时间 (t_{OFF}) 取决于负载条件，并随负载电阻的增加而增加。为了确保在特定的关断时间内关断（禁用）器件，需要将指定的 10kΩ 负载加载到 V–。如果在没有负载的情况下使用 TLV916xS，则产生的关断时间会显著增加。

6.4 器件功能模式

TLV916x 具有单一功能模式，可在电源电压大于 2.7V (±1.35V) 时工作。TLV916x 的最大电源电压为 16V (±8V)。

Copyright © 2024 Texas Instruments Incorporated

TLV916xS 器件具有关断引脚，可用于将运算放大器置于低功耗模式。更多信息请参阅*关断*部分。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实现

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TLV916x 系列提供了出色的直流精度和交流性能。这些器件的工作电压高达 16V，并提供真正的轨到轨输入/输出、低失调电压、失调电压漂移以及 11MHz 带宽和高输出驱动。得益于这些特性，TLV916x 成为适用于 16V 工业应用的稳定可靠的高性能运算放大器。

7.2 典型应用

7.2.1 低侧电流测量

图 7-1 显示了低侧电流检测应用中配置的 TLV9161。有关图 7-1 中所示电路的全面分析，包括理论、计算、模拟和测量数据，请参阅 TI 精密设计 TIPD129 *0A 至 1A 单电源低侧电流检测解决方案*。

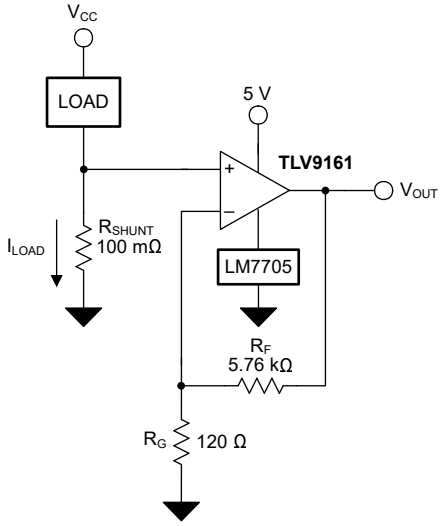


图 7-1. 低侧电流检测应用中的 TLV9161

7.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压：4.9V
- 最大分流电压：100mV

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2 详细设计过程

方程式 1 提供了图 7-1 中的电路传递函数。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{1}$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 定义了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \tag{2}$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 TLV9161 放大，从而产生 0V 至 4.9V 的输出电压。TLV9161 产生必要输出电压时所需的增益根据方程式 3 算出。

$$Gain = \frac{\left(V_{OUT_MAX} - V_{OUT_MIN}\right)}{\left(V_{IN_MAX} - V_{IN_MIN}\right)} \tag{3}$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 用于调整电阻器 R_F 和 R_G 的大小，从而将 TLV9161 的增益设置为 49V/V。

$$Gain = 1 + \frac{\left(R_F\right)}{\left(R_G\right)} \tag{4}$$

将 R_F 选为 5.76kΩ 时，R_G 计算得出为 120Ω。R_F 和 R_G 被选定为 5.76kΩ 和 120Ω，因为这两个是标准值电阻器，可产生 49:1 的比率。也可以使用可产生 49:1 的比率的其他电阻器。但是，电阻器阻值过大会产生超过运算放大器固有噪声的热噪声。图 7-2 展示了图 7-1 所示电路测得的传递函数。

7.2.1.3 应用曲线

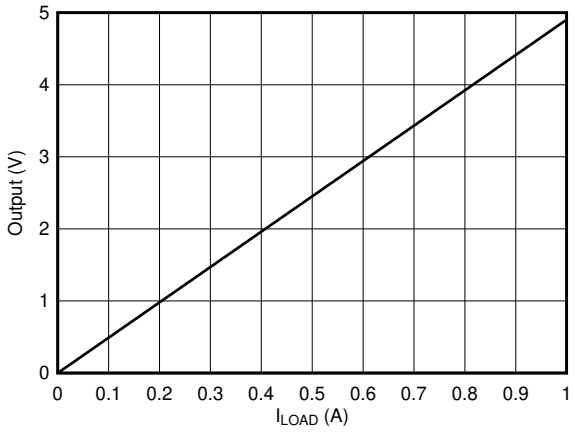


图 7-2. 低侧电流检测传递函数

7.2.2 缓冲多路复用器

TLV916xS 关断器件可通过配置，用于创建缓冲多路复用器。可在公共总线上将输出连接在一起，而关断引脚可用于选择所需通道。放大器电路的设计使得禁用转换比启用转换发生得快，因此放大器自然呈现出“先断后合”的开关拓扑。当处于关断状态时，放大器输出进入高阻抗状态，因此将多个通道输出连接在一起时，没有总线争用的风险。此外，输出与输入是隔开的，因此无须担心每个通道输入处的阻抗与输出处的阻抗（例如放大器增益级或 ADC 驱动器电路）发生不必要的相互作用。此外，这种拓扑结构使用放大器而不是 MOSFET 开关，因此消除了多路复用器的其他常见问题，例如电荷注入或 R_{ON} 效应引起的信号误差。

图 7-3 展示了基本 2:1 多路复用器的拓扑示例。当 SEL 较低时，通道 1 被选中并运行；当 SEL 较高时，通道 2 被选中并运行。有关如何使用 TLV916xS 关断功能的更多信息，请参阅节 6.3.11 中的“关断”部分。

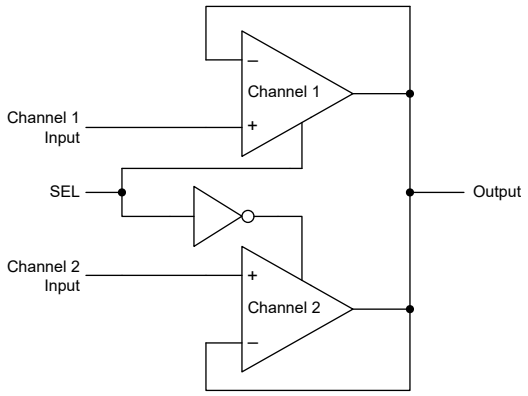


图 7-3. 精密参考缓冲器

7.3 电源相关建议

TLV916x 的额定工作电压范围是 2.7V 至 16V（±1.35V 至 ±8V）；多数规格可在 –40°C 至 125°C 的温度范围内适用，或具有特定的电源电压和测试条件。

小心

电源电压大于 20V 会对器件造成永久损坏；请参阅*绝对最大额定值* 部分。

将 0.1µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置位置的详细信息，请参阅 *布局* 部分。

7.4 布局

7.4.1 布局指南

为了实现器件的最佳工作性能，应使用良好的 PCB 布局实践，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路中。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中的模拟部分和数字部分单独接地是最简单最有效的噪声抑制方法之一。通常将多层 PCB 中的一层或多层专门作为接地层。接地层有助于散热和减少电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，输入走线运行时应尽量远离电源或输出走线。如果这些走线不能保持分开，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如图 7-5 所示，使 RF 和 RG 靠近反相输入可最大限度减小寄生电容。

Copyright © 2024 Texas Instruments Incorporated

- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可以显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因水分渗入塑料封装中而发生性能变化。在任何水必 PCB 清洁过程之后，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

Copyright © 2024 Texas Instruments Incorporated

7.4.2 布局示例

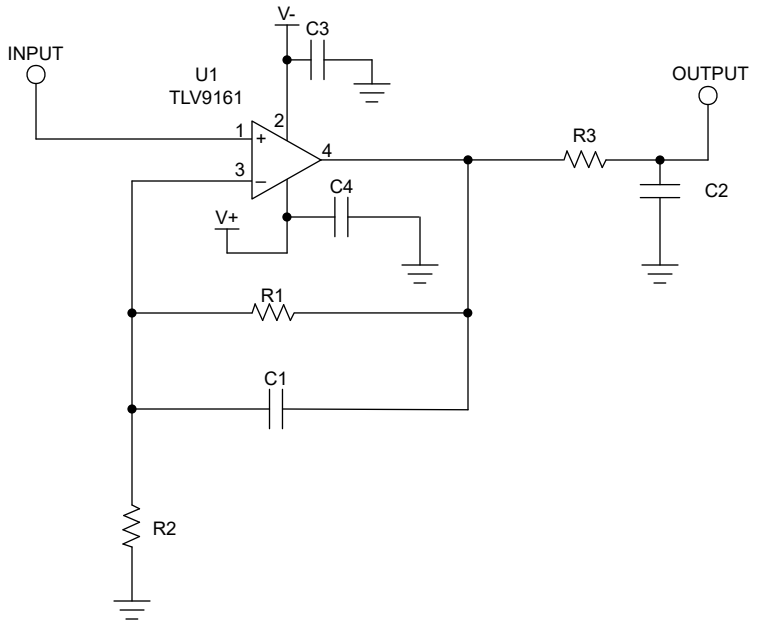


图 7-4. 同相配置布局示例的原理图

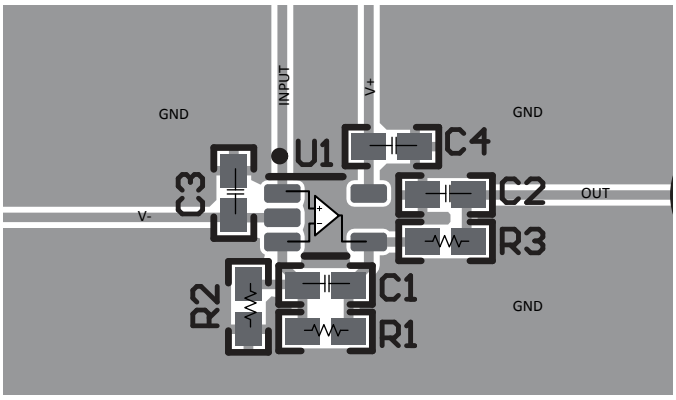


图 7-5. 同相配置的运算放大器电路板布局布线 - SC70 (DCK) 封装

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 TINA-TI™（免费软件下载）

TINA™ 是一款基于 SPICE 引擎的 简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心免费下载，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

8.2 文档支持

8.2.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*模拟工程师电路设计指导手册：放大器*
- 德州仪器 (TI)，*AN31 放大器电路集合* 应用手册
- 德州仪器 (TI)，*支持多路复用器的精密运算放大器* 应用简报
- 德州仪器 (TI)，*运算放大器的 EMI 抑制比* 应用手册
- 德州仪器 (TI)，*具有互补对输入级的运算放大器* 应用手册

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
TI E2E™ is a trademark of Texas Instruments.
蓝牙® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

Copyright © 2024 Texas Instruments Incorporated

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 Revision History

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (January 2024) to Revision D (March 2024) — **Page**

- 为 TLV9162SIRUGR 添加了 PSRR 值 9

Changes from Revision B (August 2022) to Revision C (January 2024) — **Page**

- 删除了*器件信息*表中 TLV9164 X2QFN (10) 封装的预发布符号 1

Changes from Revision A (December 2021) to Revision B (August 2022) — **Page**

- 向*器件信息*表中添加了 TLV9162 X2QFN (10) 封装和预发布状态 1
- 向*引脚配置和功能*部分添加了 TLV9162 X2QFN 封装 (RUG) 和预发布状态 3
- 在*建议工作条件*章节中新增了 V_{IH} 和 V_{IL} 7
- 在*电气特性*表格中新增了“关断” 7

Changes from Revision * (November 2021) to Revision A (December 2021) — **Page**

- 删除了*器件信息*表中 TLV9164 SOIC (14) 封装的预发布符号 1
- 删除了*器件信息*表中 TLV9164 TSSOP (14) 封装的预发布符号 1
- 删除了*引脚配置和功能*部分中 TLV9164 D 封装 (SOIC) 的预发布符号 3
- 删除了*引脚配置和功能*部分中 TLV9164 PW 封装 (TSSOP) 的预发布符号 3
- 删除了*四通道器件的热性能信息*部分中 TLV9164 D 封装 (SOIC) 的预发布符号 8
- 删除了*四通道器件的热性能信息*部分中 TLV9164 PW 封装 (TSSOP) 的预发布符号 8
- 向*电气特性*部分中添加了 TLV9164 发行版的 PSRR 规格 9
- 添加了有关 V_S = 2.7V 至 16V PSRR 规格的澄清文字，指出该规格适用于所有通道型号 9

Copyright © 2024 Texas Instruments Incorporated

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9161IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T61DB
TLV9161IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T61DB
TLV9161IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1JT
TLV9161IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1JT
TLV9161SIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91SD
TLV9161SIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91SD
TLV9162IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ICF
TLV9162IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ICF
TLV9162IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2JVT
TLV9162IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2JVT
TLV9162IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9162D
TLV9162IDR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9162D
TLV9162IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2HZH
TLV9162IDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2HZH
TLV9162IPWR	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9162P
TLV9162IPWR.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9162P
TLV9162SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NA
TLV9162SIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NA
TLV9164IDR	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9164D
TLV9164IDR.A	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9164D
TLV9164IPWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T9164PW
TLV9164IPWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9164PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9161, TLV9162, TLV9164 :

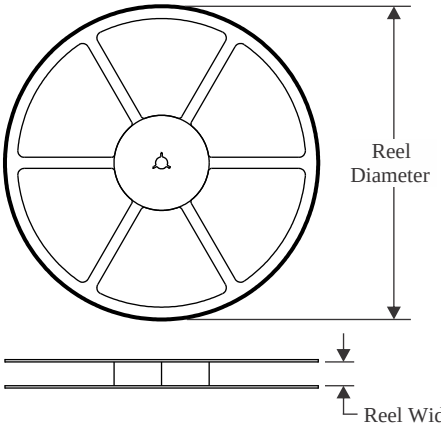
- Automotive : TLV9161-Q1, TLV9162-Q1, TLV9164-Q1

NOTE: Qualified Version Definitions:

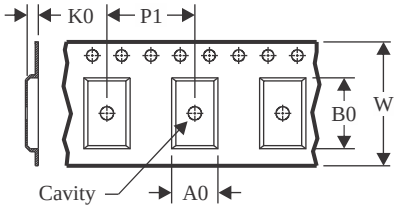
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

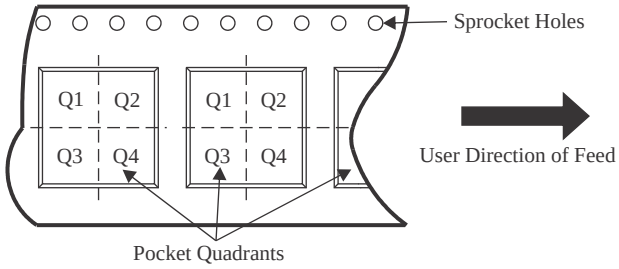


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

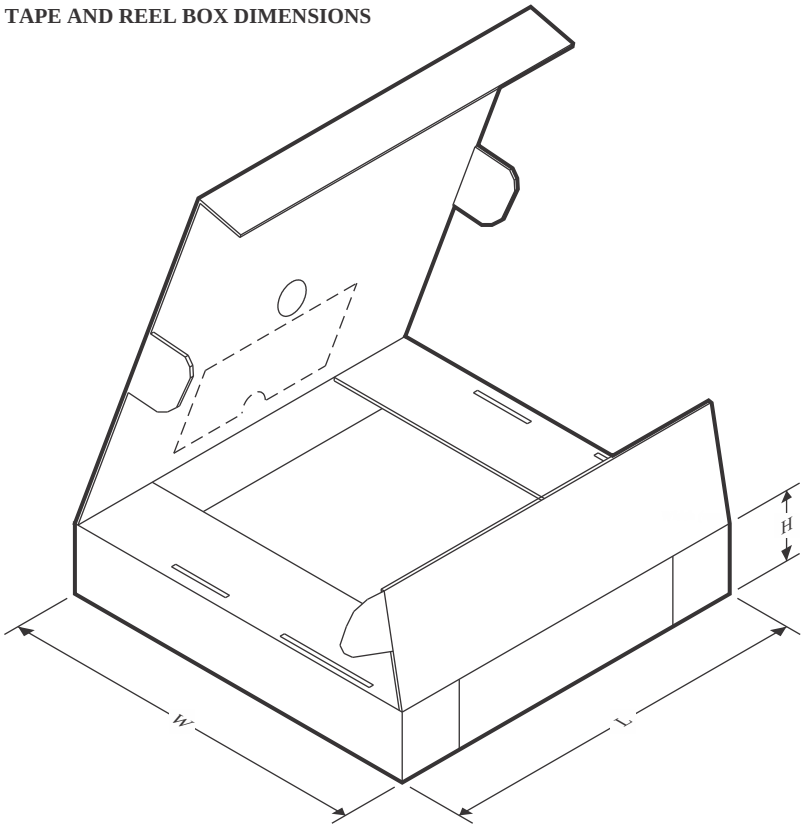
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

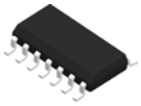
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9161IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9161IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9161SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9162IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9162IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV9162IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9162IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9162IPWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9162SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV9164IDR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9164IPWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9161IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9161IDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
TLV9161SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9162IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9162IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV9162IDR	SOIC	D	8	3000	353.0	353.0	32.0
TLV9162IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9162IPWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV9162SIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV9164IDR	SOIC	D	14	3000	353.0	353.0	32.0
TLV9164IPWR	TSSOP	PW	14	3000	356.0	356.0	35.0

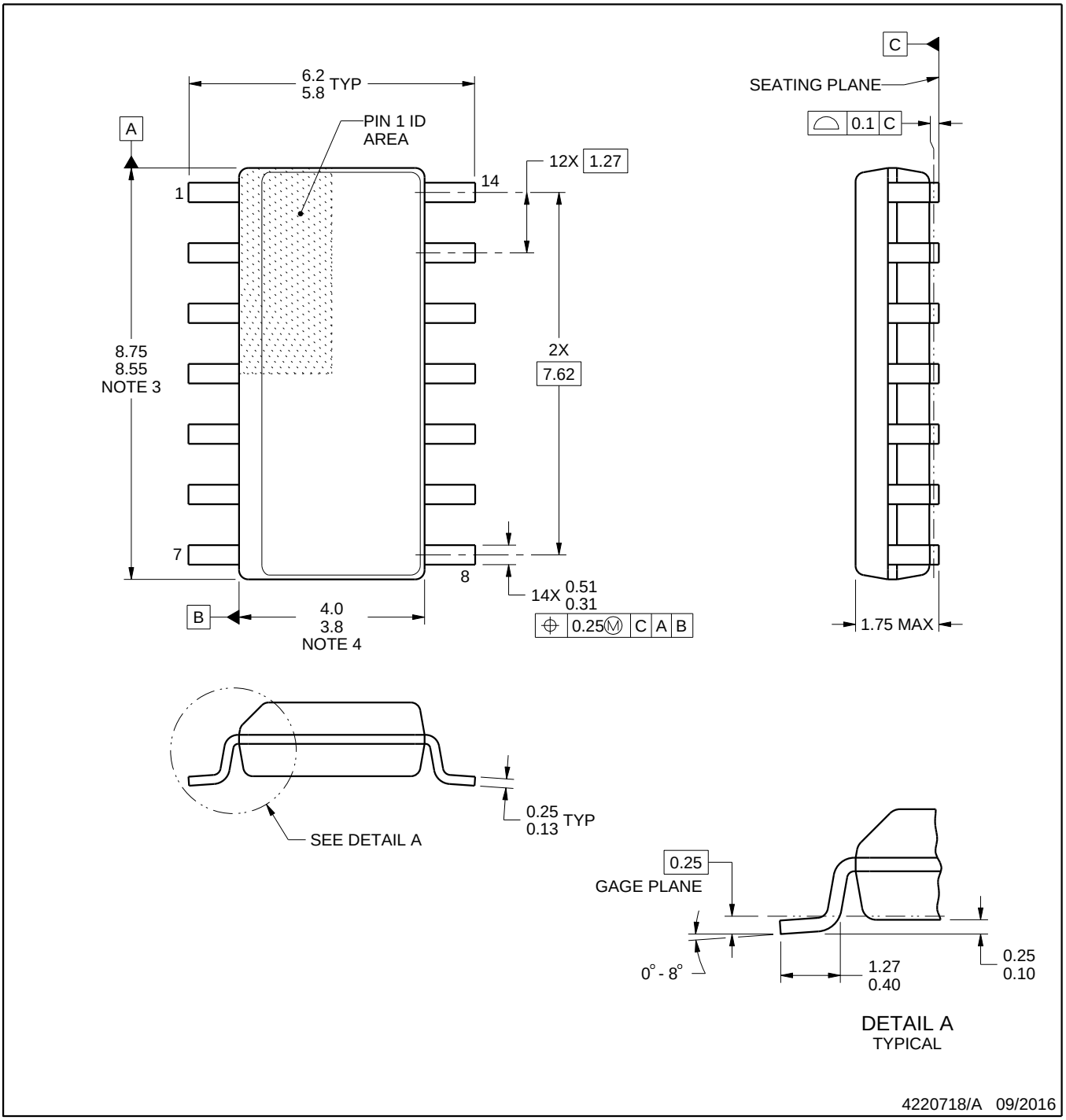


PACKAGE OUTLINE

D0014A

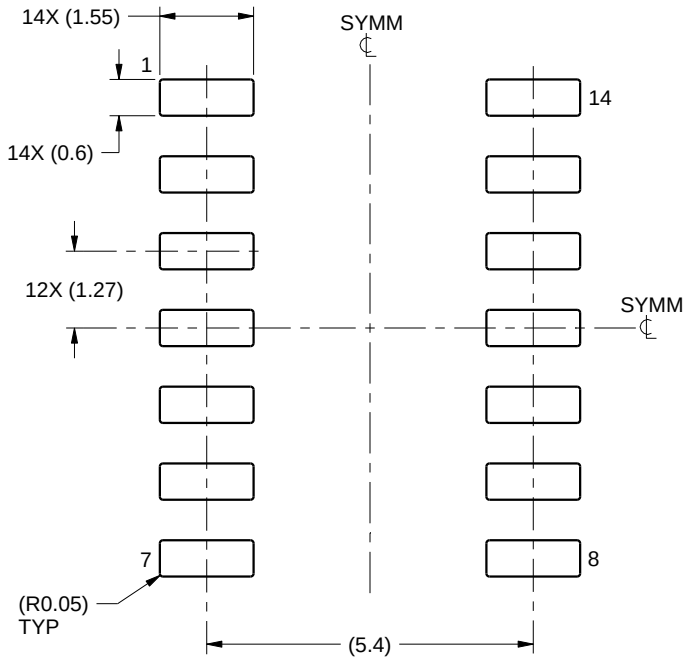
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

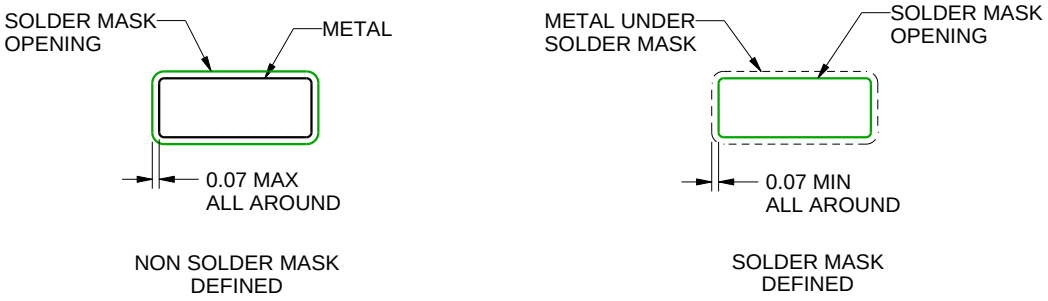


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

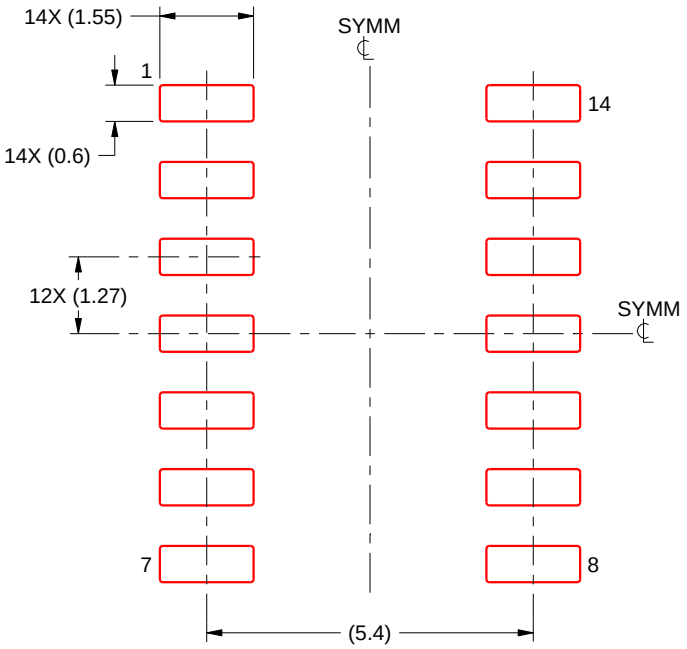
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

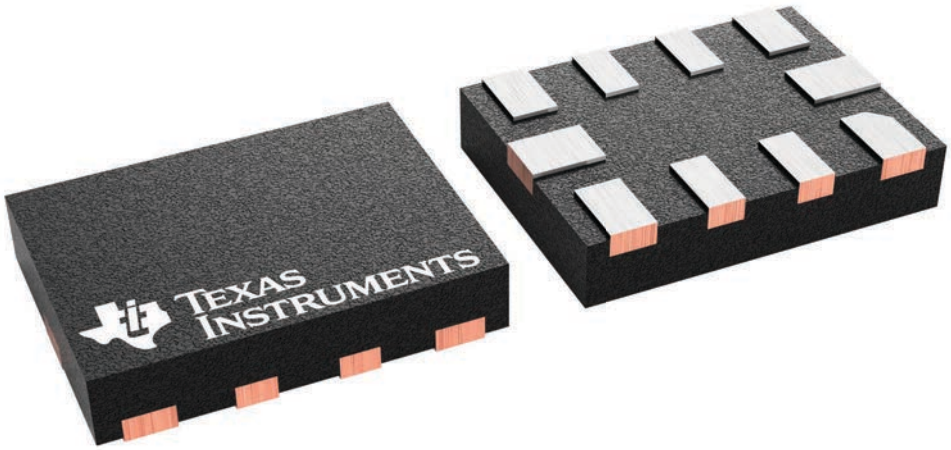
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



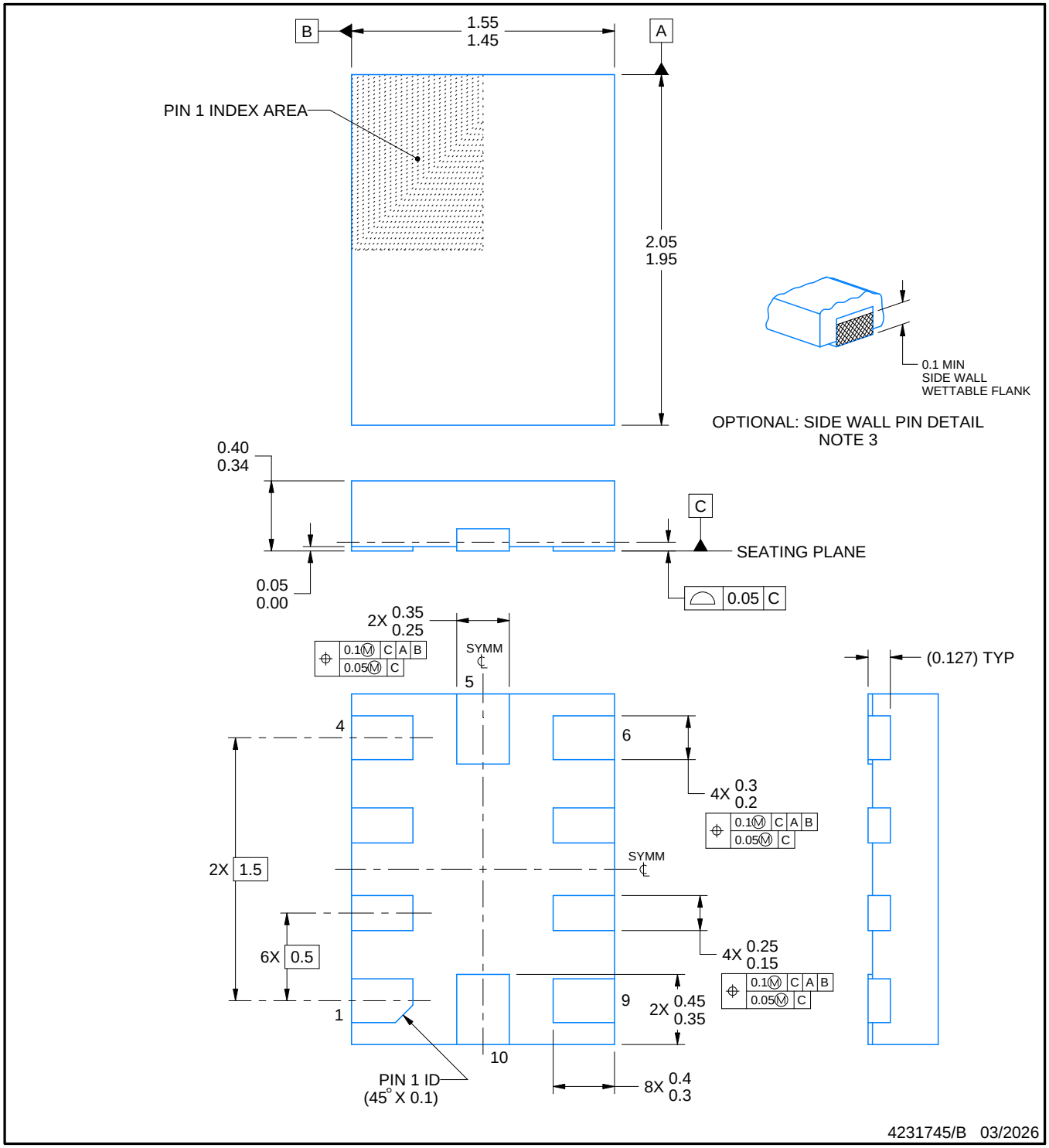
4231768/A

RUG0010A

PACKAGE OUTLINE

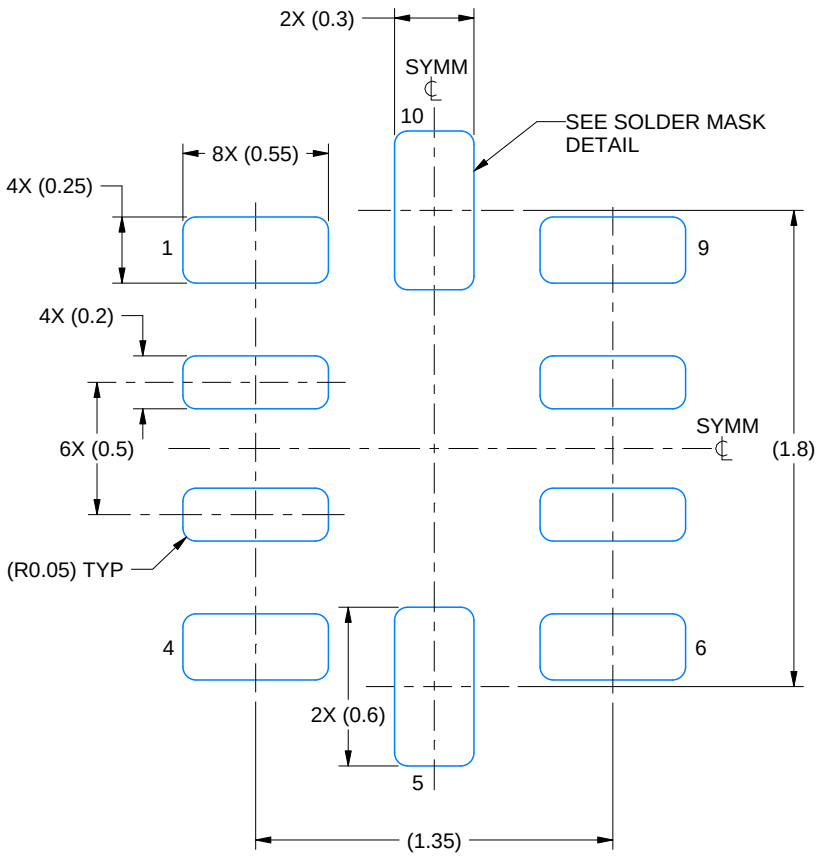
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

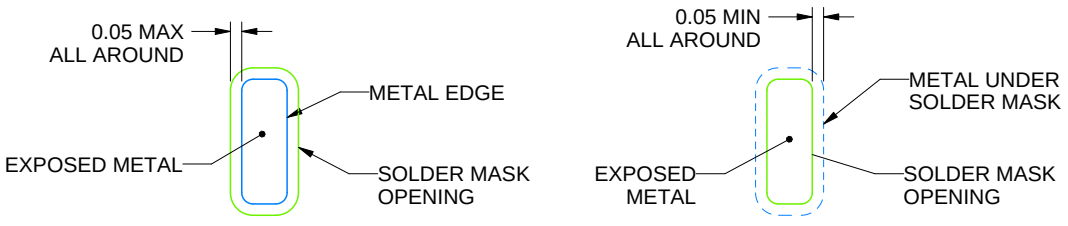


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

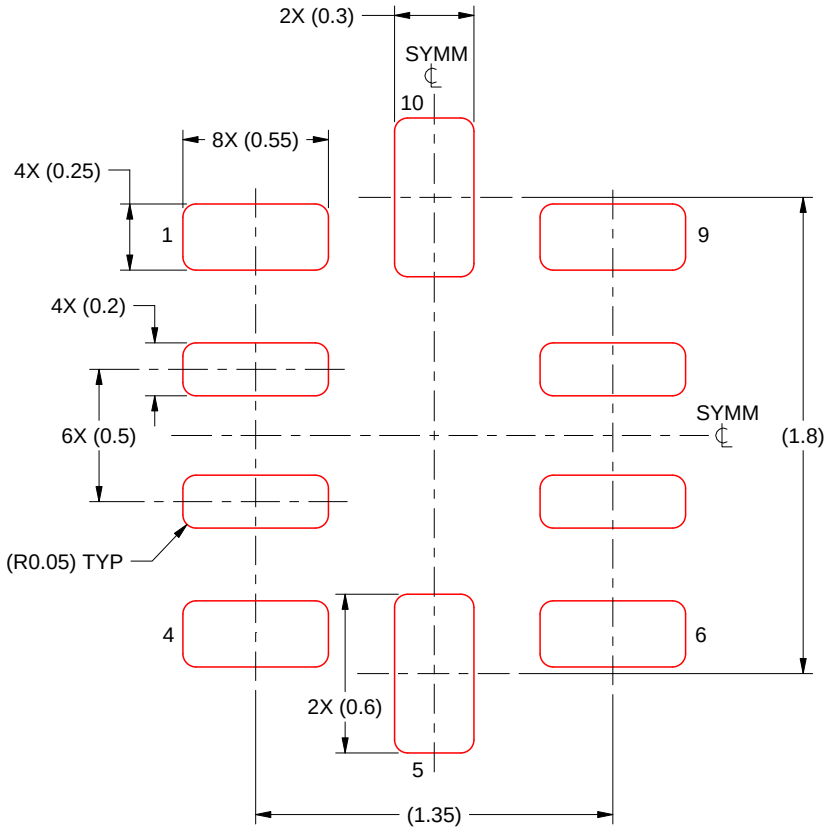
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUG0010A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

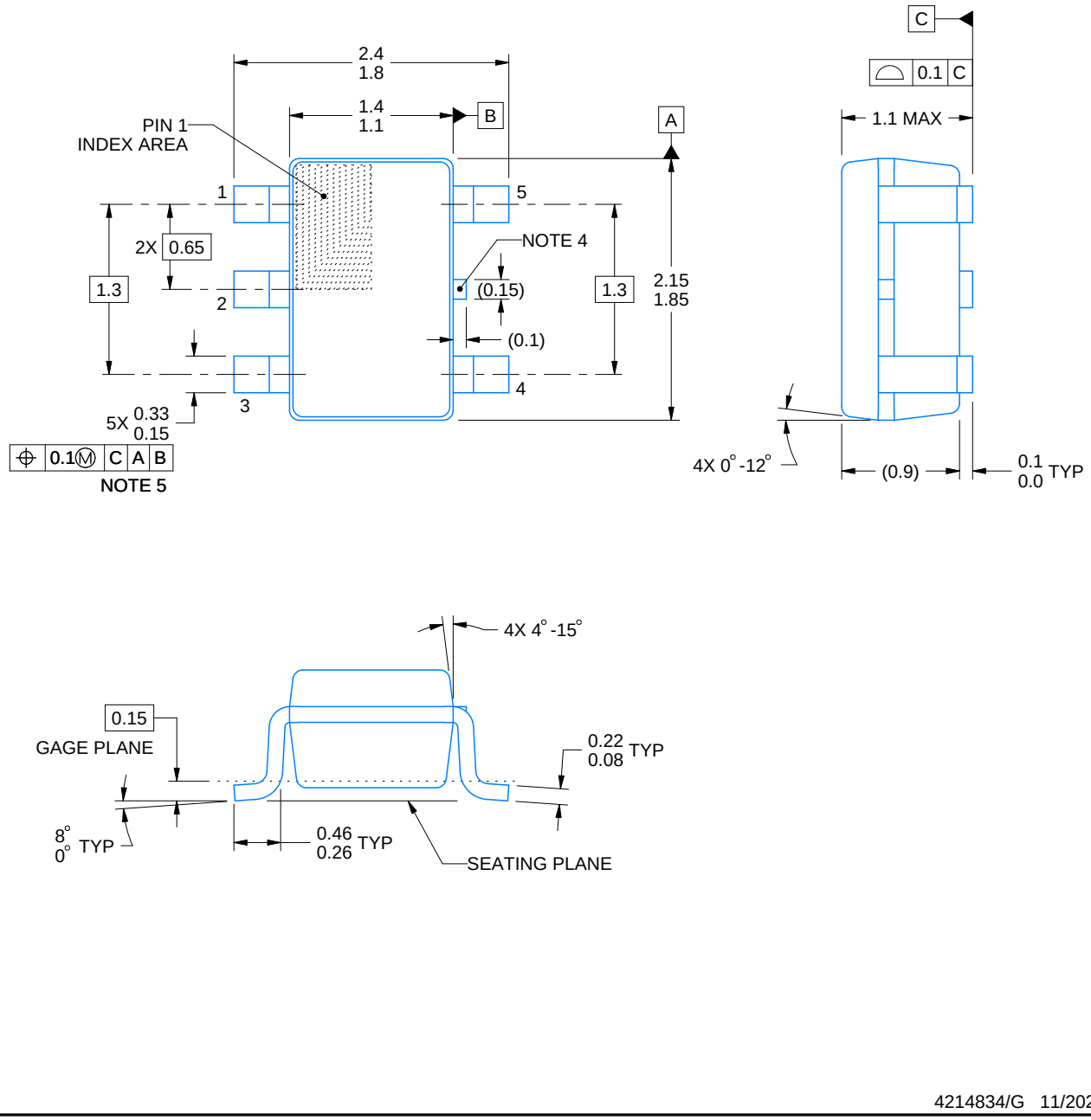
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

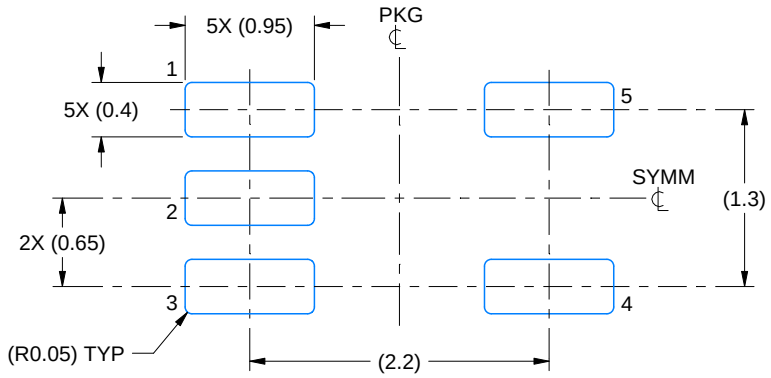
SMALL OUTLINE TRANSISTOR



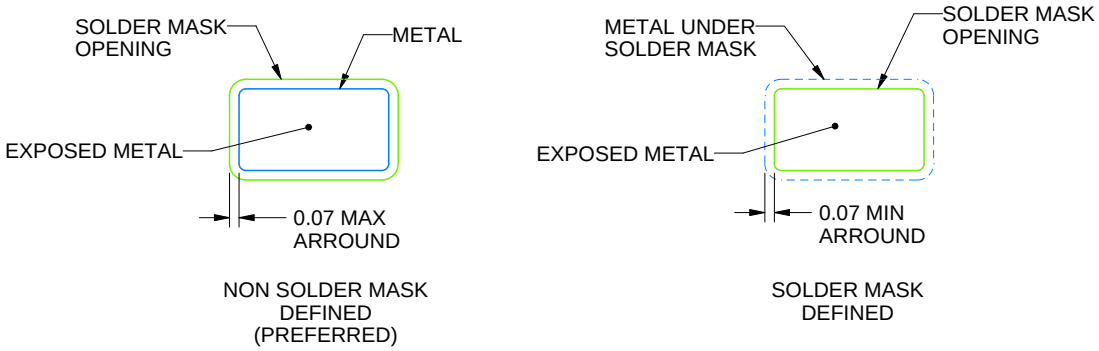
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

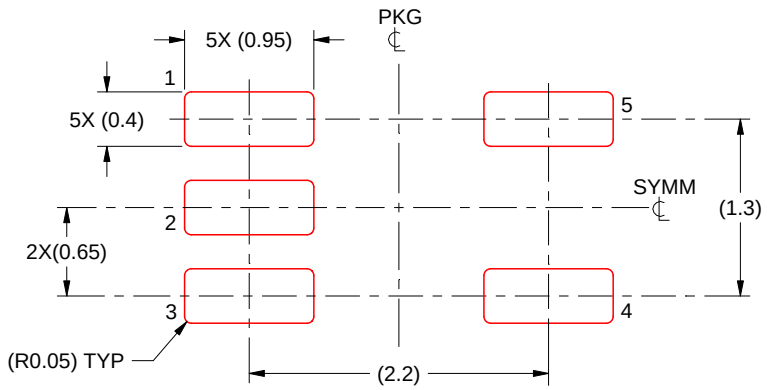


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

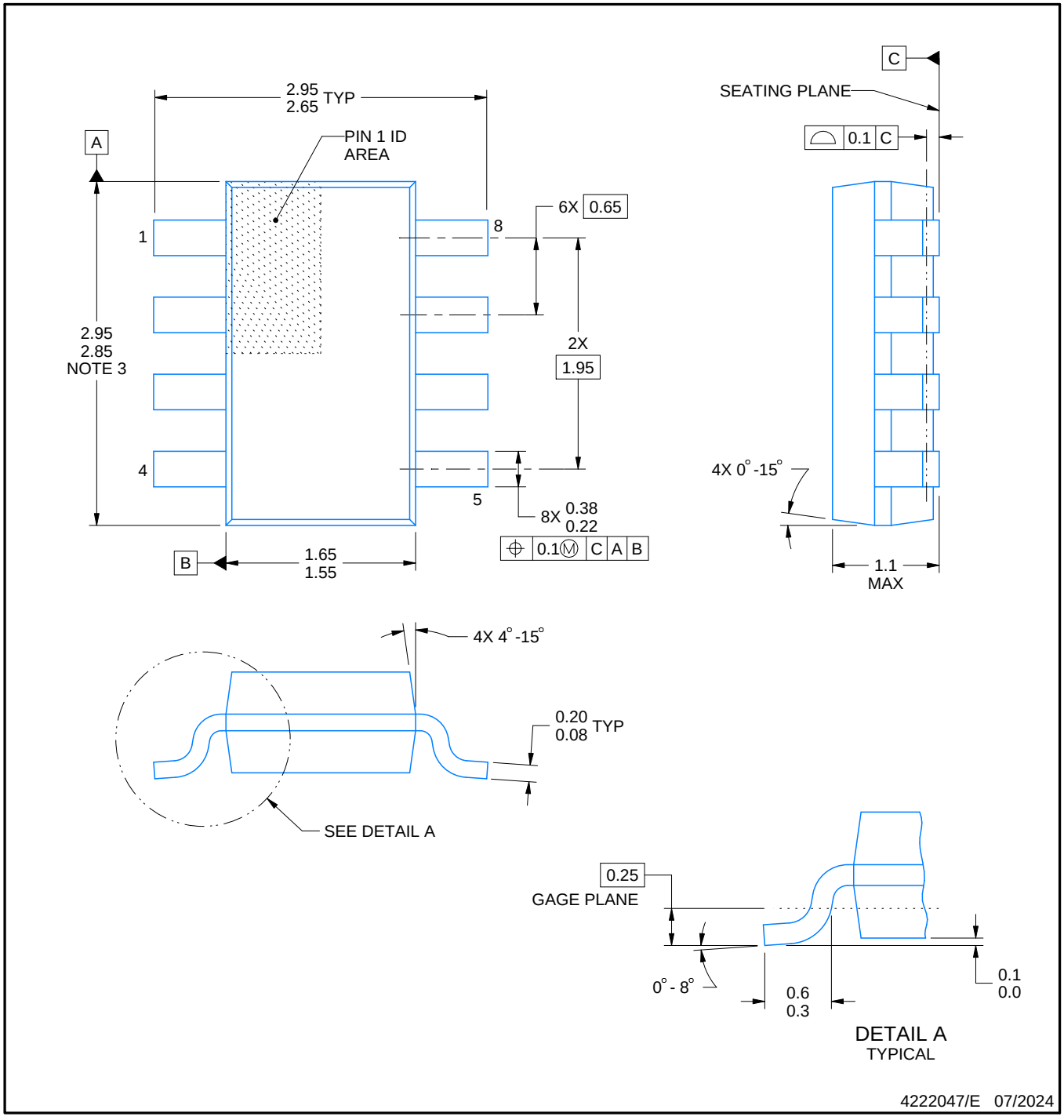
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

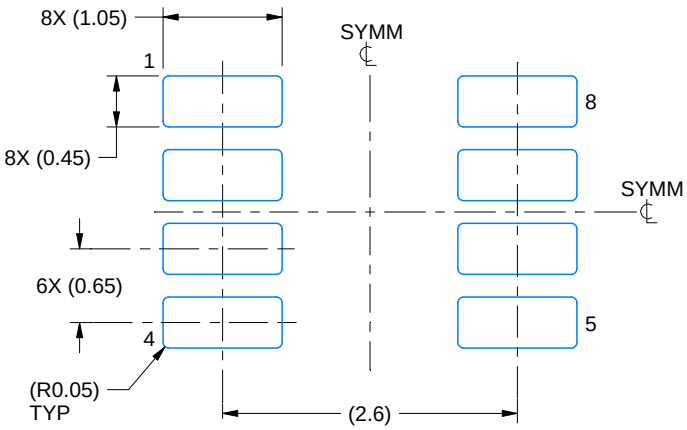
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

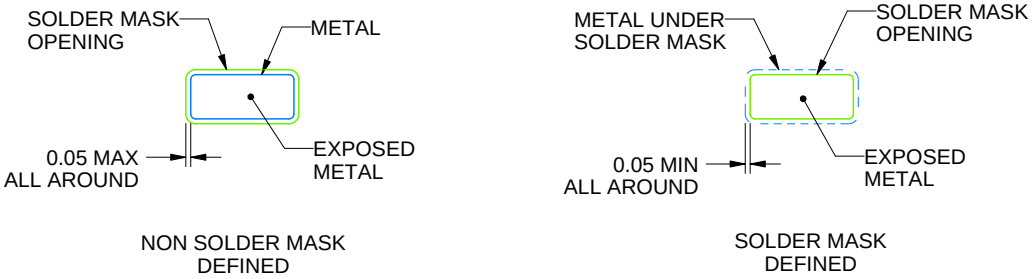


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

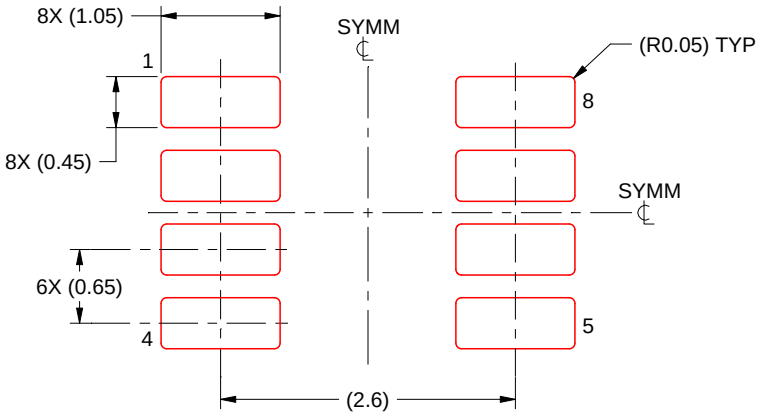
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

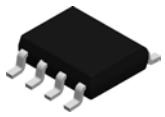


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

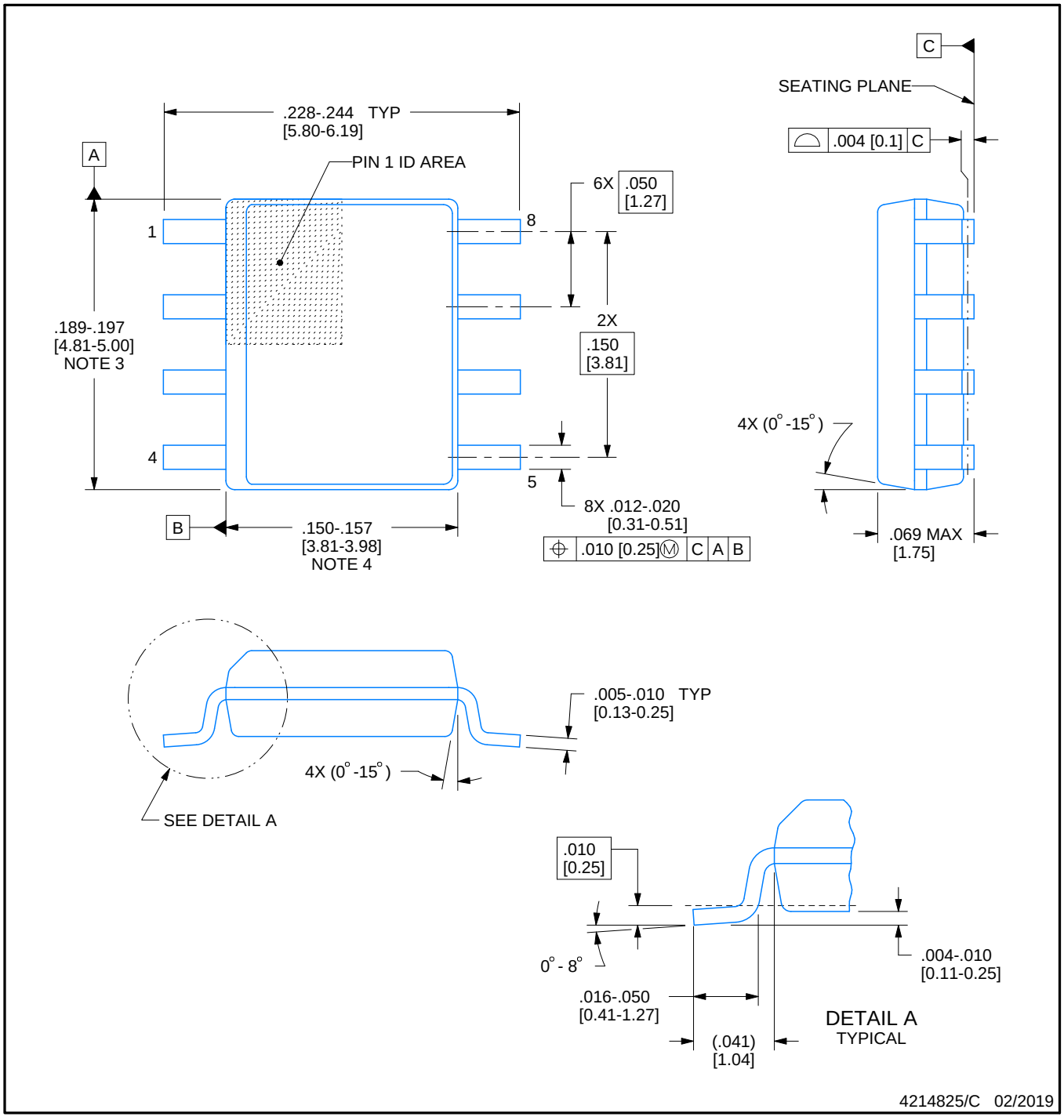


PACKAGE OUTLINE

D0008A

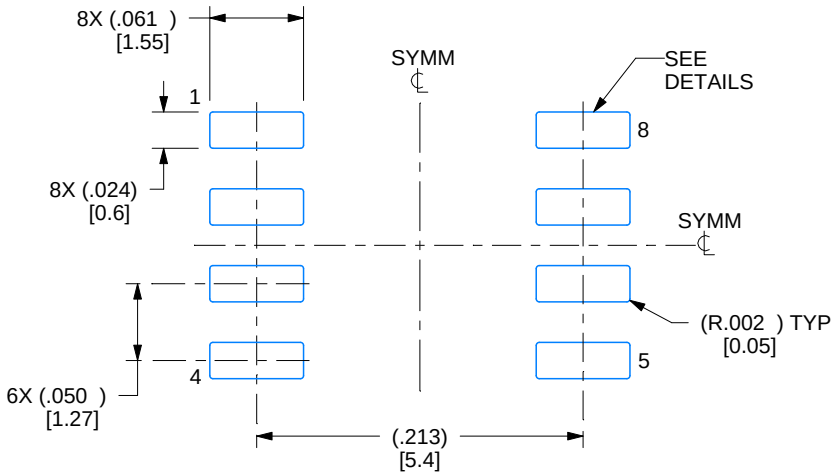
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

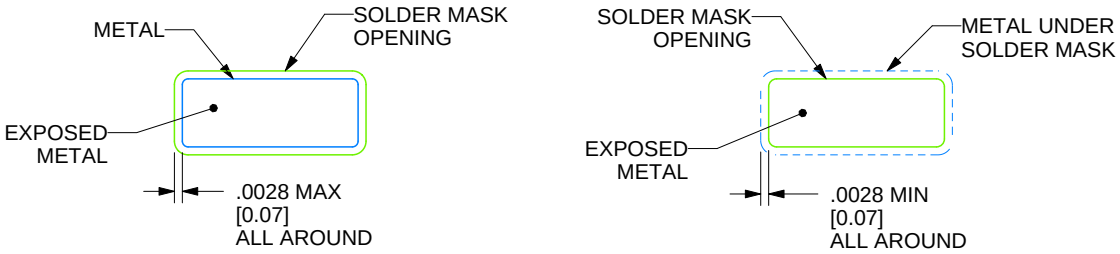


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

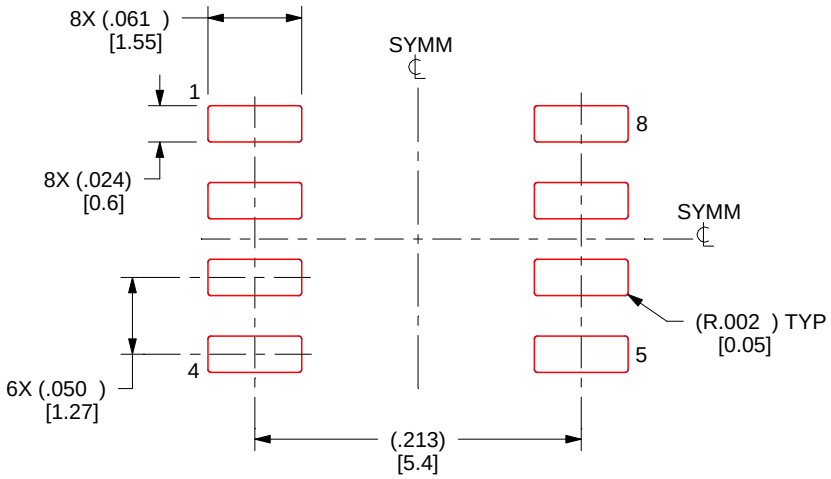
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

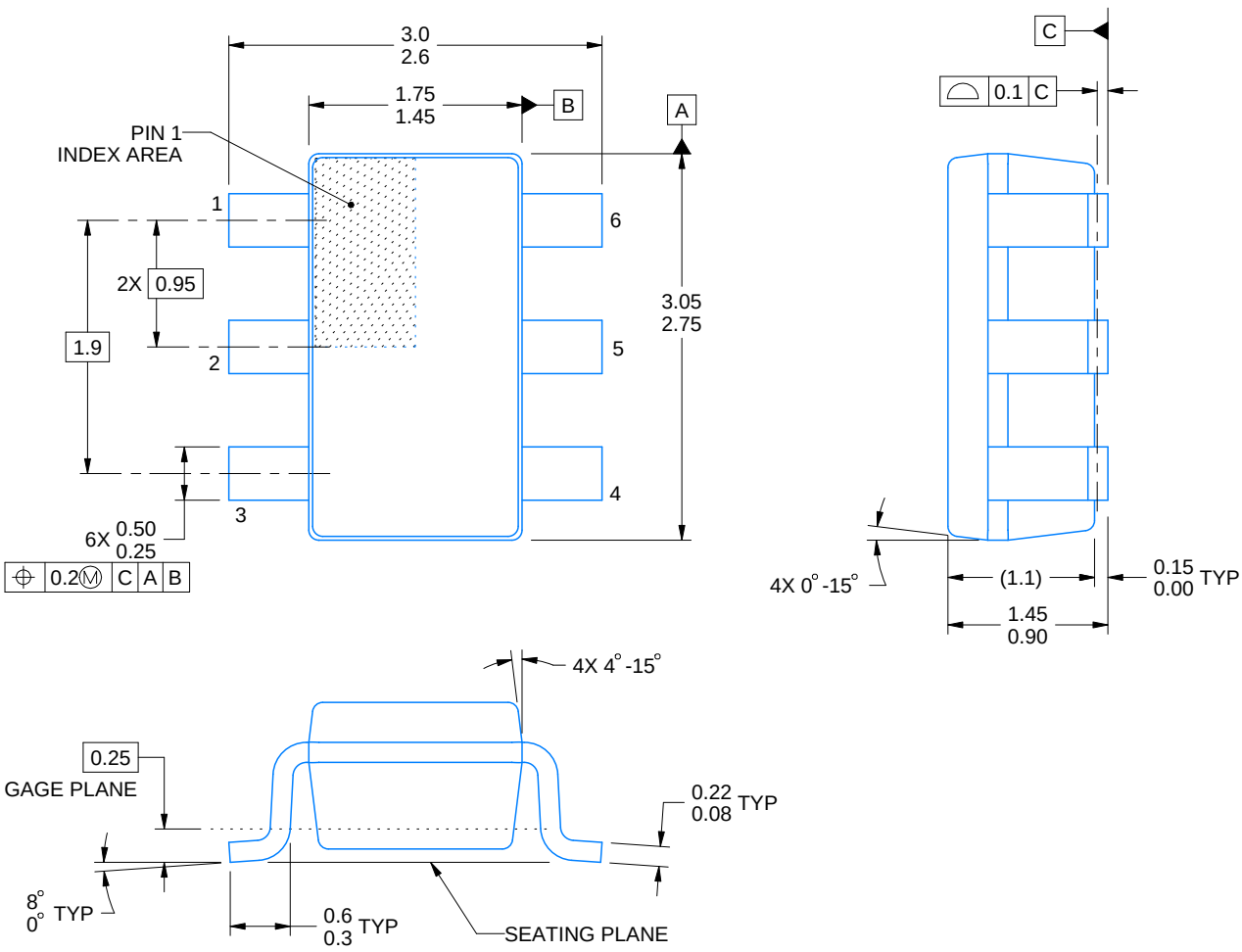
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

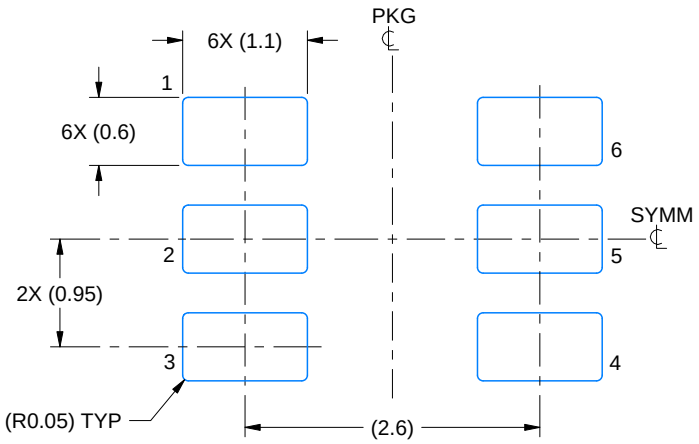
SMALL OUTLINE TRANSISTOR



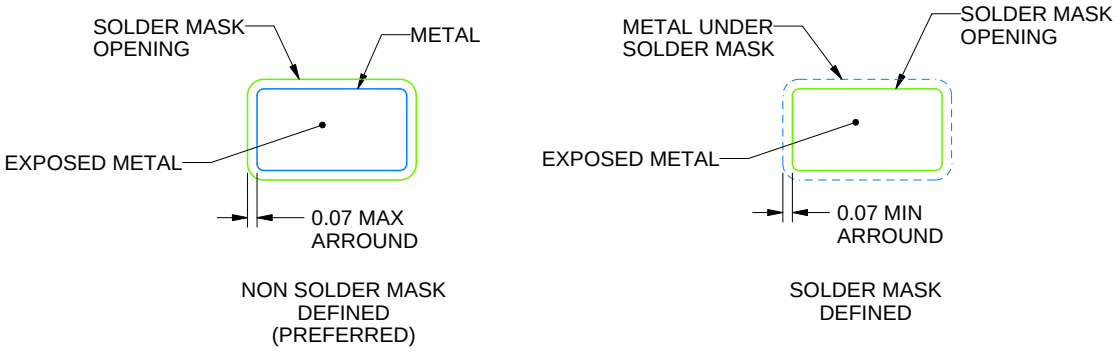
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

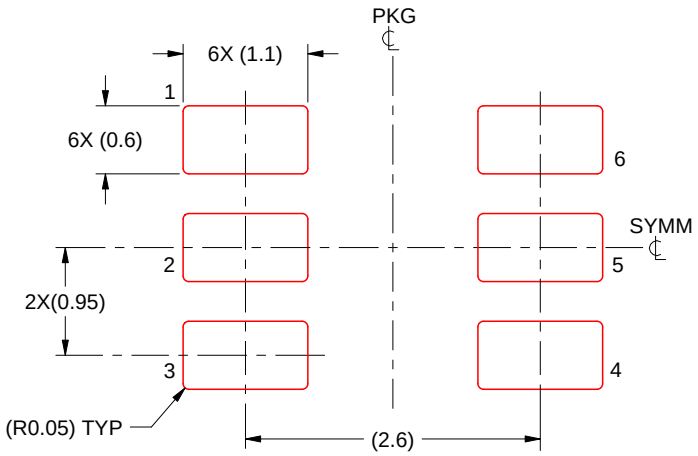


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

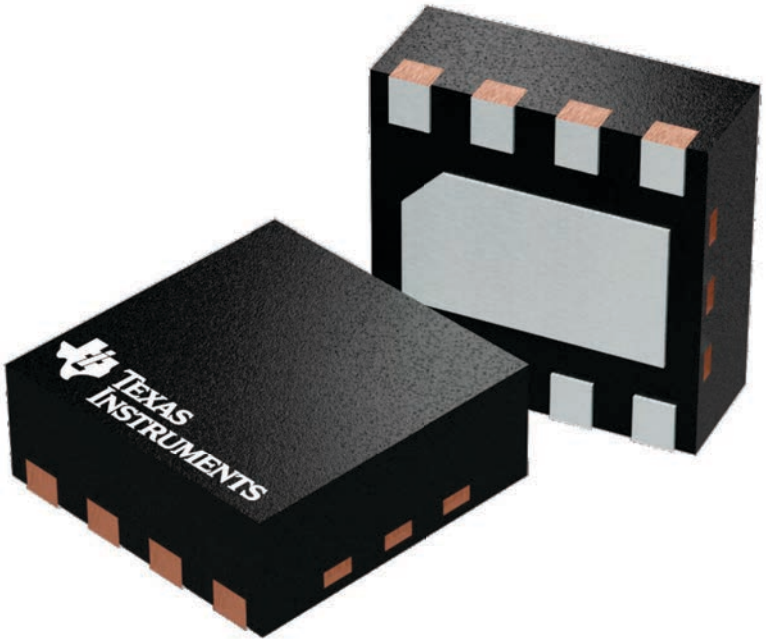
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



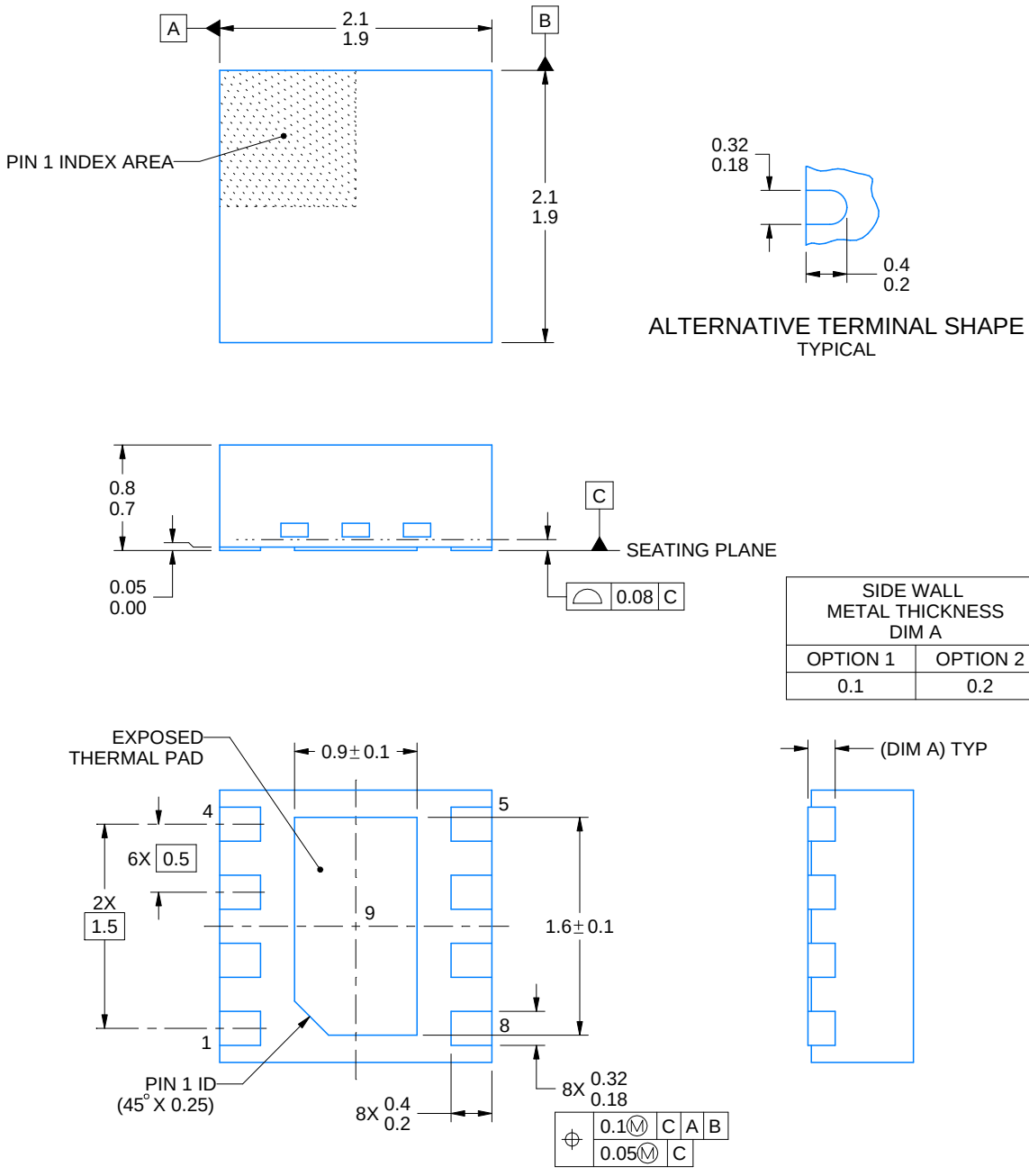
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

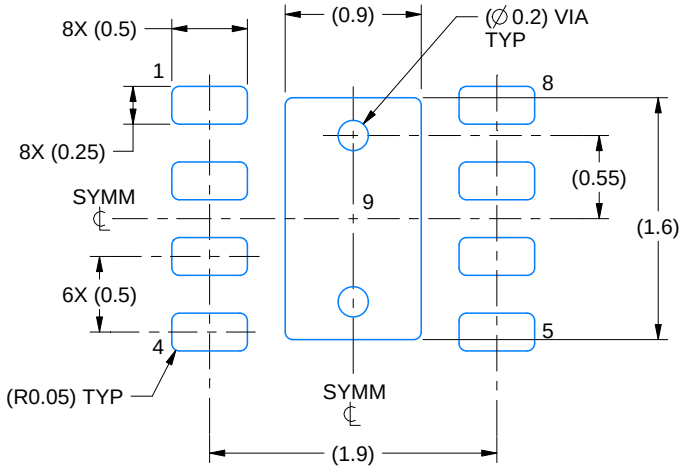
PLASTIC SMALL OUTLINE - NO LEAD



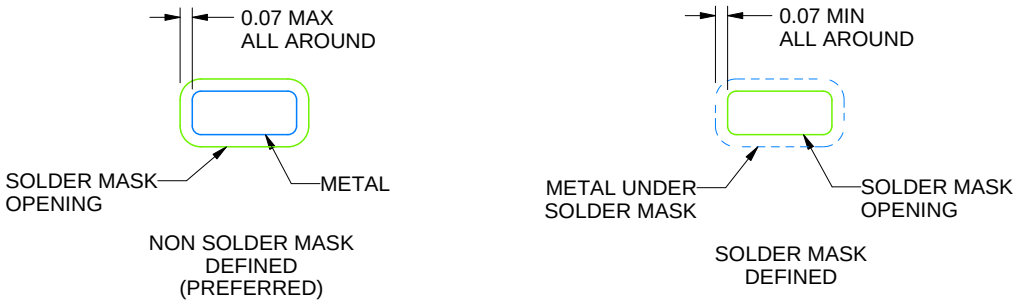
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

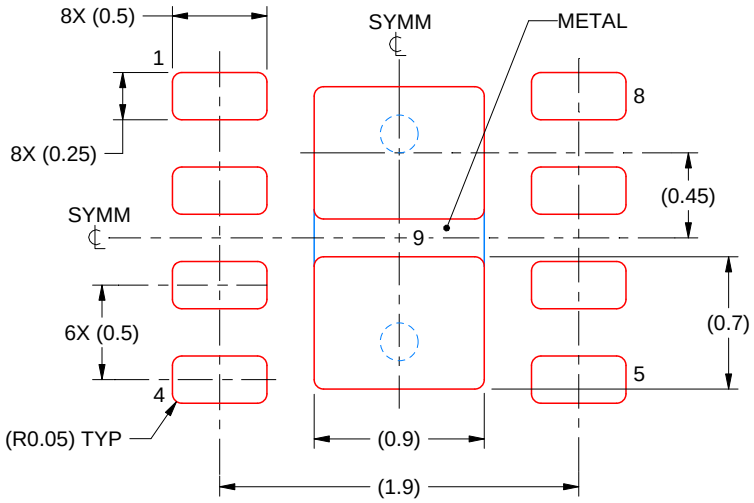


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

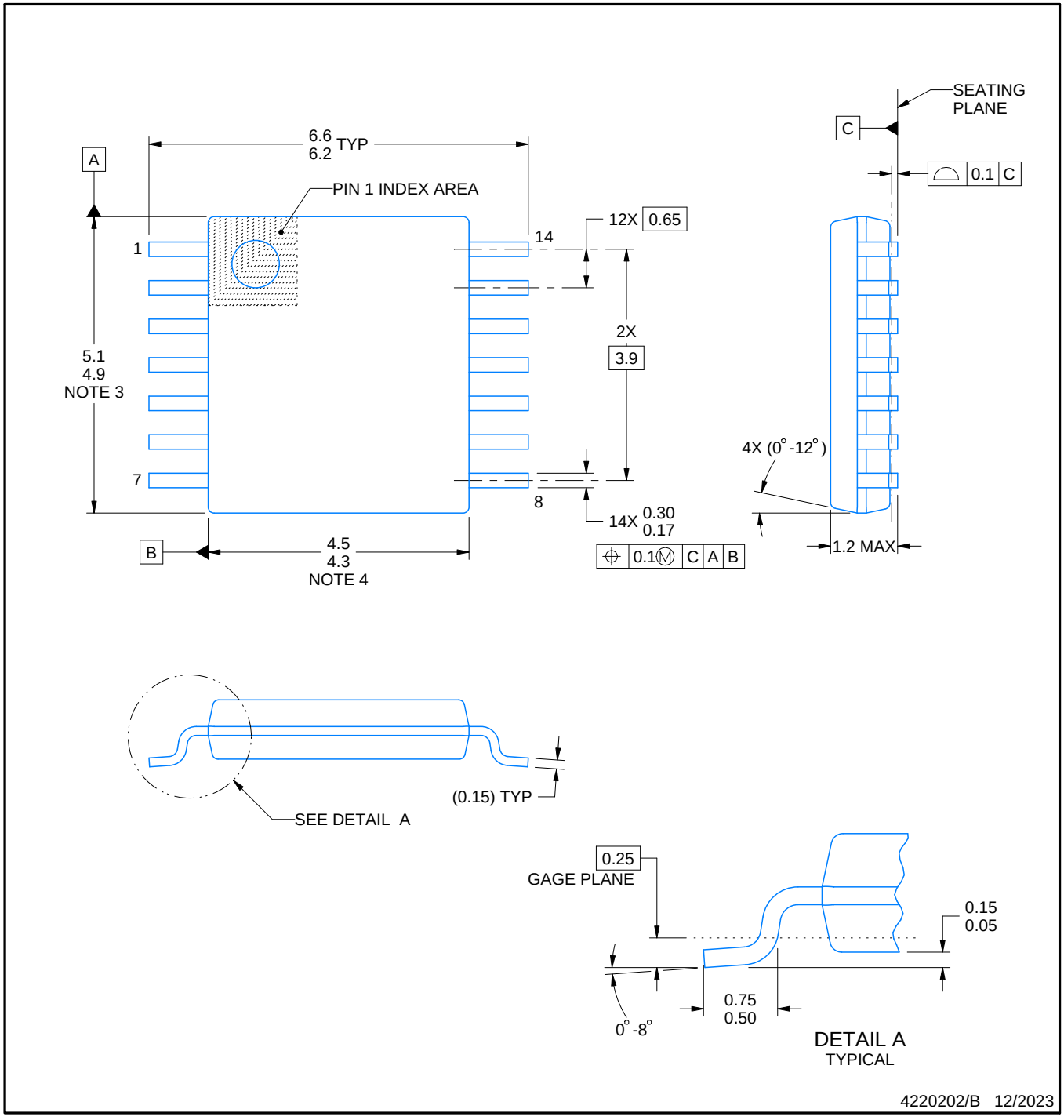
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

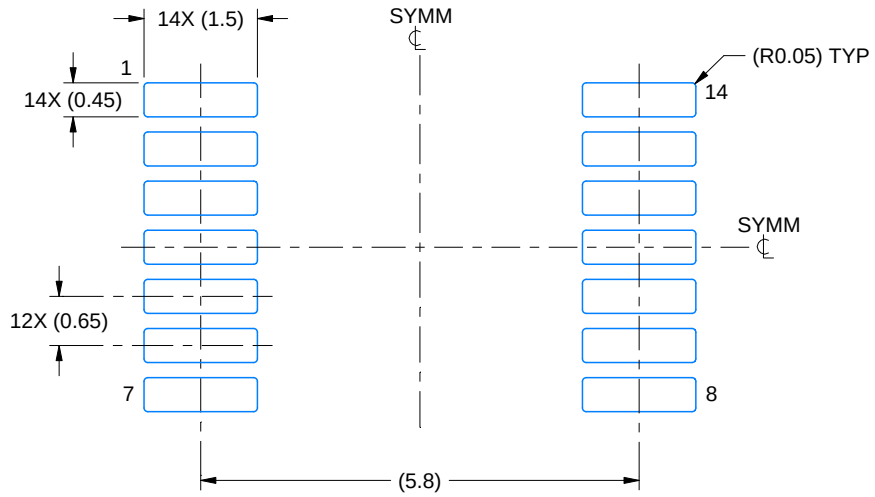
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

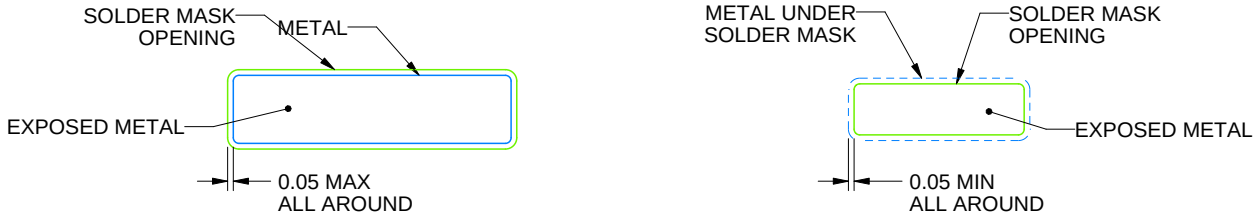


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

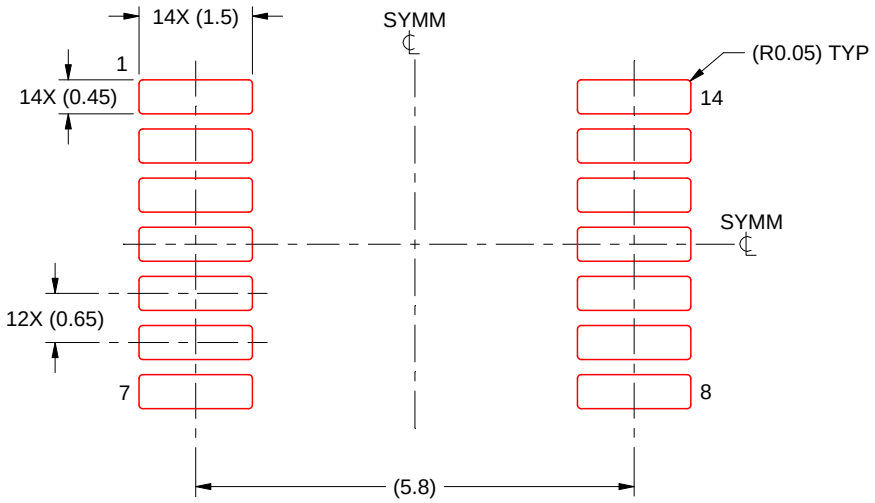


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

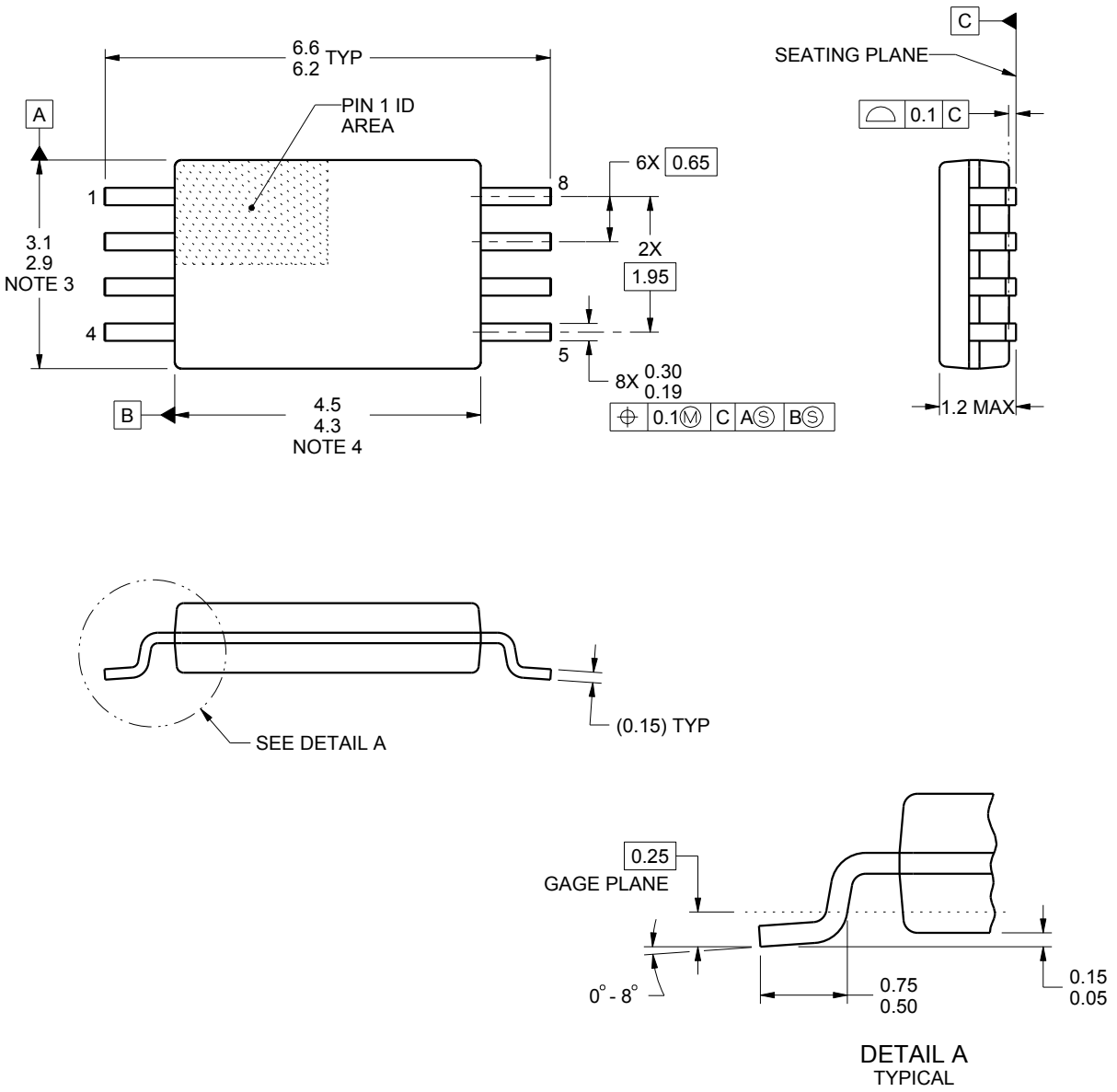
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

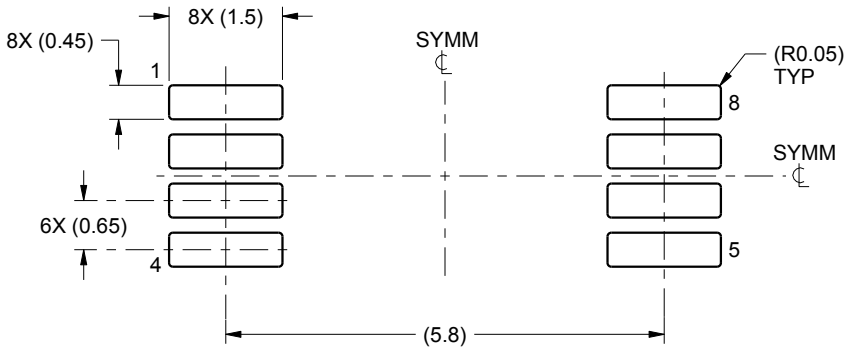
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

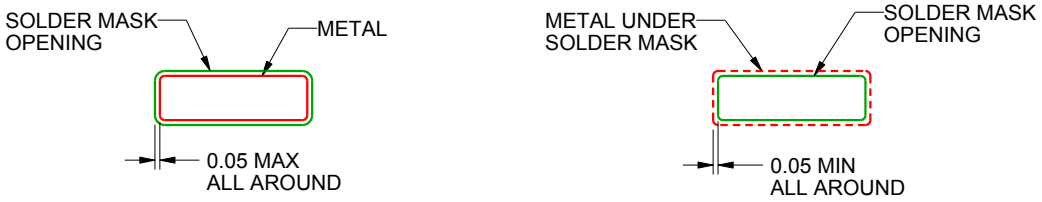


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

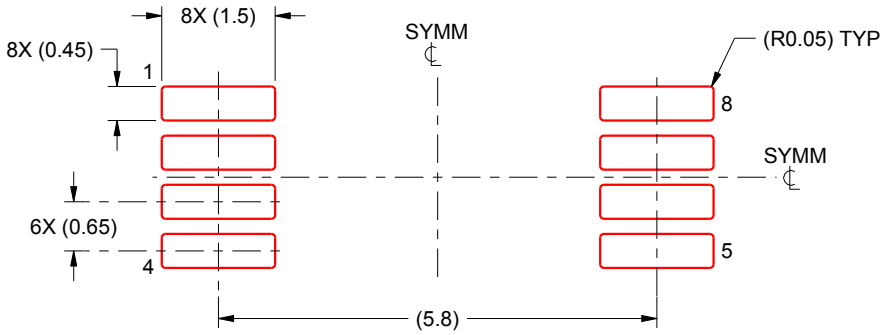


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

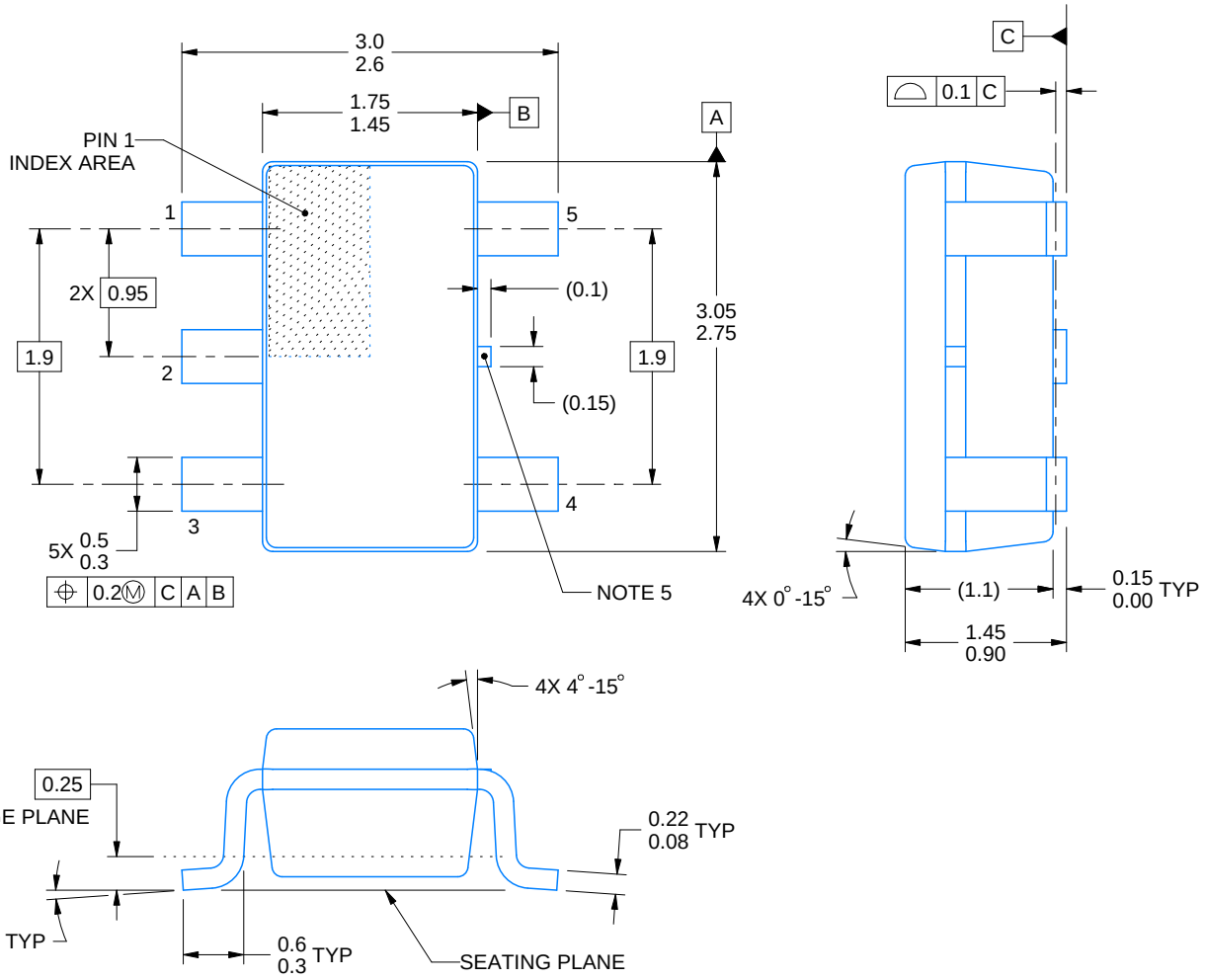
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

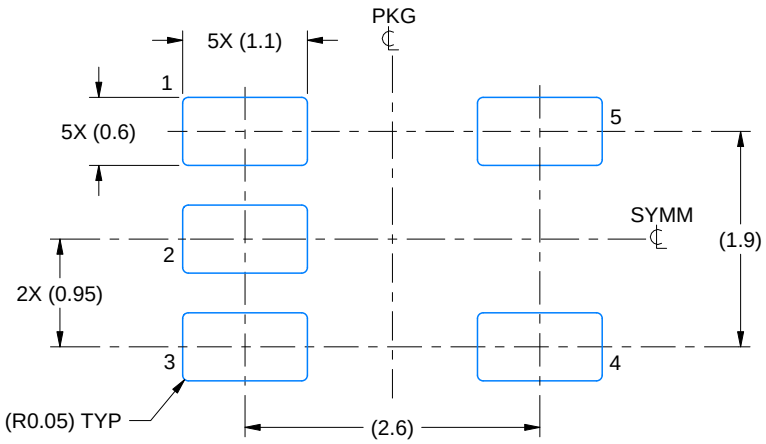
SMALL OUTLINE TRANSISTOR



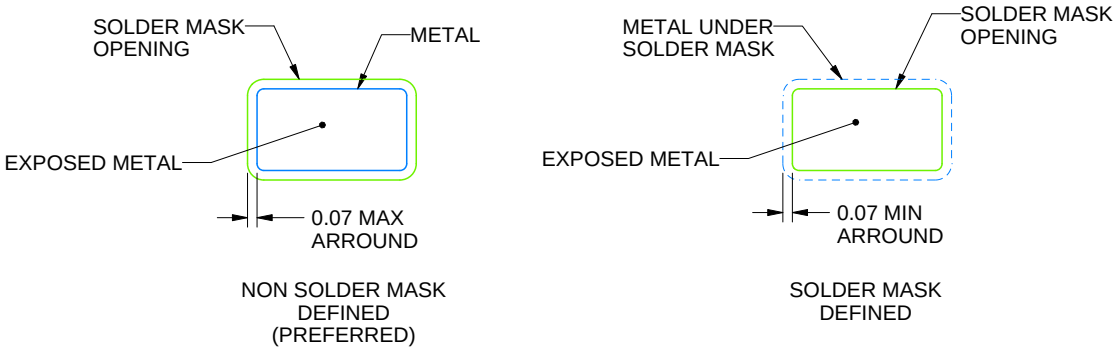
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

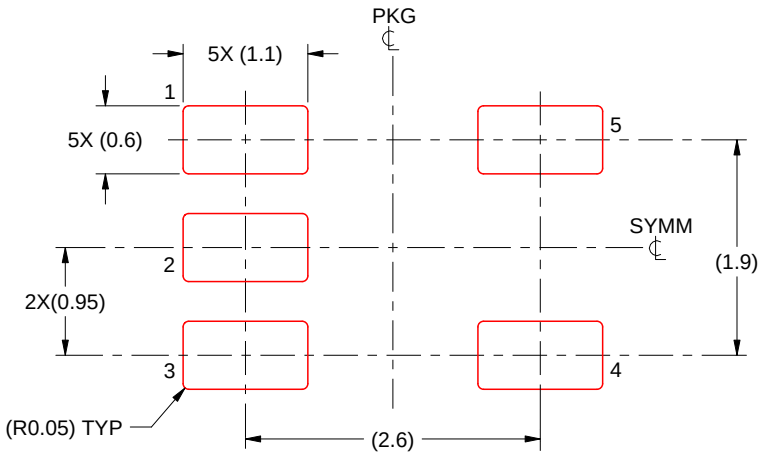


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

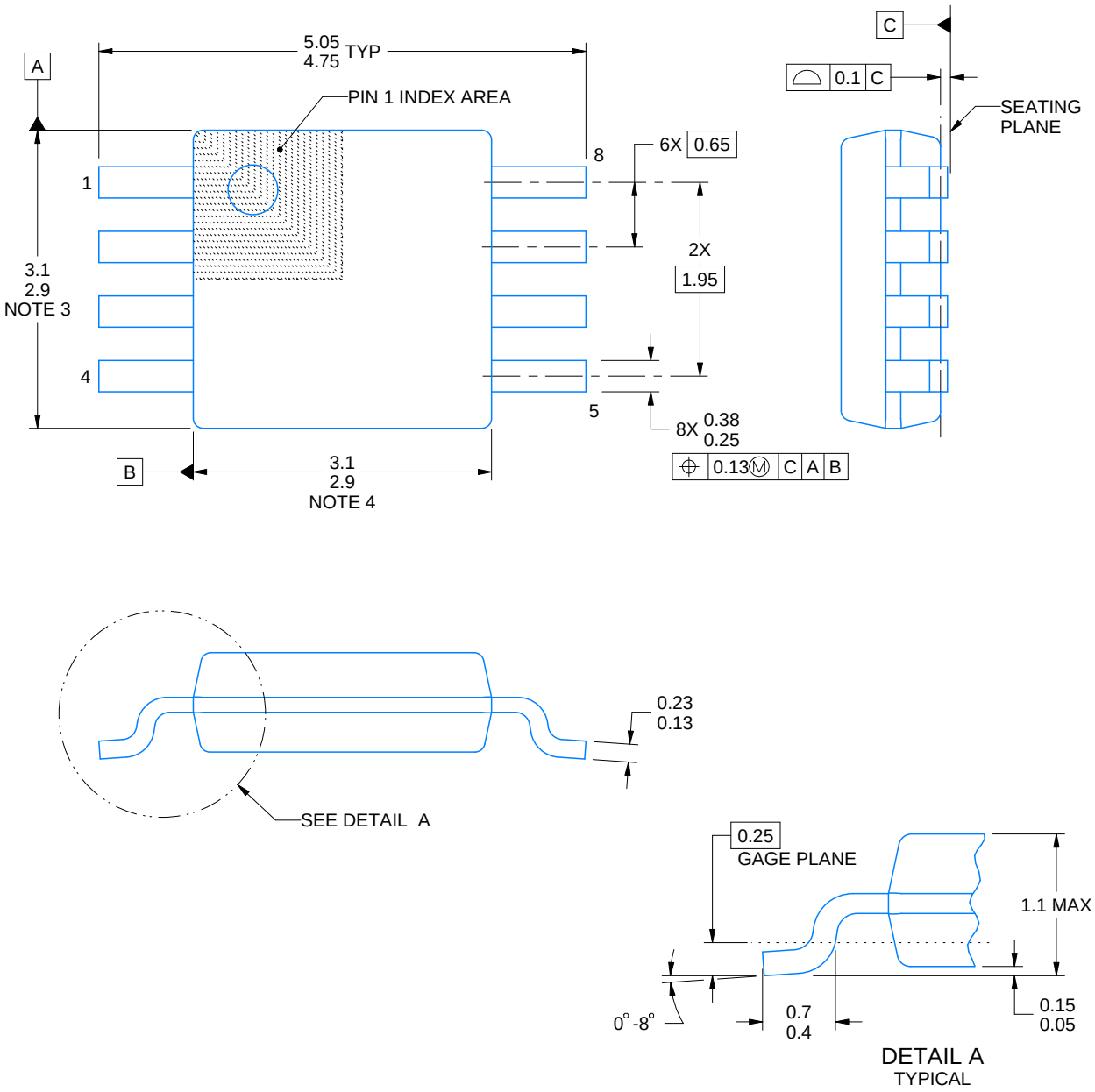
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

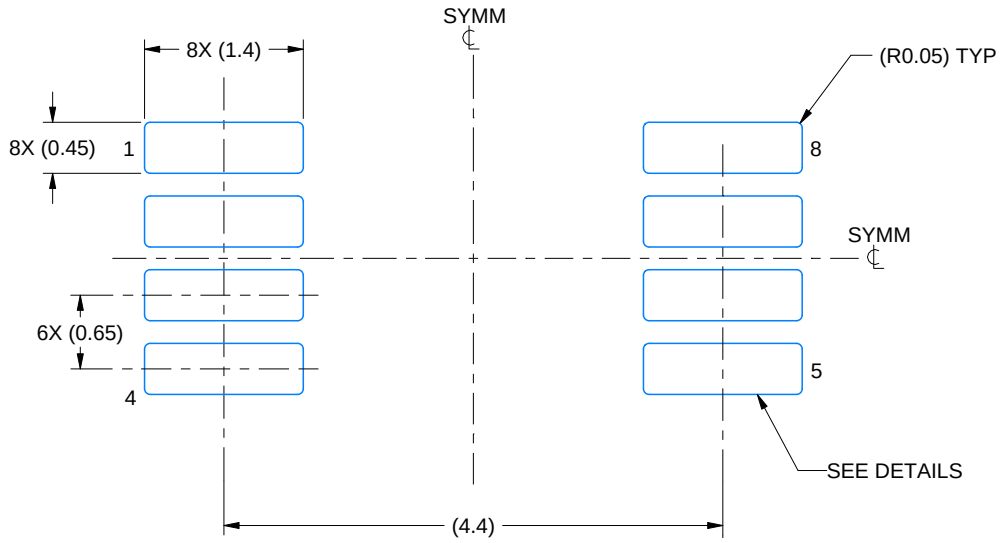
SMALL OUTLINE PACKAGE



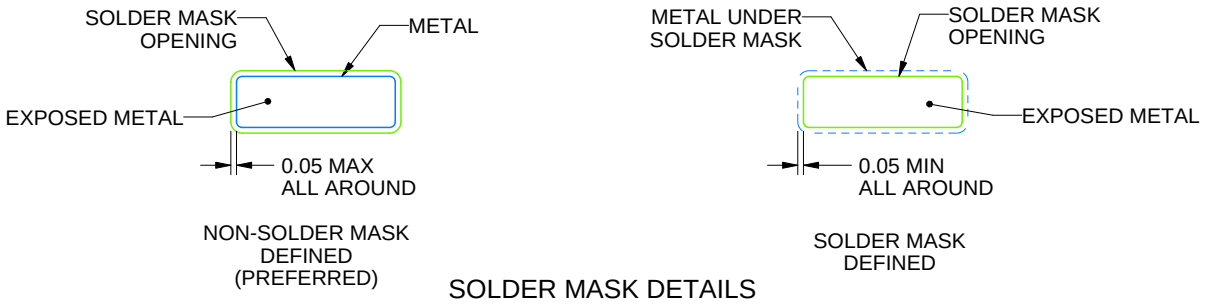
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

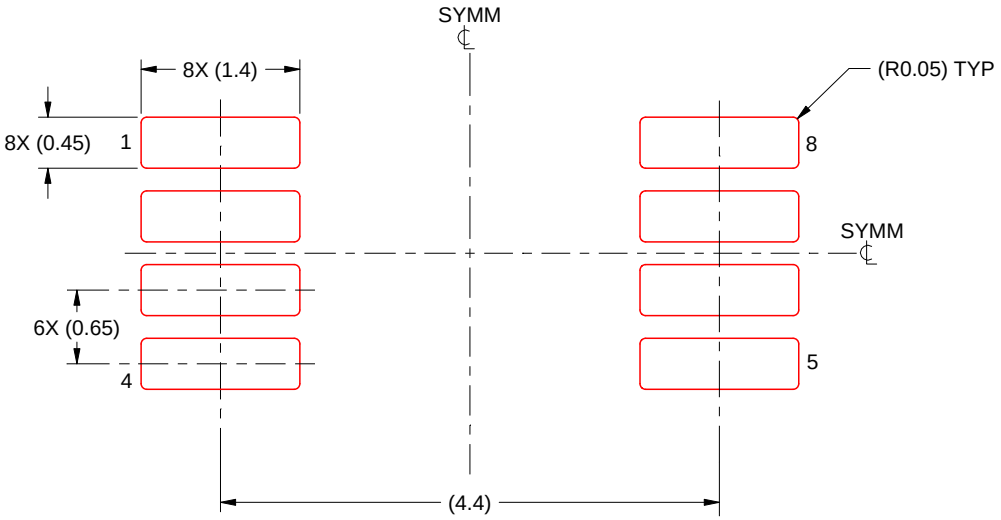


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月