LM7332 双通道轨到轨输入和输出 30V、宽电压范围、高输出运算放大器

1 特性

- V_S = ±15V，T_A = 25°C，典型值，除非另有说明
- 宽电源电压范围：2.7V 至 32V
- 宽输入共模电压：超过电源轨 0.3V
- 输出短路电流：>100mA
- GBWP：24MHz
- 压摆率：35V/µs
- 容性负载容差不受限
- 总电源电流：2.7mA
- 温度范围：-40°C 至 +125°C

2 应用

- MOSFET 和功率晶体管驱动器
- 取代高电流输出电路中的分立式晶体管
- 仪表 4mA 至 20mA 电流环路
- 模拟数据传输
- 多电压电源和电池充电器
- 高侧和低侧电流检测
- 桥和传感器驱动
- 数模转换器输出

3 说明

LM7332 器件是一款双通道轨到轨输入和输出放大器，工作温度范围较宽（−40°C 至 +125°C），可满足汽车、工业和电源应用。LM7332 的输出电流为 125mA，高于大多数单片运算放大器的输出电流。由于许多运算放大器具有低电流输出，因此具有高输出电流要求的电路设计通常需要分立式晶体管。LM7332 具有足够的电流输出，可直接驱动多个负载，从而节省分立式晶体管的成本和空间。

其异常宽泛的工作电源电压范围（2.7V 至 32V）消除了对极端条件下功能的担忧，并为多种应用提供了使用灵活性。该器件的大多数参数对电源变化不敏感；这种设计增强是简化使用的又一步。借助更大的轨到轨输入共模电压范围，该器件可在许多应用（包括高侧和低侧感应）中运行，而不会超过输入范围。

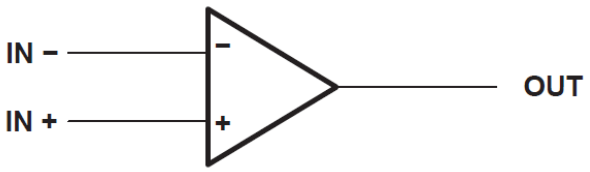
LM7332 可以驱动无限的电容性负载而不会产生振荡。

LM7332 以 8 引脚 VSSOP 和 SOIC 封装提供。

器件信息

器件型号	封装(1)	封装尺寸(2)
LM7332	DGK（VSSOP，8）	3.00mm × 3.00mm
	D（SOIC，8）	3.91mm × 4.90mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



符号（每个放大器）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 引脚配置和功能 ... 3
5 规格 ... 4
5.1 绝对最大额定值 ... 4
5.2 ESD 等级 ... 4
5.3 热性能信息 ... 5
5.4 建议运行条件 ... 5
5.5 电气特性 ... 6
5.6 典型特性 ... 8
5.7 旧裸片与新裸片的比较 ... 13
6 详细说明 ... 14
6.1 概述 ... 14
6.2 功能方框图 ... 14
6.3 器件功能模式 ... 14
6.4 电过应力 ... 16
7 应用和实施 ... 18
7.1 应用信息 ... 18
7.2 典型应用 ... 18
7.3 电源相关建议 ... 20
7.4 布局 ... 20
8 器件和文档支持 ... 24
8.1 支持资源 ... 24
8.2 商标 ... 24
8.3 静电放电警告 ... 24
8.4 术语表 ... 24
9 修订历史记录 ... 24
10 机械、封装和可订购信息 ... 25

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

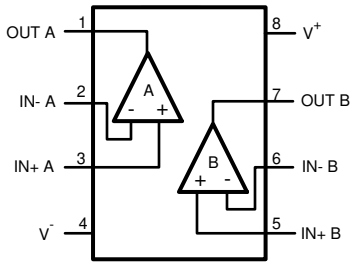


图 4-1. DGK 封装 8 引脚 VSSOP 顶视图

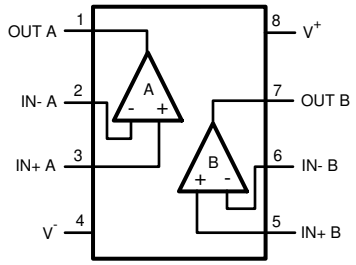


图 4-2. D 封装 8 引脚 SOIC 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
IN+ A	3	I	放大器 A 的非反相输入
IN – A	2	I	放大器 A 的反相输入
IN+ B	5	I	放大器 B 的非反相输入
IN – B	6	I	放大器 AB 的反相输入
OUT A	1	O	放大器 A 的输出
OUT B	7	O	放大器 B 的输出
V^+	8	P	正电源
V^-	4	P	负电源

(1) I = 输入；O = 输出；P = 电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内(1)

		最小值	最大值	单位
V_{IN} 差分 (5)			±10	V
输出短路持续时间 (2) (3)		持续		
电源电压 ($V_S = V^+ - V^-$)			33	V
输入/输出引脚电压 (6)		(V^-) − 0.5V	(V^+) + 0.5V	V
结温(4)			150	°C
焊接信息	红外或对流（20 秒）		235	°C
	波动焊接（10 秒）		260	°C
存储温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。
(3) 短路测试为瞬时测试。在室温及更低温度下，且 $V_S \leq 6V$ 时，输出短路持续时间是无限的。当 $V_S > 6V$ 时，允许的短路持续时间为 1.5ms。
(4) 最大功耗是 $T_{J(MAX)}$、$R_{\theta JA}$ 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$。所有数字均适用于直接焊接到 PC 板的封装。
(5) 输入引脚通过背对背二极管进行连接，以实现输入保护。如果差分输入电压可能超过 0.5V，则将输入电流限制在 10mA 或更低。
(6) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1) (2)	±2000	V
	机器模型 (MM)	±200	
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(3)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) 人体放电模型，适用标准：MIL-STD-883，方法 3015.7。机器模型，适用标准：JESD22A115A（JEDEC 的 ESD MM 标准）电场诱导充电器件模型，适用标准 JESD22C101C（JEDEC 的 ESD FICDM 标准）。
(3) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

5.3 热性能信息

热指标(1)		LM7332		单位
		DGK (VSSOP)	D (SOIC)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻 (2)	169.6	124.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	61.6	67.3	°C/W
$R_{\theta JB}$	结至电路板热阻	91.2	68.4	°C/W
ψ_{JT}	结至顶部特征参数	9.0	19.9	°C/W
ψ_{JB}	结至电路板特征参数	89.7	67.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。
(2) 最大功耗是 $T_{J(MAX)}$、$R_{\theta JA}$ 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} – T_A) / R_{\theta JA}$。所有数字均适用于直接焊接至 PCB 的封装。

5.4 建议运行条件

	最小值	最大值	单位
电源电压 ($V_S = V^+ – V^–$)	2.7	32	V
温度范围(2)	-40	125	°C

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

除非另有说明，否则在 T_A = 25°C、R_L = 10kΩ 连接至 V_S / 2、V_{CM}= V_S / 2 且 V_{OUT} = V_S / 2 条件下，适用于 V_S = (V+) – (V–) = 2.7V 至 32V（±1.35V 至 ±16V）。(1)

参数		测试条件		最小值 (2)	典型值(3)	最大值 (2)	单位
V_{OS}	输入偏移电压	V_{CM} = V–		-4	±0.35	4	mV
V_{OS}	输入失调电压温漂(4)	V_{CM} = V–			±2.5		μV/°C
I_B	输入偏置电流(5)	V_{CM} = V–	T_A = -40°C 至 +125°C	-2	±0.4	2	μA
I_{OS}	输入偏移电流	V_{CM} = V–	T_A = -40°C 至 +125°C		7	250	nA
CMRR	共模抑制比	V_S = 32V，V– < V_{CM} < (V+) – 2V（主输入对）	T_A = -40°C 至 125°C	109	125		dB
		V_S = 5V，V– < V_{CM} < (V+) – 2V（主输入对）(1)	T_A = -40°C 至 125°C	93	111		
		V_S = 2.7V，V– < V_{CM} < (V+) – 2V（主输入对）	T_A = -40°C 至 125°C		114		
		V_S = 2.7 – 32V，(V+) – 1V < V_{CM} < V+（辅助输入对）	T_A = -40°C 至 125°C		77		
		(V+) – 2V < V_{CM} < (V+) – 1V	T_A = -40°C 至 125°C	请参阅 图 5-22			
PSRR	电源抑制比	V_{CM} = V–，V_S = 5V 至 32V	T_A = -40°C 至 125°C	78	100		dB
CMVR	输入共模电压范围			(V–) – 0.1		(V+) + 0.1	V
A_{OL}	开环电压增益	V_S = 32V，V_{CM} = V_S/2，(V–) + 1V < V_O < (V+) – 1V		72	87		dB
			T_A = -40°C 至 125°C	70	87		
		V_S = 5V，V_{CM} = V_S / 2，(V–) + 1V < V_O < (V+) – 1V(1)		72	80		
			T_A = -40°C 至 125°C	70	80		
		V_S = 2.7V，V_{CM} = V_S / 2，(V–) + 1V < V_O < (V+) – 1V(1)		70	80		
			T_A = -40°C 至 125°C	65	80		
V_O	输出摆幅高电平	R_L = 10kΩ 至 0V，V_{ID} = 100mV			50	250	距离任一电源轨 mV
			T_A = -40°C 至 125°C			300	
		R_L = 2kΩ 至 0V，V_{ID} = 100mV			50	350	
			T_A = -40°C 至 125°C			400	
	输出摆幅低电平	R_L = 10kΩ 至 0V，V_{ID} = -100mV			50	250	
			T_A = -40°C 至 125°C			300	
		R_L = 2kΩ 至 0V，V_{ID} = -100mV			50	350	
			T_A = -40°C 至 125°C			400	
I_{SC}	短路电流	V_S = 32V		±62	±125		
		V_S = 5V		±50	±85		
		V_S = 2.7V		±30	±60		

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则在 T_A = 25°C、R_L = 10kΩ 连接至 V_S / 2、V_{CM}= V_S / 2 且 V_{OUT} = V_S / 2 条件下，适用于 V_S = (V+) – (V–) = 2.7V 至 32V（±1.35V 至 ±16V）。(1)

参数		测试条件		最小值 (2)	典型值(3)	最大值 (2)	单位
I_S	总电源电流	无负载，V_{CM} = V–			2.7	3.86	mA
			T_A = -40°C 至 125°C			4.46	
SR	压摆率	A_V = +1，V_I = 10V 阶跃， C_L = 20pF			35		V/μs
R_{OUT}	闭环输出电阻	A_V = +1，f = 100kHz			1		Ω
f_u	单位增益频率	R_L = 10MΩ，C_L = 20pF			11		MHz
GBWP	增益带宽积				24		MHz
e_n	输入基准电压噪声	f = 2kHz			14.7		nV/√HZ
i_n	输入基准电流噪声	f = 2kHz			1.3		pA/√HZ
THD+N	总谐波失真 + 噪声	V_{OUT} = 3V_{RMS}，G = 1，f = 1kHz，R_L = 10kΩ			-113		dB
CT Rej.	串扰抑制	f = 3MHz，驱动器 R_L = 10kΩ			120		dB

(1) *电气特性* 值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 T_J = T_A。在 T_J > T_A 的内部自发热条件下，某些参数性能规格（如电气表中所示）未加保证。
(2) 所有限值均根据测试或统计分析保证。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值会随时间推移而变化，而且还会受具体应用和配置的影响。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 通过将极端温度下 V_{OS} 的变化除以总温度变化来确定失调电压温度漂移。
(5) 正向电流对应流入器件的电流。

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性

除非另有规定，否则 T_J = 25°C。

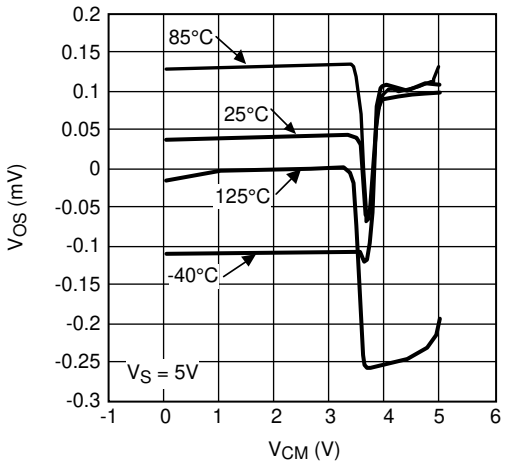


图 5-1. V_{OS} 与 V_{CM} 间的关系（单元 1），旧裸片

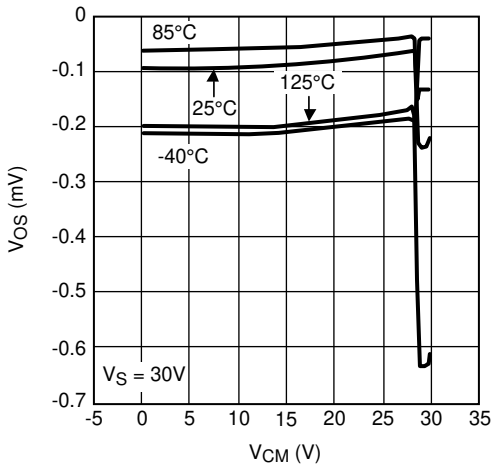


图 5-2. V_{OS} 与 V_{CM} 间的关系（单元 1），旧裸片

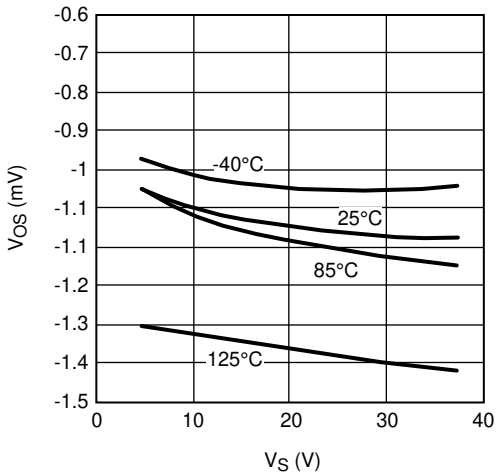


图 5-3. V_{OS} 与 V_S 间的关系（单元 1），旧裸片

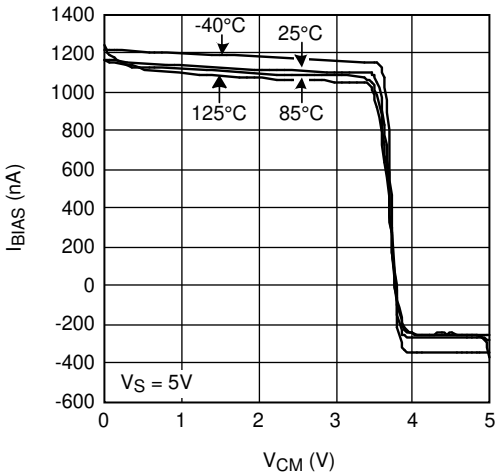


图 5-4. I_{BIAS} 与 V_{CM} 间的关系，旧裸片

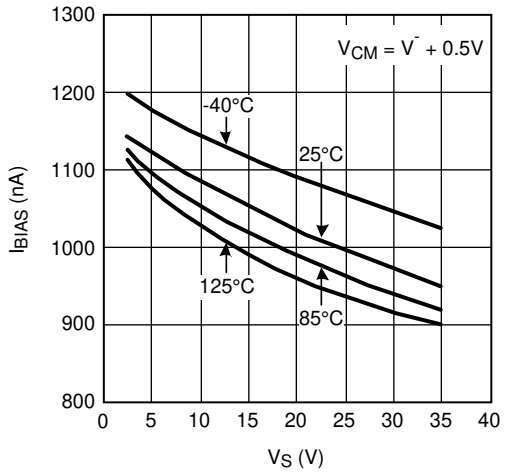


图 5-5. I_{BIAS} 与电源电压间的关系，旧裸片

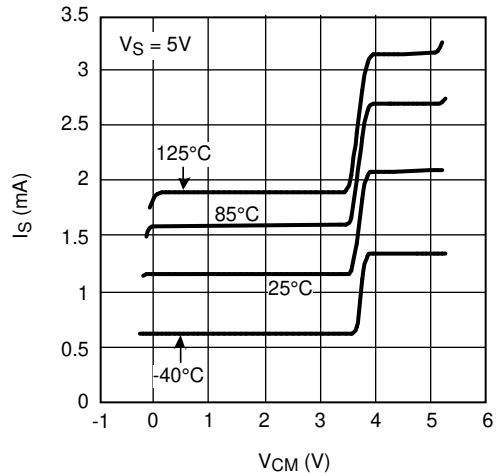


图 5-6. I_S 与 V_{CM} 间的关系，旧裸片

Copyright © 2026 Texas Instruments Incorporated

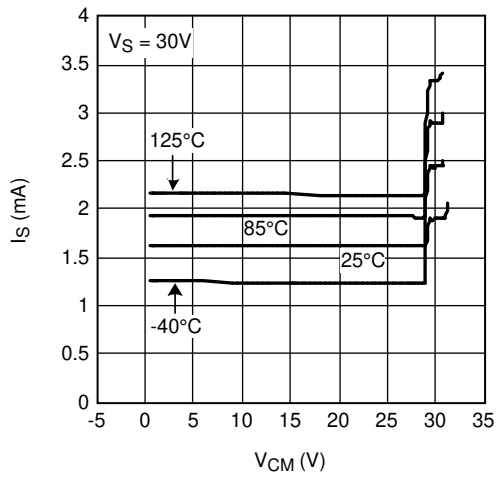


图 5-7. I_S 与 V_{CM} 间的关系，旧裸片

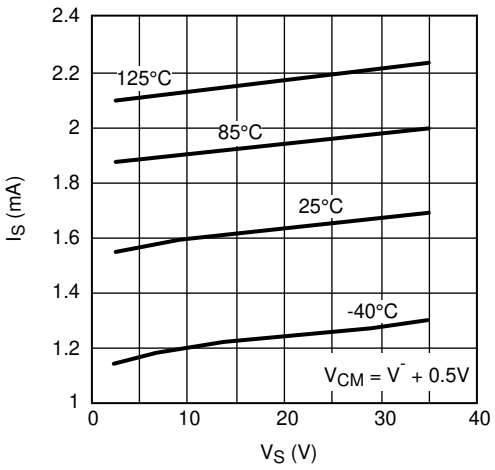


图 5-8. I_S 与电源电压间的关系，旧裸片

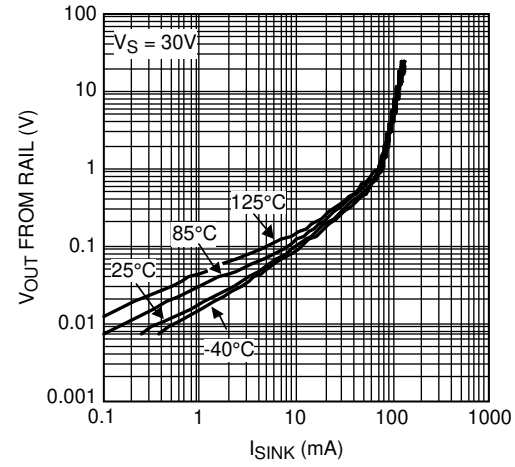


图 5-9. 输出摆幅与灌电流间的关系，旧裸片

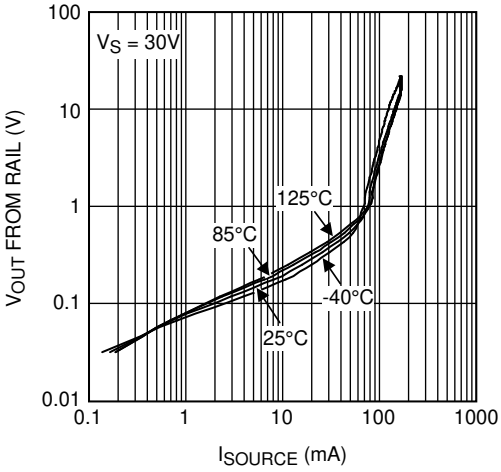


图 5-10. 输出摆幅与拉电流间的关系，旧裸片

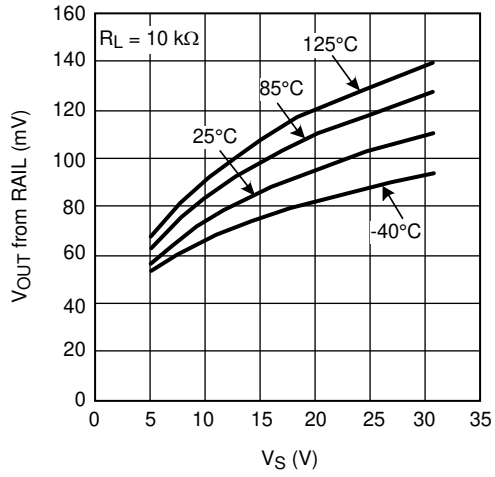


图 5-11. 正向输出摆幅与电源电压间的关系，旧裸片

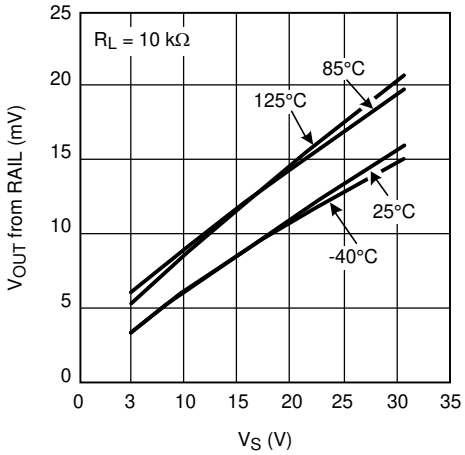


图 5-12. 负向输出摆幅与电源电压间的关系，旧裸片

Copyright © 2026 Texas Instruments Incorporated

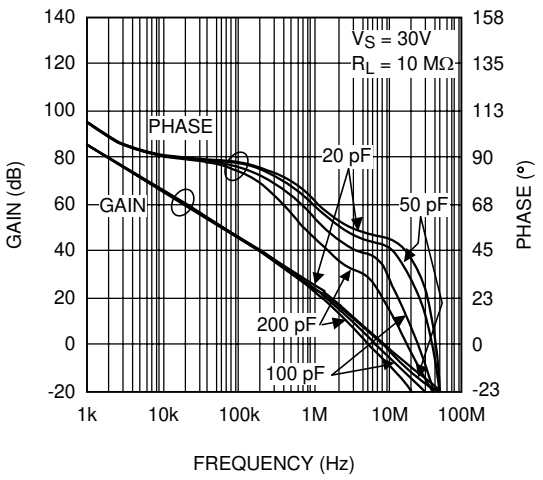


图 5-13. 不同容性负载下的开环频率响应，旧裸片

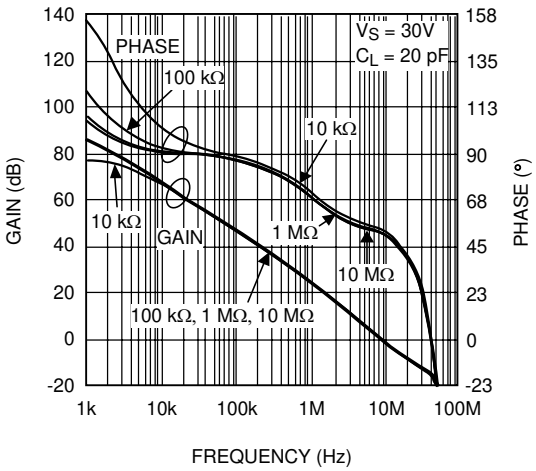


图 5-14. 开环频率响应与不同电阻负载之间的关系，旧裸片

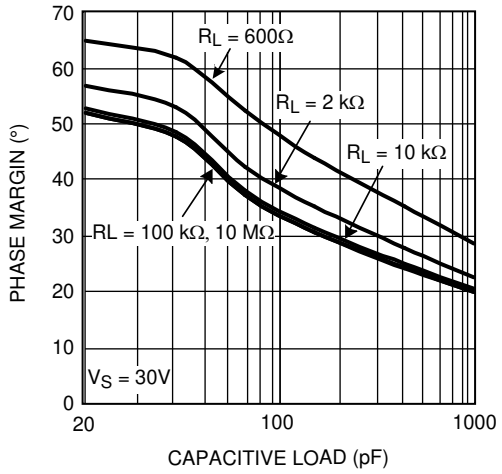


图 5-15. 相位裕度与容性负载间的关系，旧裸片

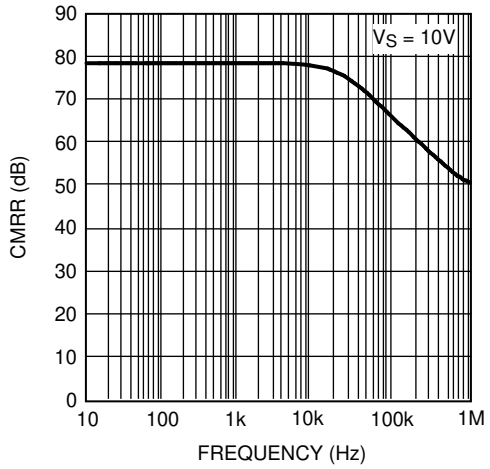


图 5-16. CMRR 与频率间的关系（旧裸片）

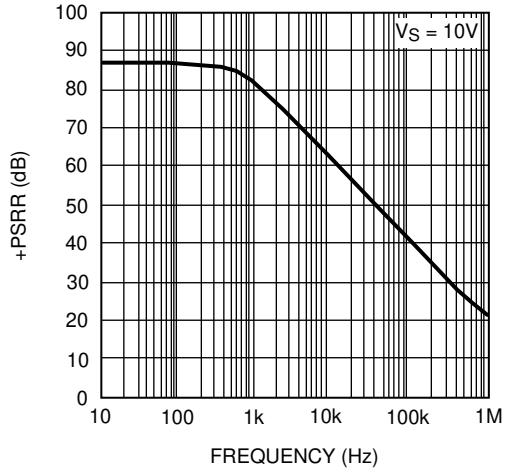


图 5-17. +PSRR 与频率间的关系，旧裸片

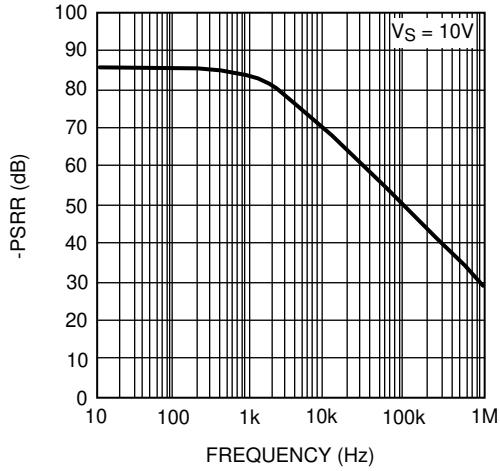


图 5-18. -PSRR 与频率间的关系，旧裸片

Copyright © 2026 Texas Instruments Incorporated

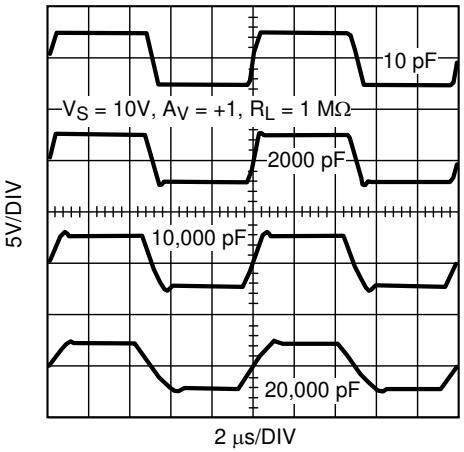


图 5-19. 各种电容性负载的大信号阶跃响应，旧裸片

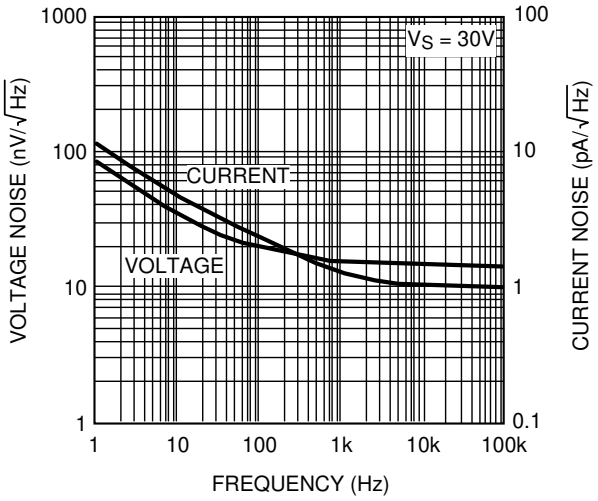


图 5-20. 输入参考噪声密度与频率间的关系，旧裸片

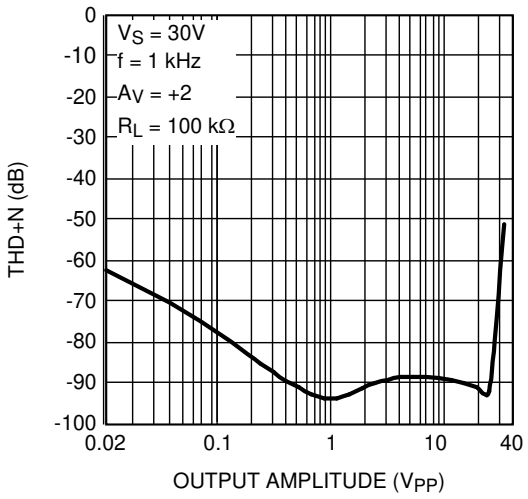


图 5-21. THD+N 与输出振幅间的关系 (V_{PP})，旧裸片

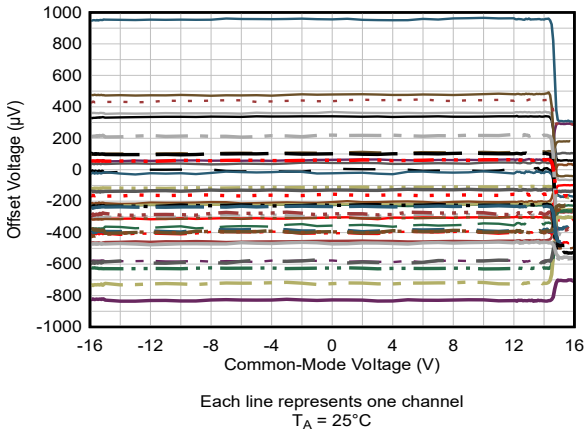


图 5-22. 失调电压与共模电压间的关系

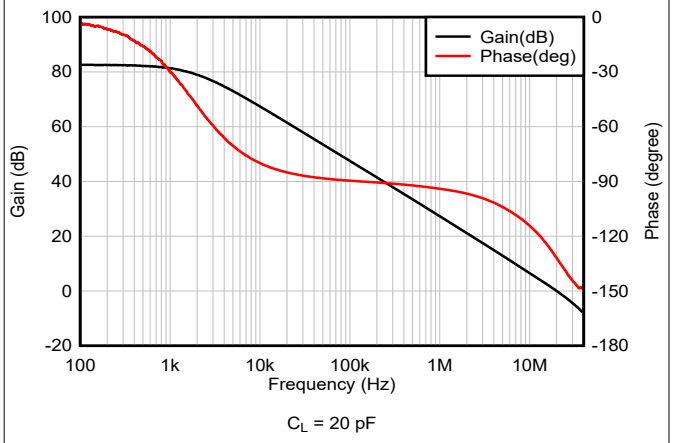


图 5-23. 开环增益和相位与频率间的关系（新裸片）

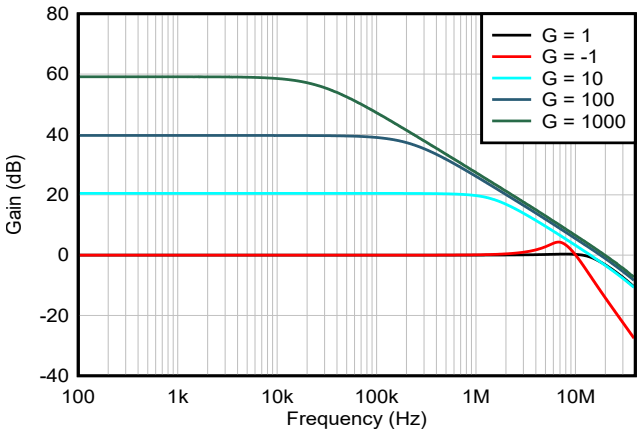


图 5-24. 闭环增益与频率间的关系（新裸片）

Copyright © 2026 Texas Instruments Incorporated

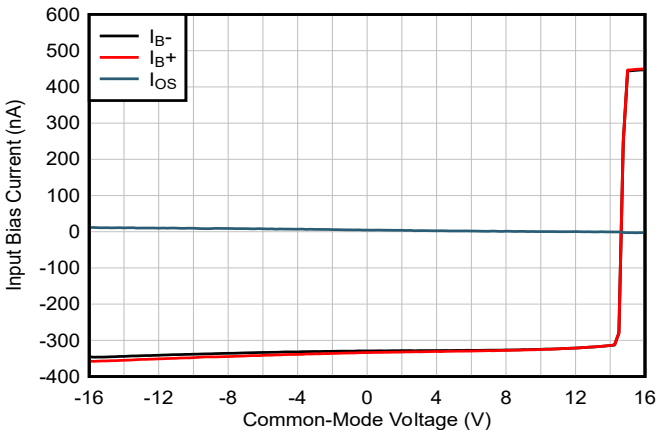
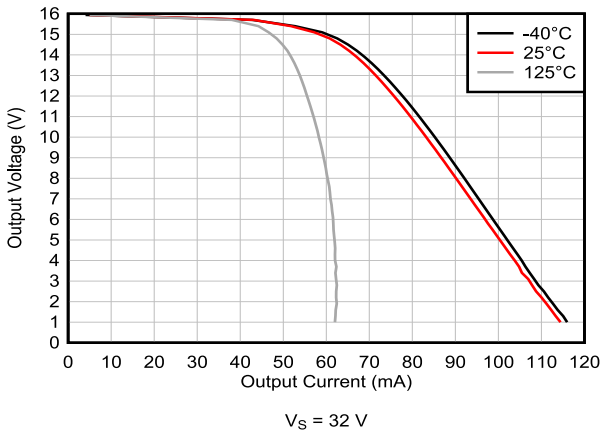
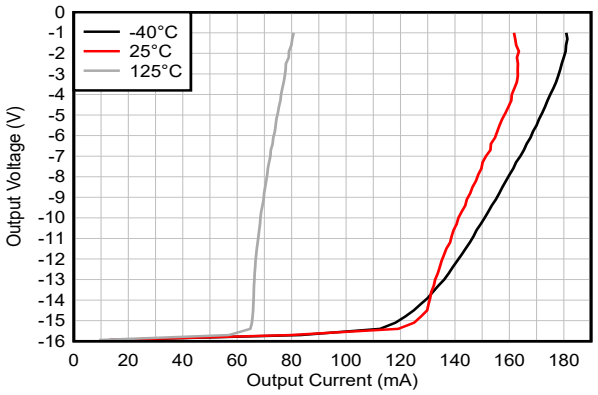


图 5-25. 输入偏置电流和失调电流与共模电压间的关系（旧裸片）



VS = 32 V

图 5-26. 输出电压摆幅与输出电流（拉电流）间的关系（新裸片）



VS = 32 V

图 5-27. 输出电压摆幅与输出电流（灌电流）间的关系（新裸片）

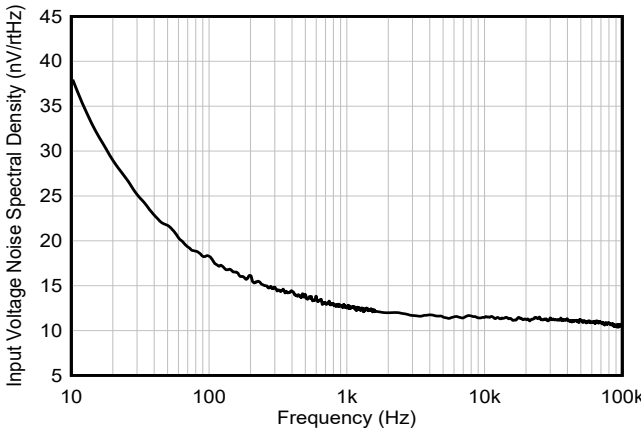
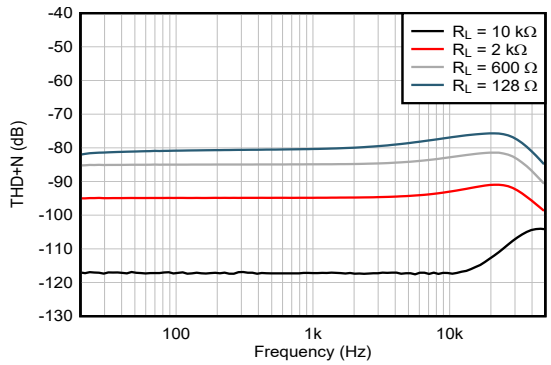
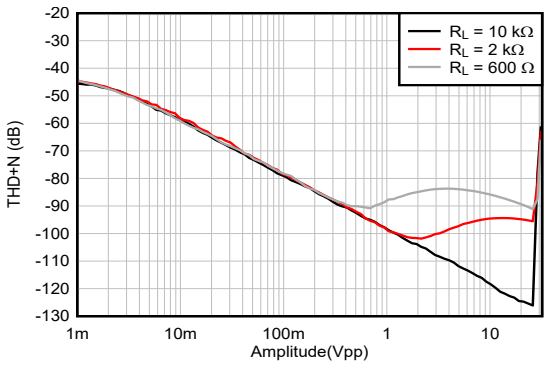


图 5-28. 输入电压噪声频谱密度与频率间的关系（新裸片）



G = +1
VOUT = 3 VRMS
BW = 80 kHz

图 5-29. THD+N 比与频率间的关系（新裸片）



f = 1 kHz
BW = 80 kHz
G = +1

图 5-30. THD+N 与输出振幅间的关系（新裸片）

Copyright © 2026 Texas Instruments Incorporated

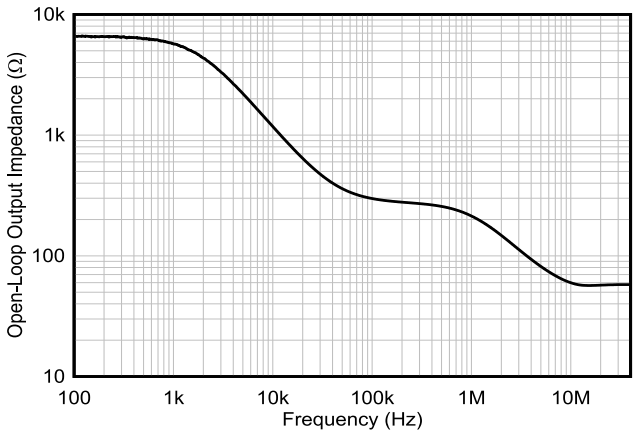


图 5-31. 开环输出阻抗与频率间的关系（新裸片）

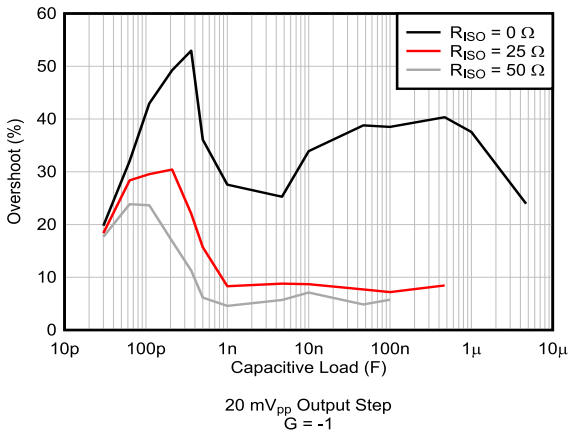


图 5-32. 小信号过冲与电容负载间的关系（新裸片）

5.7 旧裸片与新裸片的比较

截至本数据表修订版 C 发布时，德州仪器 (TI) 已将 LM7332 的裸片制造转移到了一个现代制造厂。本文档中将两个不同的裸片称为“旧”（前一个制造基地）和“新”裸片。裸片原点可以与发货信息中的“裸片源来源”(CSO) 参数分开。旧裸片 CSO 为“GF6”，而新裸片 CSO 为“RFB”。旧裸片信息包含在发货信息中。旧裸片 CSO 为“GF6”，而新裸片 CSO 为“RFB”。本数据表中保留了旧裸片信息，用于进行比较，但所有新制造工艺都转移到了新裸片上。

Copyright © 2026 Texas Instruments Incorporated

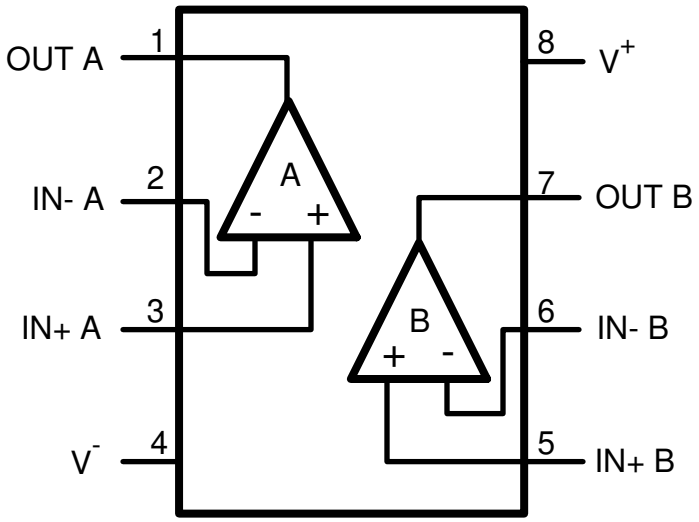
6 详细说明

6.1 概述

LM7332 器件是具有宽工作电压范围和高输出电流的轨到轨输入和输出放大器。LM7322 是高效的，实现了 35V/µs 的转换速率和 24MHz 的单位增益带宽，同时只需要 2.7mA 的总电源电流。LM7332 器件性能完全指定为在 2.7V 至 32V 下运行。

LM7332 器件设计用于驱动无限电容负载而不发生振荡。多数器件参数对电源电压不敏感，这使得这些器件更易于在电源电压存在波动的场景中使用，例如汽车电气系统和电池供电设备。LM7332 具有真正的轨到轨输出，能够以超越任一电源轨的最小余量电压 (1V) 提供可观的电流量 (±60mA)。

6.2 功能方框图



6.3 器件功能模式

6.3.1 驱动容性负载

LM7332 专门设计用于驱动无限电容负载而不发生振荡。

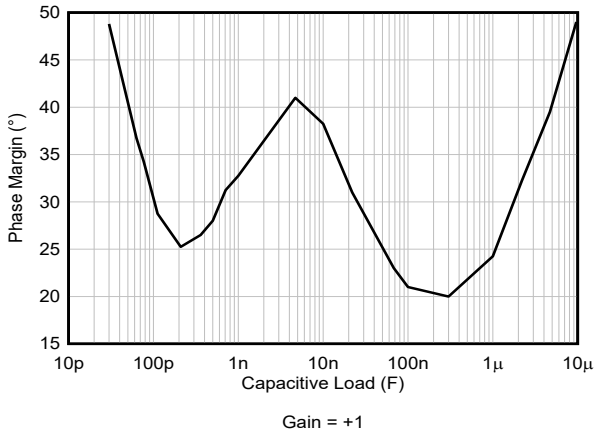


图 6-1. 相位裕度与容性负载间的关系

此外，该器件的输出电流处理能力使其即使在驱动大电容负载时也能保持良好的压摆特性。这些特性的组合是 TFT 平板缓冲器、A/D 转换器输入放大器和功率晶体管驱动器等应用的绝佳选择。

Copyright © 2026 Texas Instruments Incorporated

然而，与大多数运算放大器一样，在运算放大器和容性负载之间添加一个串联隔离电阻器可以改善趋稳时间和过冲性能。

为了保持可接受的相位裕度，无限容性负载驱动 (UCLD) 器件会在较大的容性负载下降低增益带宽积。在没有很大容性负载的情况下，LM7332 的额定增益带宽积为 24MHz，但在传统放大器开始变得不稳定时，该值将开始减小。这种折衷可扩展输出驱动能力。LM7332 采用宽增益带宽积设计，可确保为很多具有更高容性负载的通用应用留出余量。

Copyright © 2026 Texas Instruments Incorporated

6.4 电过应力

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

对基本 ESD 电路以及该电路与电气过应力事件的相关性有扎实的了解是非常有益的。图 6-2 展示了 LM7332 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未运行状态。

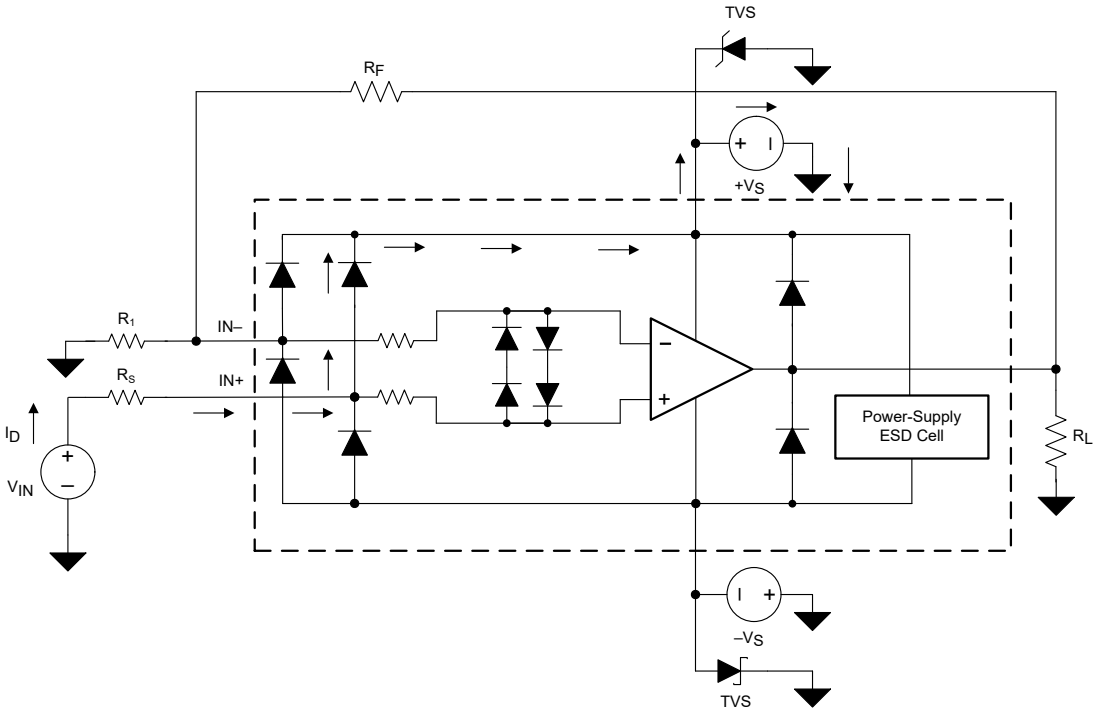


图 6-2. 与典型电路应用相关的等效内部 ESD 电路

Copyright © 2026 Texas Instruments Incorporated

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当两个或更多个放大器器件终端上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发器或阈值电压，该电压高于 LM7332 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如图 6-2 中所示）时，ESD 保护元件将保持未激活状态并且不会参与应用电路的运行。不过，如果施加的电压超出指定终端的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经导流二极管路径，但很少涉及吸收器件。

图 6-2 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 $+V_S$ 或 $-V_S$ 为 0V 时向输入施加一个输入信号，放大器将如何响应。同样，此问题取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过电流驱动二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源终端处外接齐纳二极管。选择齐纳电压可确保二极管不会在正常运行过程中导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源终端电压上升至超过安全工作电源电压水平时导通。

LM7332 输入端子由背对背二极管提供保护，不会因差分电压过大而受损；请参阅图 6-2。在多数电路应用中，输入保护电路并不产生实际影响。但在低增益或 G = 1 的电路中，快速变化的输入信号可能会导致这些二极管发生正向偏置，因为放大器的输出无法足够快地响应该输入变化。在某些比较器应用中，也可以正向偏置这些二极管。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 LM7332 的低噪声性能。图 6-2 展示了实现限流反馈电阻器的示例配置。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

LM7332 是一款 GBW 为 24MHz 的轨到轨输入和输出运算放大器。此器件具有 ±125mA 的电流能力，并可驱动无限容性负载。LM7332 采用 VSSOP 和 SOIC 封装。

7.2 典型应用

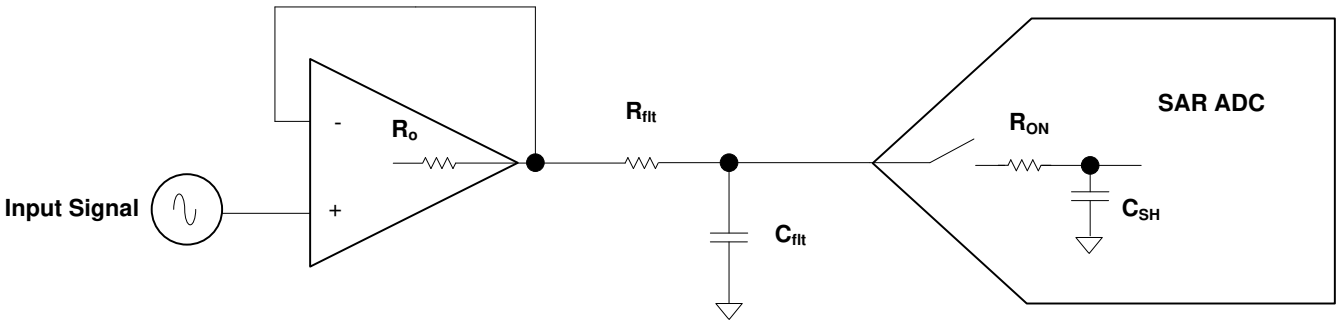


图 7-1. SAR ADC 驱动放大器的原理图

7.2.1 设计要求

假设便携式应用需要使用采集时间 (t_{AQ}) 为 1µs 且采样和保持电容 (C_{SH}) 为 80pF 的 12 位 SAR ADC。

ADC 在 5V 单电源电压下运行，满量程输入为 2.5V_{PP}。为了保持信号保真度，需要总谐波失真加小于 –80dB 的噪声 (THD + N)。确定 LM7332 是否是实际驱动放大器，并找到 R_{flt} 和 C_{flt} 的值。

Copyright © 2026 Texas Instruments Incorporated

7.2.2 详细设计过程

LM7332 可用作 SAR ADC 的驱动放大器，如图 7-1 所示。

R_{flt} 和 C_{flt} 的值取决于 ADC 规格以及放大器增益带宽积 (GBWP) 及输出电阻 (R_O)。单个接地参考电源电压也很常见，允许以低失真对高达该电压一半的信号进行采样。

为了确定 LM7332 是否是该应用的实用驱动器，必须使用方程式 1 来比较放大器的稳定时间与 ADC 的采集时间：

$$GBWP_{min} \geq 4 \times (N + 1) \times \ln(2) / (2\pi \times t_{AQ}) \quad (1)$$

其中

- $GBWP_{min}$：驱动放大器所需的最小增益带宽积
- N：ADC 的位数
- t_{AQ}：ADC 的采集时间

在 t_{AQ} 期间对 N 和 1µs 使用 12 位的值，$GBWP_{min}$ 必须大于 5.7MHz。LM7332 具有 24MHz 的 GBWP，因此 LM7332 确实是该应用的实用驱动器。

接下来，用方程式 2 确定 C_{flt} 的值:

$$20 \times C_{SH} \leq C_{flt} \leq 60 \times C_{SH} \quad (2)$$

其中

- C_{SH}: ADC 采样保持电容
- C_{flt}：外部滤波器电容

对于 C_{SH} 使用 80pF 的值，C_{flt} 的值必须在 1600pF 和 4800pF 之间。LM7332 可以驱动具有 $5V_{PP}$ 的 2000pF 容性负载并在 1µs 范围内稳定，因此选择 1800pF 作为量程内最接近的共模电容值。

接下来用方程式 3 确定 R_{flt} 的值：

$$R_{flt} = 40 / (2\pi \times C_{flt} \times GBWP_{min}) - R_O \quad (3)$$

其中

- R_{flt}：外部滤波器电阻
- C_{flt}：上面确定的外部滤波器电容
- $GBWP_{min}$：驱动放大器所需的最小增益带宽积在上面确定
- R_O：驱动放大器的闭环输出阻抗通常在电气特性表中指定

对 C_{flt} 使用 1800pF 的值，对 $GBWP_{min}$ 使用 5.7MHz，对 R_O 使用 1Ω 的值，R_{flt} 的值确定为 630Ω。给定方程式 4 的情况下，对于 141kHz 的滤波器频率 (f_{flt})，使用最接近的 626Ω 值:

$$f_{flt} = 1 / [2\pi \times (R_O + R_{flt}) \times C_{flt}] \quad (4)$$

最后一个要求是在 THD + N 小于 –80dB 的单个 5V 电源上驱动 $2.5V_{PP}$ 的输入信号。

图 7-2 显示了 LM7332 在双电源电压为 16V 时的 THD+N 响应。对于高达 $4V_{PP}$ 的输出电平，LM7332 可以将 THD + N 保持在低至 –110dB 的水平。因此，在本设计示例中，已经满足了最终要求，LM7332 是适用于 12 位 SAR ADC 的实用驱动放大器。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 应用曲线

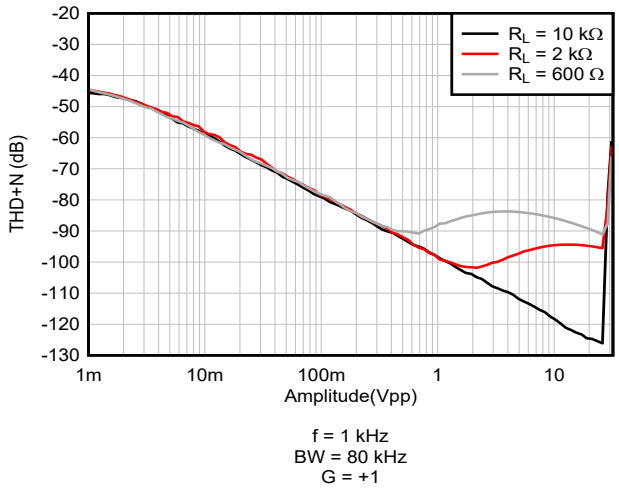


图 7-2. THD+N 与输出幅度间的关系

7.3 电源相关建议

在大多数应用中，必须使用电源去耦合。与大多数相对高速或高输出电流的运算放大器一样，最佳结果是通过对每条电源线使用两个电容器进行去耦来实现的：一个放置在非常靠近电源引脚位置的小值陶瓷电容器（约 0.01μF），再加上一个大值钽或铝电容器（大于 4.7μF）。如有必要，这个大电容器可以被多个器件共用。小陶瓷电容器在高频下维持低电源阻抗，而大电容器则充当电荷“*桶*”，用于应对运算放大器输出端的快速负载电流尖峰。这些电容器的组合将提供电源去耦功能，并有助于在任何负载下确保运算放大器不发生振荡。

7.4 布局

7.4.1 布局指南

务必尽可能地减少由电源引脚和接地引脚之间的旁路电容器连接所形成的环路面积。建议在设备下方设置接地平面；任何接地旁通元件都必须在接地平面附近有一个通孔。旁路电容器位置越靠近相应的电源引脚越好。在旁路电容器和相应电源引脚之间使用较粗的迹线，可降低电源电感并提供更稳定的电源。

反馈组件必须放置到尽可能靠近器件的位置，以最大程度地降低杂散寄生效应。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 布局示例

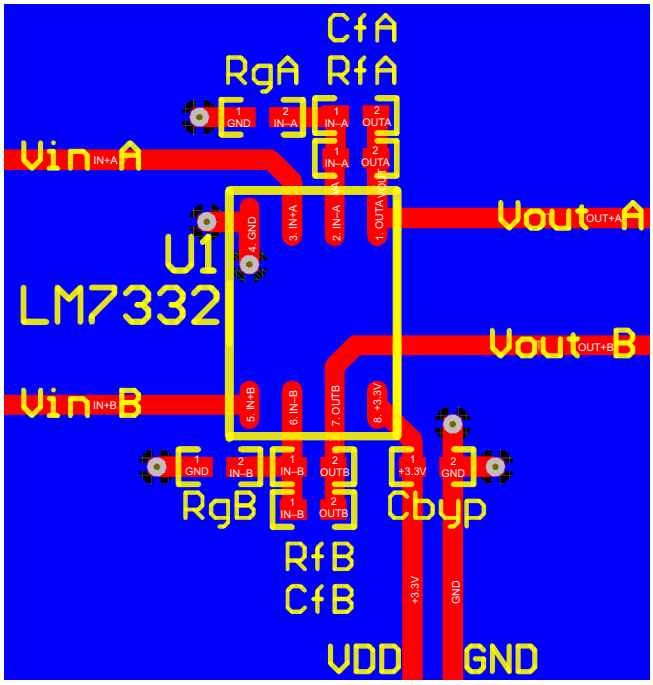


图 7-3. LM7332 布局示例

7.4.3 输出短路电流与消耗问题

LM7332 输出级旨在提供最大输出电流能力。尽管在所有工作电压下都能容忍输出对地或对任一电源的瞬时短路，但持续时间较长的短路情况可能导致结温升至超过器件的绝对最大额定值，尤其是在较高电源电压条件下。

当运算放大器连接负载时，器件的功率耗散包括由流入器件的电源电流引起的静态功耗，以及由负载电流引起的功率耗散。负载部分的功耗本身可包括一个平均值（由直流负载电流引起）和一个交流分量。如果存在输出电压偏移，或者输出交流平均电流非零，或者运算放大器工作在单电源应用中且输出维持在线性工作范围内的某点，则会有直流负载电流流过。

因此，

$$P_{TOTAL} = P_Q + P_{DC} + P_{AC} \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

运算放大器静态功率耗散的计算公式为 方程式 6：

$$P_Q = I_S \times V_S \tag{6}$$

其中

- I_S：电源电流
- V_S：总电源电压 ($V^+ - V^-$)

直流负载功率的计算公式为 方程式 7：

$$P_{DC} = I_O \times (V_r - V_O) \tag{7}$$

其中

- V_O：平均输出电压
- V_r：对于拉电流为 V^+，对于灌电流为 V^-

交流负载功率的计算方式为 P_{AC} = 表 7-1 中所示的值。

表 7-1 显示了运算放大器在标准正弦波、三角波和方波波形下耗散的负载功耗的最大交流分量：

表 7-1. 标准波形下输出级功率耗散的归一化交流功率

P_{AC} (W.Ω/V²)		
正弦波	三角波	方波
50.7×10^{-3}	46.9×10^{-3}	62.5×10^{-3}

表格条目已归一化至 V_S^2/R_L。要计算功率耗散的交流负载电流分量，只需将输出波形对应的表格条目乘以因子 V_S^2/R_L 即可。例如，在 ±12V 电源、600Ω 负载以及三角波形条件下，输出级的功率耗散计算如下：

$$P_{AC} = \left(46.9 \times 10^{-3}\right) \times \left(24^2 / 600\right) = 45.0\text{mW} \tag{8}$$

特定温度下允许的最大功率耗散是允许最大裸片结温 ($T_{J(MAX)}$)、环境温度 T_A 和结至环境的封装热阻 $R_{\theta JA}$ 的函数。

$$P_{D(MAX)} = \frac{T_{J(MAX)} - T_A}{R_{\theta JA}} \tag{9}$$

对于 LM7332 系列，允许的最高结温为 150°C，达到该温度时不允许功率耗散。25°C 温度下的功率能力通过以下公式计算得出：

对于 VSSOP 封装：

$$P_{D(MAX)} = \frac{150°C - 25°C}{169.6°C} = 0.737\text{W} \tag{10}$$

对于 SOIC 封装：

$$P_{D(MAX)} = \frac{150°C - 25°C}{124°C} = 1.008\text{W} \tag{11}$$

同样，125°C 温度下的功率能力通过以下公式计算得出：

对于 VSSOP 封装：

$$P_{D(MAX)} = \frac{150°C - 25°C}{169.6°C} = 0.147\text{W} \tag{12}$$

Copyright © 2026 Texas Instruments Incorporated

对于 SOIC 封装：

$$P_{D(MAX)} = \frac{150℃ - 25℃}{124℃} = 0.202W \quad (13)$$

当器件在 P_{TOTAL} 小于 $P_{D\ (MAX)}$ 的工作区域工作时，器件结温保持在 150°C 以下。当需要高功率但无法降低环境温度时，提供气流是降低热阻从而提高功率能力的有效方法。

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.2 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.3 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.4 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (December 2015) to Revision C (August 2026) **Page**

- 更新了最小的宽电源电压范围，从 2.5V 更新至 2.7V....1
- 删除了高输出电流特性....1
- 将 GBWP 从 21MHz 更新为了 24MHz....1
- 将转换率从 15.2V/μs 更新为了 35V/μs....1
- 将总电源电流从 2mA 更新为 2.7mA....1
- 将供电电压 ($V_S = V^+ - V^-$) 从 35V 更新为 33V....4
- 将输入/输出引脚的最小电压从 $V^+ + 0.3V$ 更新为 $V^- - 0.5V$，并将最大电压从 $V^- - 0.3V$ 更新为 $V^+ + 0.5V$....4
- 添加了充电器件模型额定值....4
- 将 DGK (VSSOP) 封装的结至环境热阻从 161.1°C/W 更新为 169.6°C/W....5
- 将 D (SOIC) 封装的结至环境热阻从 109.1°C/W 更新为 124.0°C/W....5
- 将 DGK (VSSOP) 封装的结至外壳（顶）热阻从 55°C/W 更新为 61.6°C/W....5
- 将 D (SOIC) 封装的结至外壳（顶）热阻从 55.8°C/W 更新为 67.3°C/W....5
- 将 DGK (VSSOP) 封装的结至板热阻从 80.5°C/W 更新为 91.2°C/W....5
- 将 D (SOIC) 封装的结至板热阻从 49.2°C/W 更新为 68.4°C/W....5
- 将 DGK (VSSOP) 封装的结至顶部表征参数从 5.5°C/W 更新为 9.0°C/W....5
- 将 D (SOIC) 封装的结至顶部表征参数从 10.7°C/W 更新为 19.9°C/W....5
- 将 DGK (VSSOP) 封装的结至板表征参数从 79.2°C/W 更新为 89.7°C/W....5
- 将 D (SOIC) 封装的结至板表征参数从 48.7°C/W 更新为 67.6°C/W....5
- 更新了最小的宽电源电压范围，从 2.5V 更新至 2.7V....5
- 已将输入偏移电压典型值从 ±1.6mV 更新为 ±0.35....6
- 将输入偏移电压漂移典型值从 ±2μV/°C 更新为 ±2.5μV/°C....6
- 将输入偏置电流典型值从 ±1μA 更新为 0.4μA....6
- 将输入偏移电流典型值从 20nA 更新为 7nA....6

Copyright © 2026 Texas Instruments Incorporated

- 将输入共模电压范围最小值从 5.1V 更新为 (V−) − 0.1 6
- 将输入共模电压范围最小值从 −5.1V 更新为 (V+) + 0.1 6
- 删除输入共模电压范围典型值 6
- 将所有输出摆幅高和输出摆幅低典型值更新为 50mV（来自任一电源轨） 6
- 根据新裸片特性更新了 CMRR 规范 6
- 更新了总电源电流典型值，从 1.5mA 更新到 2.7mA，T_A= 25°C 的最大值从 2.4mA 更新到 3.86mA，T_A = –40°C 至 +125°C 时，从 2.6mA 更新到 4.46mA 6
- 将压摆率典型值从 13.2V/μs 更新到 35V/μs 6
- 已将闭环输出电阻从 3Ω 更新为 1Ω 6
- 将单位增益频率从 7.9MHz 更新为 11MHz 6
- 将增益带宽积从 19.9MHz 更新为 24MHz 6
- 将总计谐波失真 + 噪声从 −87dB 更新为 −113dB 6
- 将串扰抑制从 68dB 更新为 120dB 6
- 根据新裸片特性更新了曲线图 8
- 添加了*新旧裸片比较*一节 13
- 删除了*接近 V 的输出电压摆幅*部分 14
- 添加了*电过应力*部分 16

Changes from Revision A (March 2013) to Revision B (December 2015) **Page**

- 添加了*器件信息*、*ESD 等级*和 *Thermal 热性能信息*表、*特性说明*部分、*器件功能模式*、*应用和实施*部分、*电源相关建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分。 1

Changes from Revision * (March 2013) to Revision A (March 2013) **Page**

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM7332MA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LM733 2MA
LM7332MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LM733 2MA
LM7332MAX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM733 2MA
LM7332MM/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	AA5A
LM7332MMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AA5A
LM7332MMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AA5A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

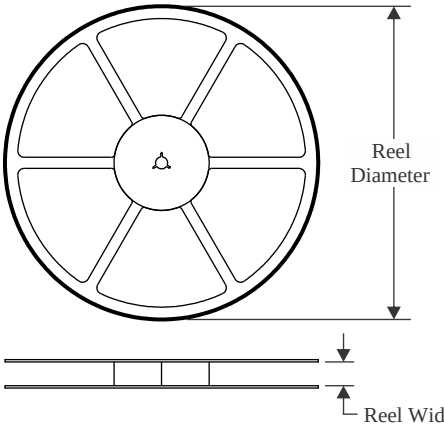
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

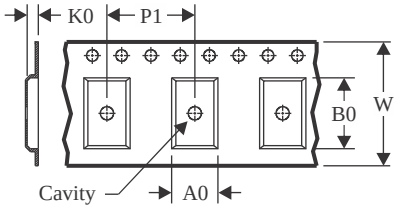
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

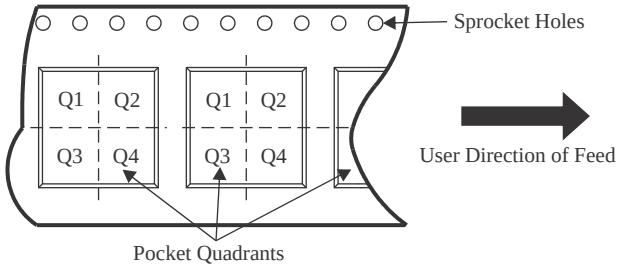


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

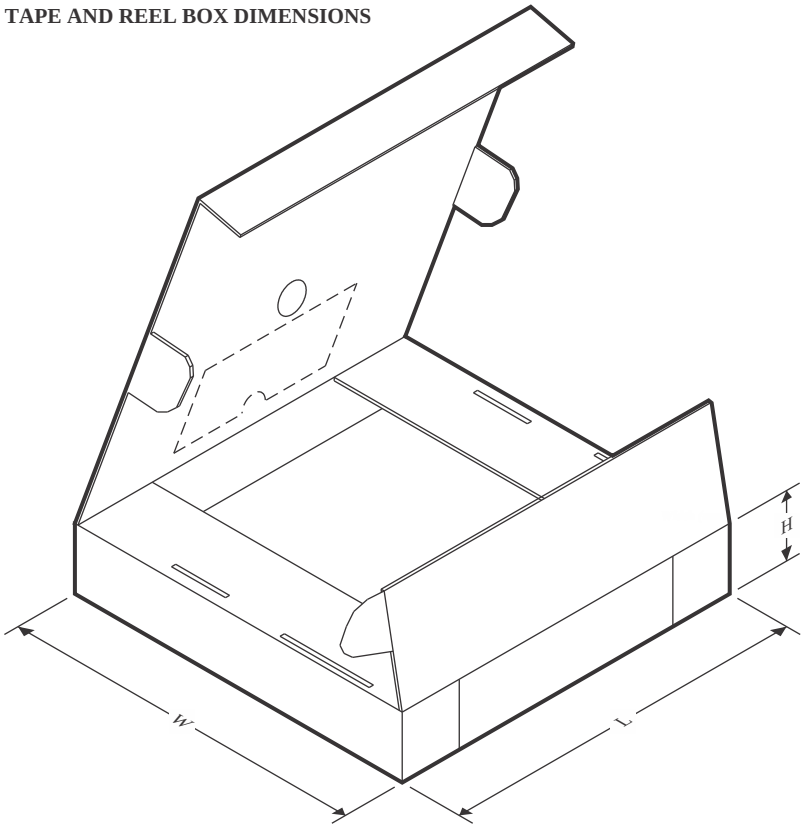
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM7332MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM7332MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM7332MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

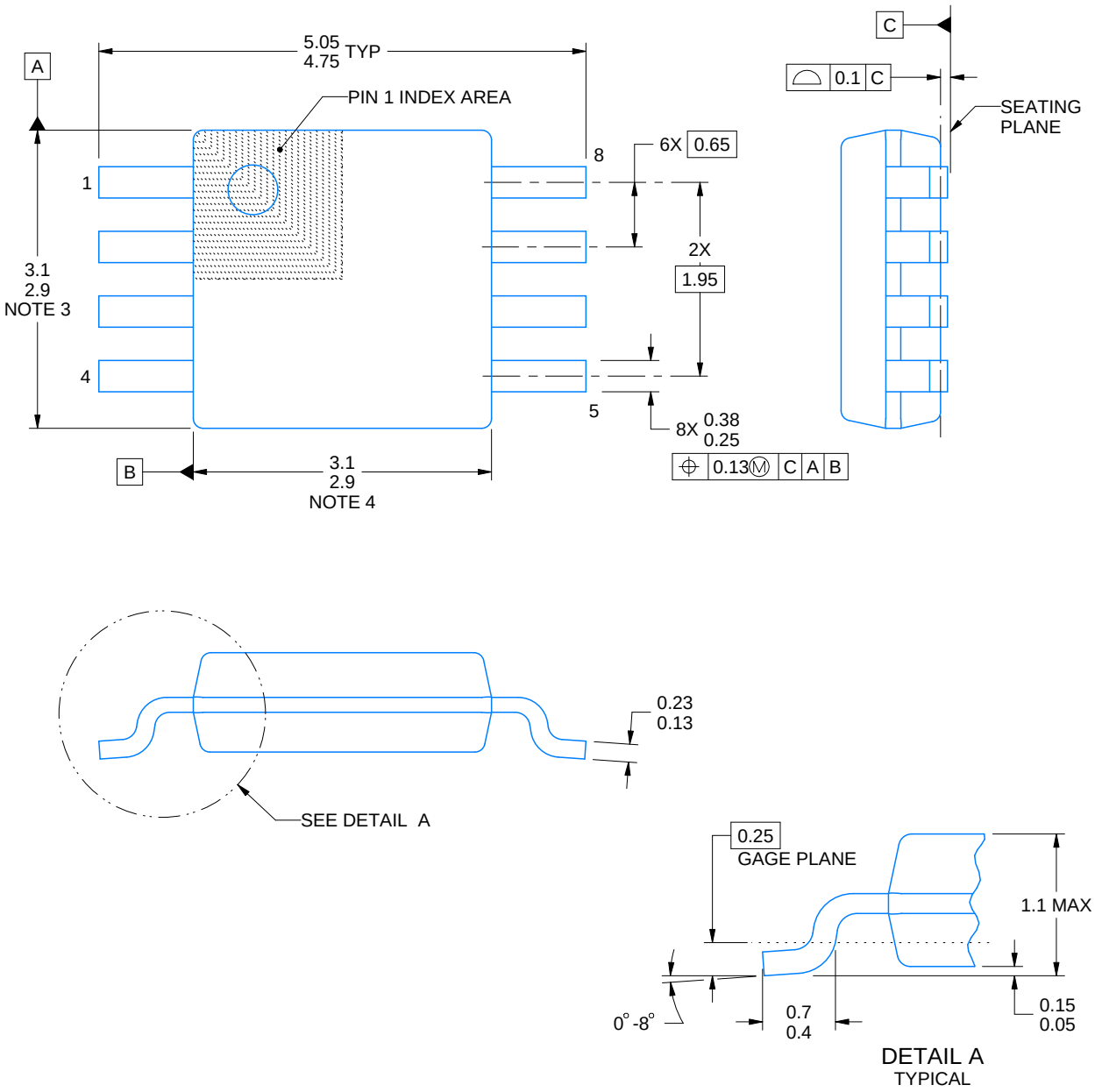
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM7332MAX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LM7332MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LM7332MMX/NOPB	VSSOP	DGK	8	3500	366.0	364.0	50.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

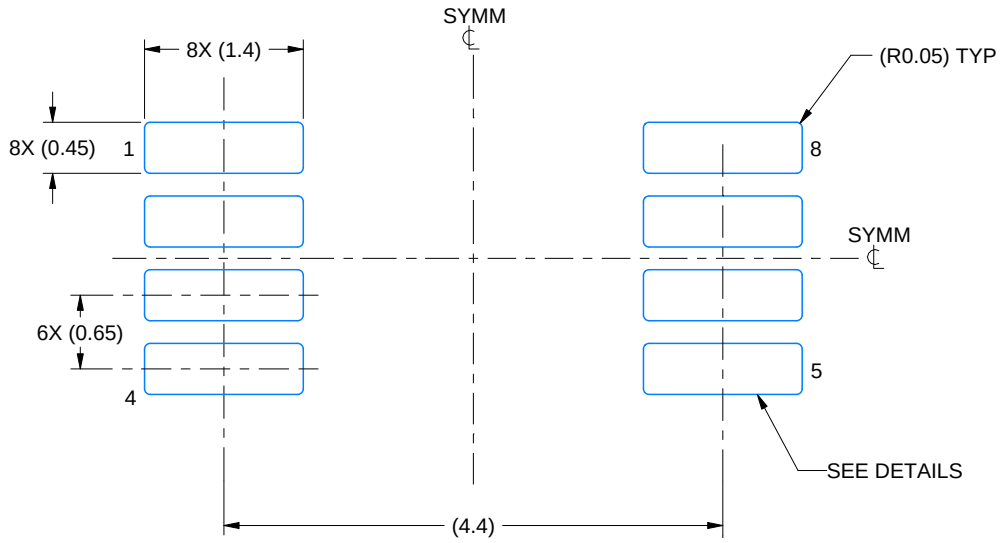
SMALL OUTLINE PACKAGE



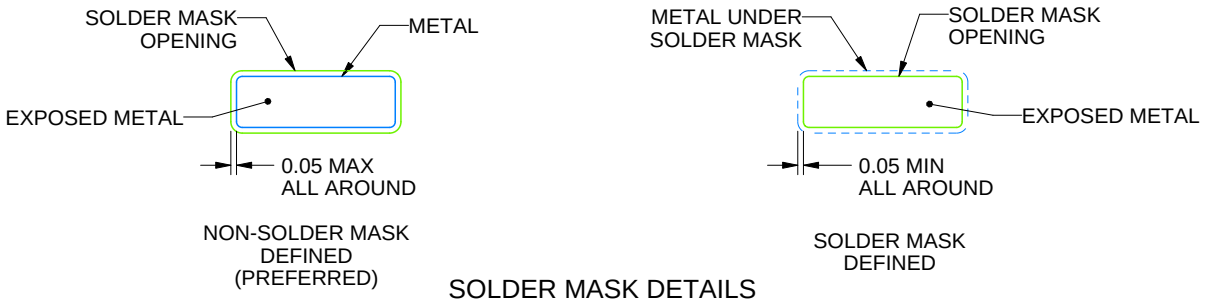
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

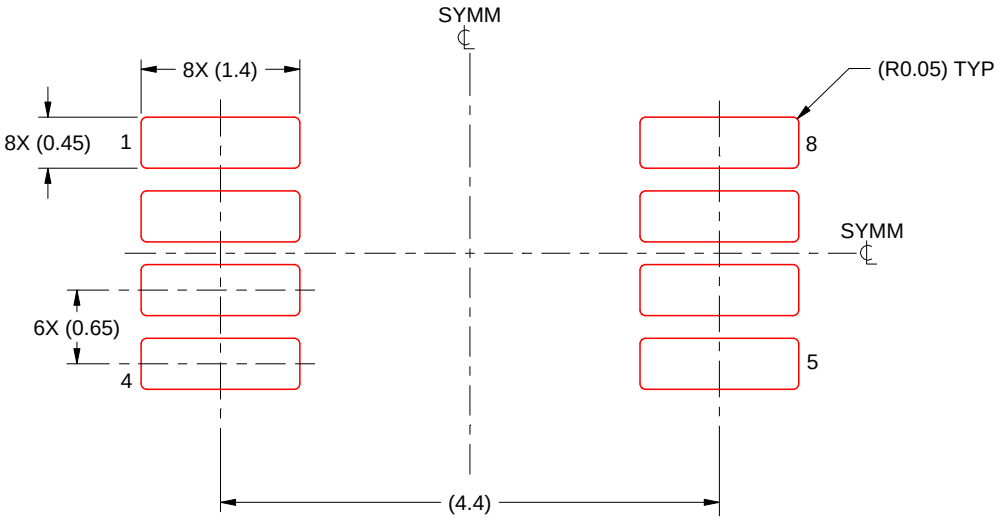


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

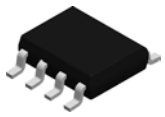


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

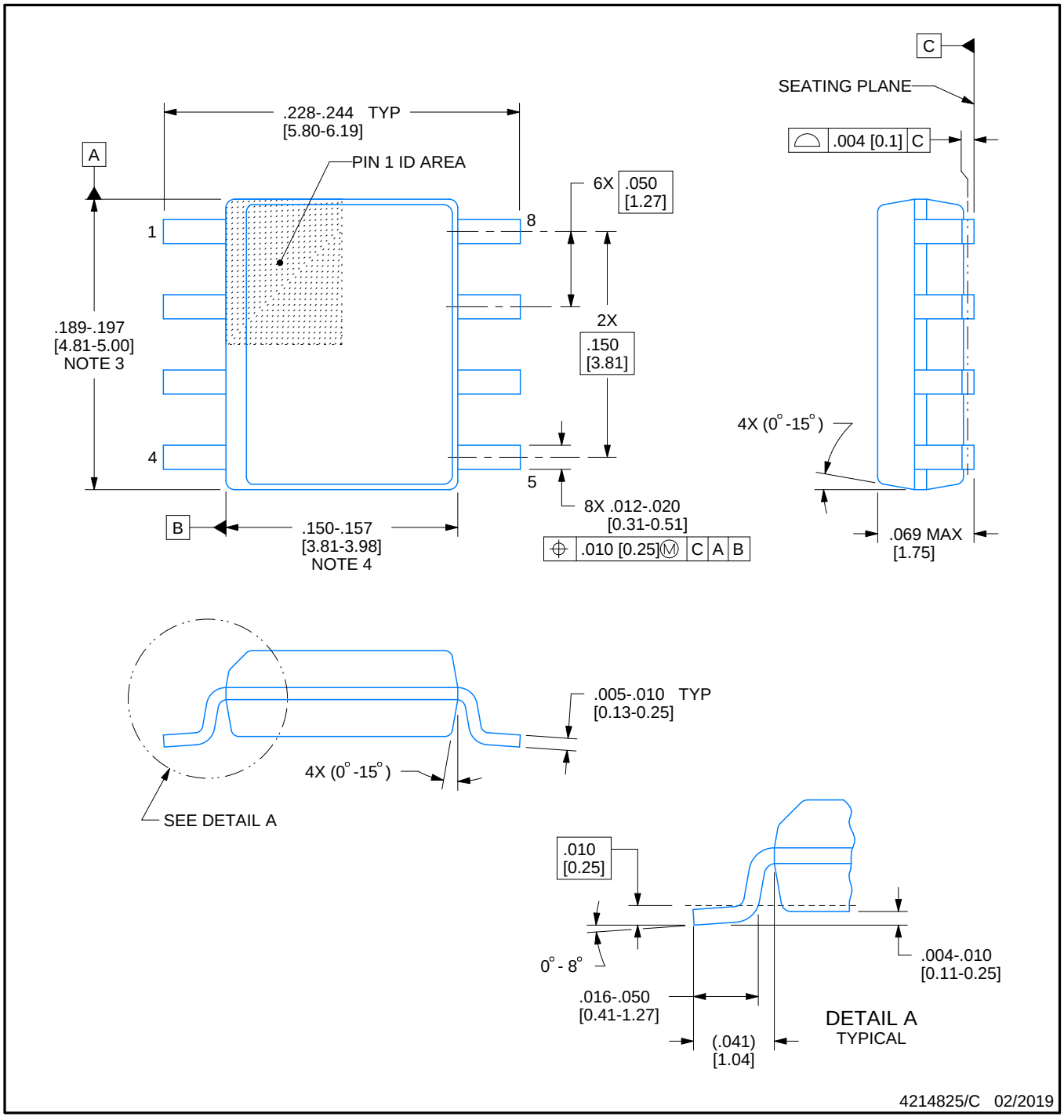


PACKAGE OUTLINE

D0008A

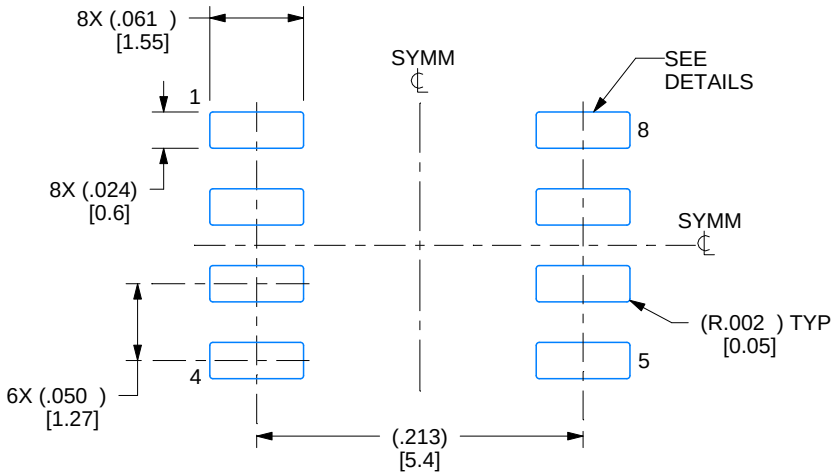
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

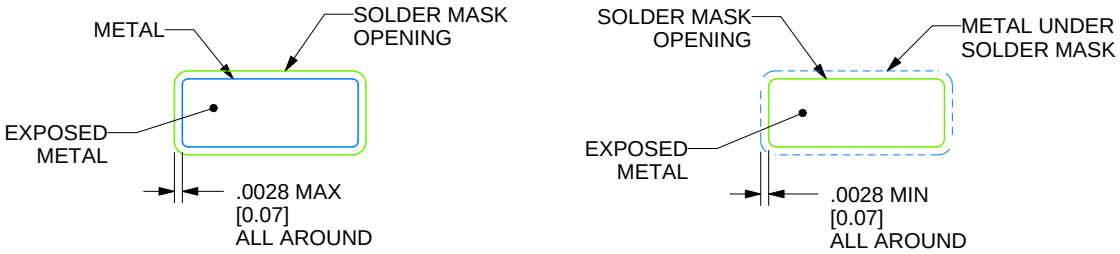


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

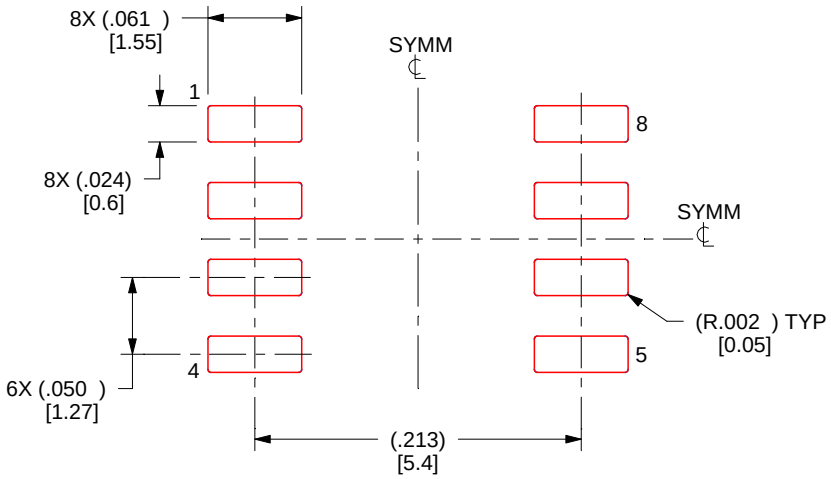
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月