AWR2943/AWR2944 单芯片 76GHz 至 81GHz FMCW 雷达传感器

1 特性

- FMCW 收发器
  - 集成 PLL、发送器、接收器、基带和 ADC
  - 76GHz 至 81GHz 的覆盖范围，具有超过 4GHz 的连续带宽
  - PCB 到天线接口有 4 个接收通道和 3 – 4 个发送通道（AWR2943 具有 3 个通道，AWR2944 具有 4 个通道）
  - 每发送通道一个移相器
  - 基于分数 N PLL 的超精确线性调频脉冲引擎
  - TX 功率
    - 13.5dBm
  - RX 噪声系数
    - 12dBm
  - 1MHz 时的相位噪声
    - -96dBc/Hz（76GHz 至 77GHz）
    - -95dBc/Hz（76GHz 至 81GHz）
- 内置校准和自检
  - 内置固件 (ROM)
  - 针对工艺和温度进行自校准的系统
- 处理元件
  - Arm® Cortex-R5F® 内核（支持锁步操作）@300MHz
  - TI 数字信号处理器 C66x @360MHz (AWR2944/AWR2943)
  - 用于 FFT、对数幅度、存储器压缩等运算的 TI 雷达硬件加速器 (HWA2.1)。
  - 用于数据移动的多个 EDMA 实例
- 主机接口
  - 2 个 CAN-FD
  - 10/100Mbps RGMII/RMII/MII 以太网 (AWR2944/AWR2943)
- 支持串行闪存接口（从 QSPI 闪存加载用户应用）
- 为用户应用提供的其他接口
  - 多达 9 个 ADC 通道
  - 2 个 SPI
  - 4 个 UART
  - I^2C
  - GPIO
  - 3 个 EPWM
  - 用于原始 ADC 数据和调试仪表的四通道 Aurora LVDS 接口 (AWR2944/AWR2943)
  - CSI2 Rx 接口可回放捕获的数据 (AWR2944/AWR2943)
- 片上 RAM
  - 3.5MB 至 4MB（AWR2944LC 具有 3MB，AWR2943 具有 3.5MB，而 AWR2944 具有 4MB）
  - 存储器空间在 DSP、MCU 和共享 L3 之间分配
- 器件安全（*在部分器件型号上*）
  - 可编程的嵌入式硬件安全模块 (HSM)
  - 支持经过身份验证和加密的安全引导
  - 客户可编程根密钥、对称密钥（256 位）、具有密钥撤销功能的非对称密钥（最高 RSA-4K 或 ECC-512）
  - 加密硬件加速器：带 ECC 的 PKA、AES（最高 256 位）、SHA（最高 512 位）、TRNG/DRGB
- 以功能安全合规型为目标
  - 专为功能安全应用开发
  - 将提供相关文档来协助进行符合 ISO 26262 标准的功能安全系统设计
  - 以硬件完整性高达 ASIL B 级为目标
- 符合 AEC-Q100 标准
- 高级特性
  - 嵌入式自监控，无需使用外部处理器
  - 嵌入式干扰检测功能
- 电源管理
  - 内置 LDO 网络，可增强 PSRR
  - LVCMOS IO 支持 3.3V 和 1.8V 双电压
- 时钟源
  - 具有内部振荡器的 40MHz 晶体
  - 支持频率为 40MHz 的外部振荡器
  - 支持外部驱动、频率为 40MHz 的时钟（方波/正弦波）
- 有效的电源管理
  - 使用建议的 LP87745-Q1 电源管理 IC (PMIC)
    - 专为满足器件电源要求而设计的配套 PMIC
    - 灵活的映射和出厂编程配置，支持多种不同的用例
- 成本更低的硬件设计
  - 0.65mm 间距、12mm × 12mm 覆晶 BGA 封装，可实现轻松组装和低成本 PCB 设计
  - 小解决方案尺寸
- 支持汽车运行温度范围
  - 工作结温范围：–40°C 至 140°C

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

2 应用

- 车道变换辅助
- 盲点检测
- 自动紧急刹车
- 自适应巡航控制
- 侧向来车警示

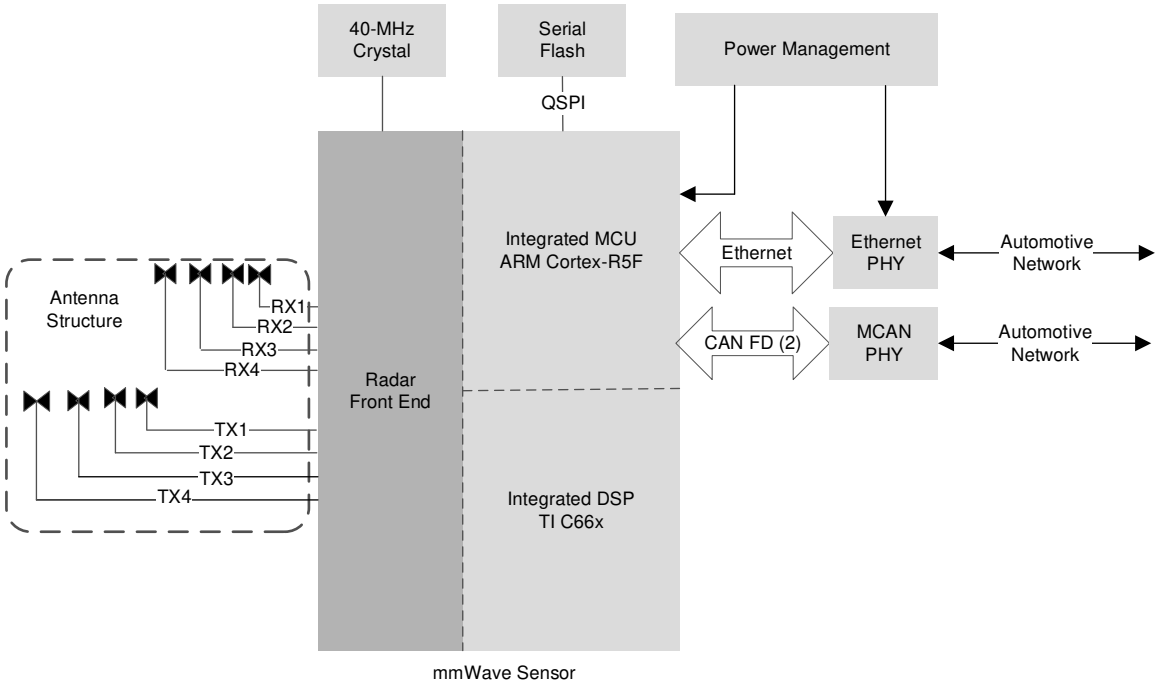


图 2-1. 适用于汽车应用的自主雷达传感器

3 说明

AWR294x 是一款单芯片毫米波传感器，由能够在 76GHz 至 81GHz 频段内工作的 FMCW 收发器、雷达数据处理元件和车载网络外围器件构成。AWR294x 采用 TI 的低功耗 45nm RFCMOS 工艺制造，能够在小型封装中以超低 BOM 数量实现出色的集成度。AWR294x 器件设计用于汽车领域中的低功耗、自监控、超精确雷达系统。

TI 的低功耗 45nm RFCMOS 工艺可实现具有集成 PLL、VCO、混频器和基带 ADC 的单片实施 3-4 TX、4 RX 系统。DSP 子系统 (DSS) 中集成了 TI 的高性能 C66x DSP，可用于处理雷达信号。该器件包含一个无线电处理器子系统 (RSS)，该子系统负责雷达前端配置、控制和校准。在主要子系统 (MSS) 中，该器件实现了一个用户可编程的 Arm Cortex-R5F 处理器，允许自定义控制和汽车接口应用。硬件加速器块 (HWA 2.1) 通过卸载通用雷达处理（例如 FFT、恒定误报率 (CFAR)、扩展和压缩）来对 DSS 和 MSS 进行补充。这会节省 DSS 和 MSS 上的 MIPS，为自定义应用和更高级别的算法腾出了资源。

器件中还提供了硬件安全模块 (HSM)（仅适用于安全器件型号）。HSM 由可编程 Arm Cortex-M4 内核和必要的基础设施组成，用于在器件内提供安全的操作区域。

简单编程模型更改可支持各种传感器实施（近距离、中距离和远距离），并且能够进行动态重新配置，从而实现多模式传感器。

此外，AWR294x 作为完整的平台解决方案进行提供，其中包括 TI 硬件和软件参考设计、软件驱动程序、示例配置、API 指南以及用户文档。

Copyright © 2026 Texas Instruments Incorporated

器件信息

器件型号	封装(1)	本体尺寸（标称值）	器件型号
AWR2943ABGALTQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2943
AWR2943ABGALTRQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2943
AWR2943ABSALTRQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2943
AWR2944ABGALTQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2944
AWR2944ABGALTRQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2944
AWR2944ABSALTQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2944
AWR2944ABSALTRQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2944
AWR2944ALBGALTRQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2944LC
AWR2944ALBSALTRQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2944LC
AWR2944ALBGALTQ1	ALT（FCBGA，266）	12mm × 12mm	AWR2944LC

(1) 有关更多信息，请参阅节 12 *机械、封装和可订购信息*。

Copyright © 2026 Texas Instruments Incorporated

3.1 功能方框图

图 3-1 展示了器件的功能方框图。

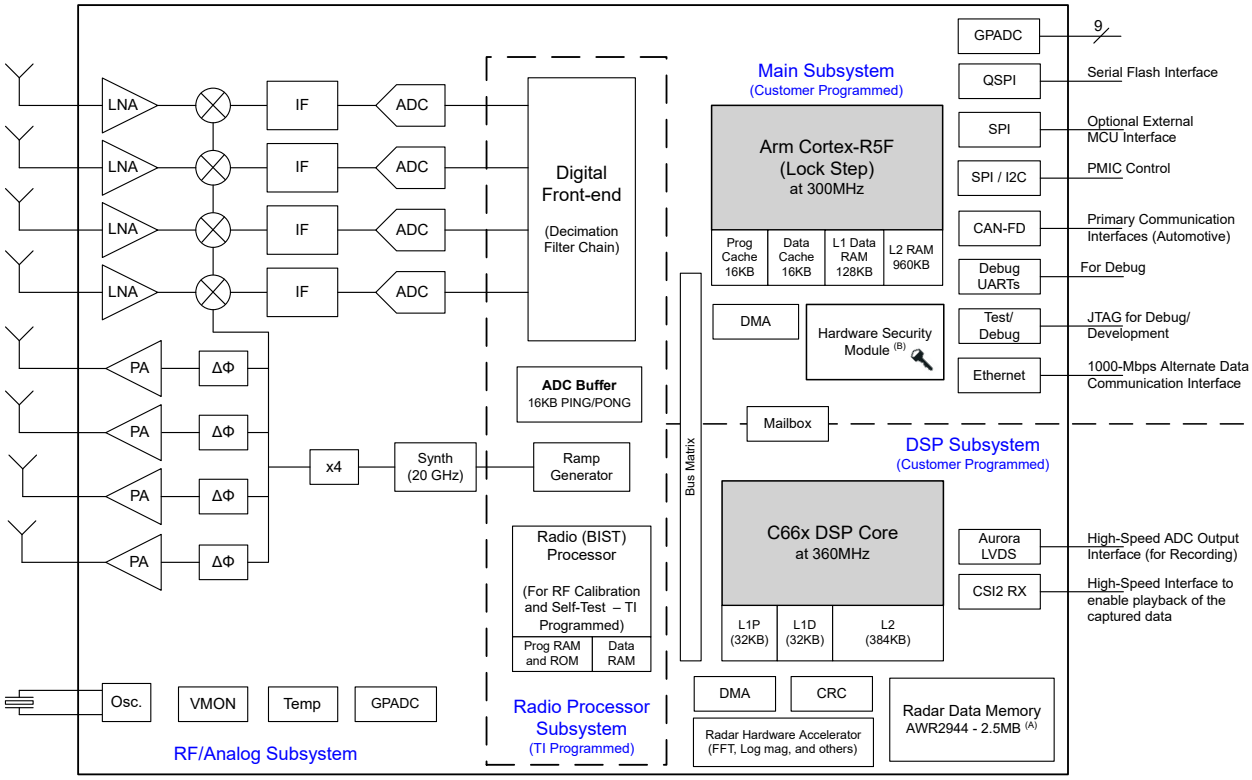


图 3-1. 功能方框图

可配置存储器可以根据应用使用案例需求从雷达数据存储器切换到主 Cortex-R5F 程序和数据 RAM。

B. 此特性仅在部分器件型号中可用，如节 3“器件信息”表中的“器件类型标识符”所示。

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性 1
2 应用 2
3 说明 2
3.1 功能方框图 4
4 器件比较 6
4.1 相关产品 7
5 引脚配置和功能 8
5.1 引脚图 8
5.2 引脚属性 13
5.3 信号说明 - 数字 25
5.4 信号说明 — 模拟 31
6 规格 33
6.1 绝对最大额定值 33
6.2 ESD 等级 33
6.3 上电小时数 (POH) 34
6.4 建议运行条件 34
6.5 一次性可编程 (OTP) 电子保险丝的 VPP 规格 35
6.6 电源规格 36
6.7 功耗摘要 37
6.8 射频规格 38
6.9 热阻特性 39
6.10 电源时序和复位时序 40
6.11 输入时钟和振荡器 41
6.12 外设信息 42
6.13 仿真和调试 64
7 详细说明 67
7.1 概述 67
7.2 功能方框图 67
7.3 子系统 68
7.4 其他子系统 72
8 监控和诊断 74
8.1 监测和诊断机制 74
9 应用、实施和布局 77
9.1 应用信息 77
9.2 短距离和中距离雷达 77
9.3 参考原理图 77
10 器件和文档支持 78
10.1 器件支持 78
10.2 器件命名规则 78
10.3 工具与软件 79
10.4 文档支持 79
10.5 支持资源 79
10.6 商标 79
10.7 接收文档更新通知 79
10.8 静电放电警告 79
10.9 术语表 80
11 修订历史记录 81
12 机械、封装和可订购信息 82

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

表 4-1. 器件特性比较

功能		AWR2943	AWR2944	AWR2944LC	AWR2243	AWR1843
接收器数量		4	4	4	4	4
发送器数量		3	4	4	3(1)	3(1)
片上存储器		3.5MB	4MB	3MB	—	2MB
最大 I/F (中频) (MHz)		15	15	15	20	10
最大实数/复数 2x 采样率 (Msps)		37.5 (2)	37.5 (2)	37.5 (2)	45	25
最大复数 1x 采样率 (Msps)		—(2)	—(2)	—(2)	22.5	12.5
安全与安防 (3)						
器件安全性(4)		是	是	是	—	是
符合 AEC-Q100 标准		是	是	是	是	是
处理器						
MCU (RxF)		是(5)	是(5)	是(5)	—	是
DSP (C6xx)		是(6)	是(6)	—	—	是
硬件加速器		是(7)	是(7)	是(7)	—	是
硬件安全模块 (HSM) (8)		是	是	是	—	—
安全加速器 (8)		是	是	是	—	是
外设						
串行外设接口 (SPI) 端口		2	2	2	1	2
四线串行外设接口 (QSPI)		是	是	是	—	是
LVDS/调试		是	是	是	是	是
Aurora LVDS		是	是	—	—	—
以太网接口		是	是	—	—	—
内部集成电路 (I^2C) 接口		1	1	1	1	1
控制器局域网 (DCAN) 接口		—	—	—	—	是
CAN FD		2	2	2	—	1
布线		是	是	是	—	是
ePWM		是	是	是	—	是
DMM 接口		是	是	是	—	是
GPADC		是(9)	是(9)	是(9)	是	是
CSI2 TX		—	—	—	是	—
CSI2 RX (10)		是	是	—	—	—
级联 (20GHz 同步)		—	—	—	是	—
JTAG		是	是	是	—	是
每个线性调频脉冲可配置 Tx 移相器		是	是	是	是	是
产品状态(11)	产品预发布 (PP)、预告信息 (AI) 或量产数据 (PD)	PD	PD	PD	PD	PD

(1) 仅在 1V LDO 旁路和 PA LDO 禁用模式下，在 AWR1843 和 AWR2243 中支持 3 Tx 同时操作。在这种模式下，需要将 1V 电源连接到 VOUT PA 引脚。更多信息，请参阅各自的数据表。
(2) AWR294x 支持仅实数接收器。
(3) AWR294x 器件专为功能安全应用而开发，旨在支持高达 ASIL-B 的硬件完整性。有关其他器件，请参阅相应的数据表。
(4) 器件安全特性 (包括安全启动和客户可编程密钥) 适用于如节 3 的“器件信息”表中的器件类型标识符所示的部分器件型号变体。
(5) 在 AWR294x 中，主子系统处理内核从 AWR1843 中的 ARM CR4F 更改为 ARM CR5F。
(6) AWR294x 中的 DSP 处理内核从 AWR1843 中的 C67x 升级到 C66x。
(7) 与 AWR1843 相比，AWR294x 中的硬件加速器已升级到 HWA2.1，并具有额外的特性。AWR2944LC 在 HWA 中配备 M4 内核

Copyright © 2026 Texas Instruments Incorporated

(8) 仅适用于 AWR294x 安全器件型号
(9) AWR294x 具有一个用于外部电压监控的专用 GPADC。
(10) AWR294x 支持基于 CSI2 Rx 的回放功能。
(11) 产品数据信息为发布时的信息。产品符合按照德州仪器 (TI) 标准保修证书条款所制定的规范。生产流程不一定包含对所有参数的测试。“预告信息”涉及开发的抽样或预量产阶段的新产品。特性数据和其它性能会在未提前通知的情况下发生改变。

4.1 相关产品

有关该系列产品或相关产品中的其他器件的信息，请参阅以下链接。

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

5.1 引脚图

图 5-1 显示了 12mm x 12mm FCBGA 封装的引脚位置。图 5-2、图 5-3、图 5-4 和图 5-5 显示了相同的引脚，但分为四个象限。

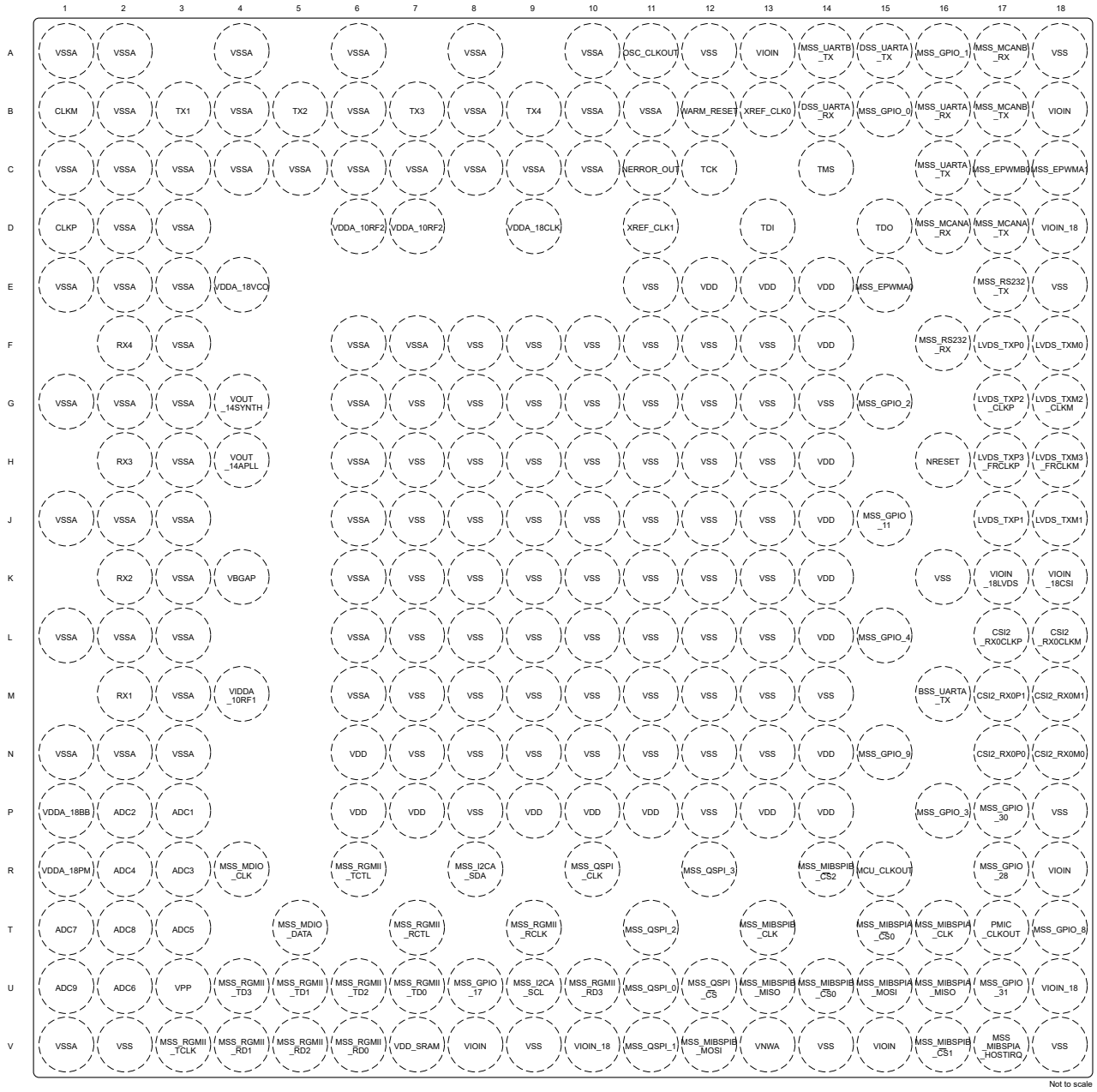


图 5-1. 引脚图

Copyright © 2026 Texas Instruments Incorporated

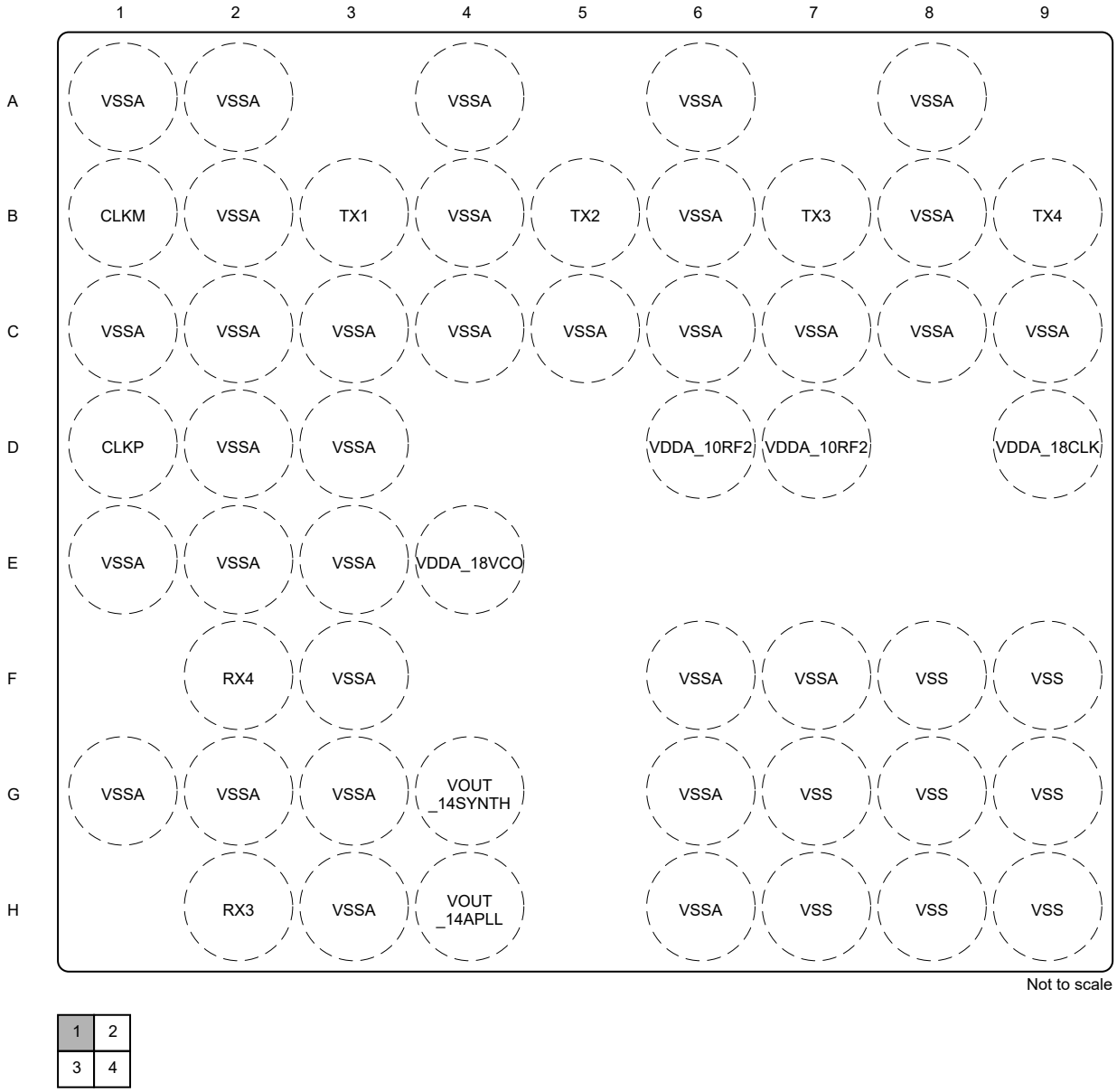

1 2 3 4 5 6 7 8 9
A VSSA VSSA VSSA VSSA VSSA
B CLKM VSSA TX1 VSSA TX2 VSSA TX3 VSSA TX4
C VSSA VSSA VSSA VSSA VSSA VSSA VSSA VSSA VSSA
D CLKP VSSA VSSA VDDA_10RF2 VDDA_10RF2 VDDA_18CLK
E VSSA VSSA VSSA VDDA_18VCO
F RX4 VSSA VSSA VSSA VSS VSS
G VSSA VSSA VSSA VOUT _14SYNTH VSSA VSS VSS VSS
H RX3 VSSA VOUT _14APLL VSSA VSS VSS VSS
Not to scale
1 2
3 4

图 5-2. 左上象限

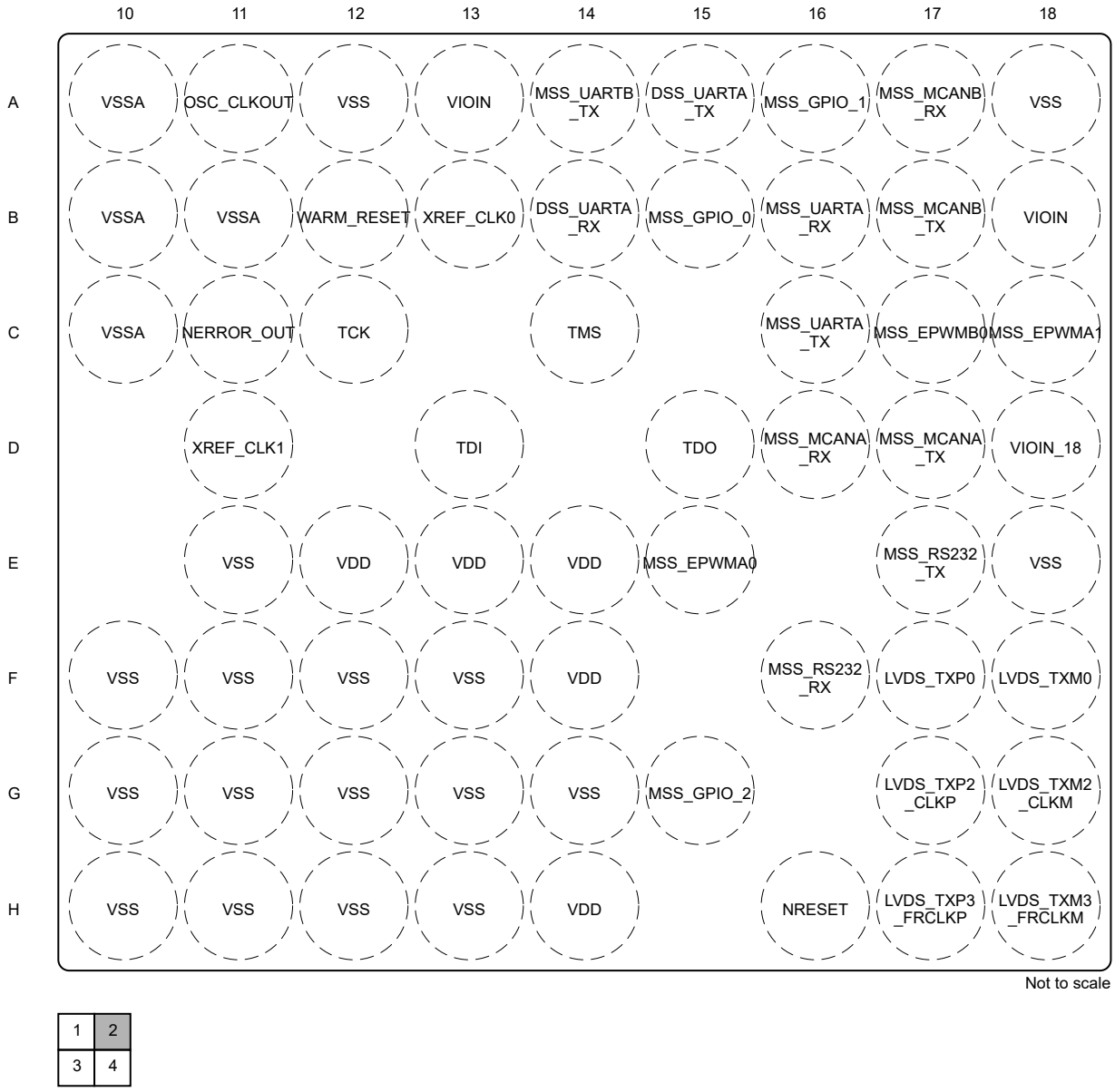


图 5-3. 右上象限

Copyright © 2026 Texas Instruments Incorporated

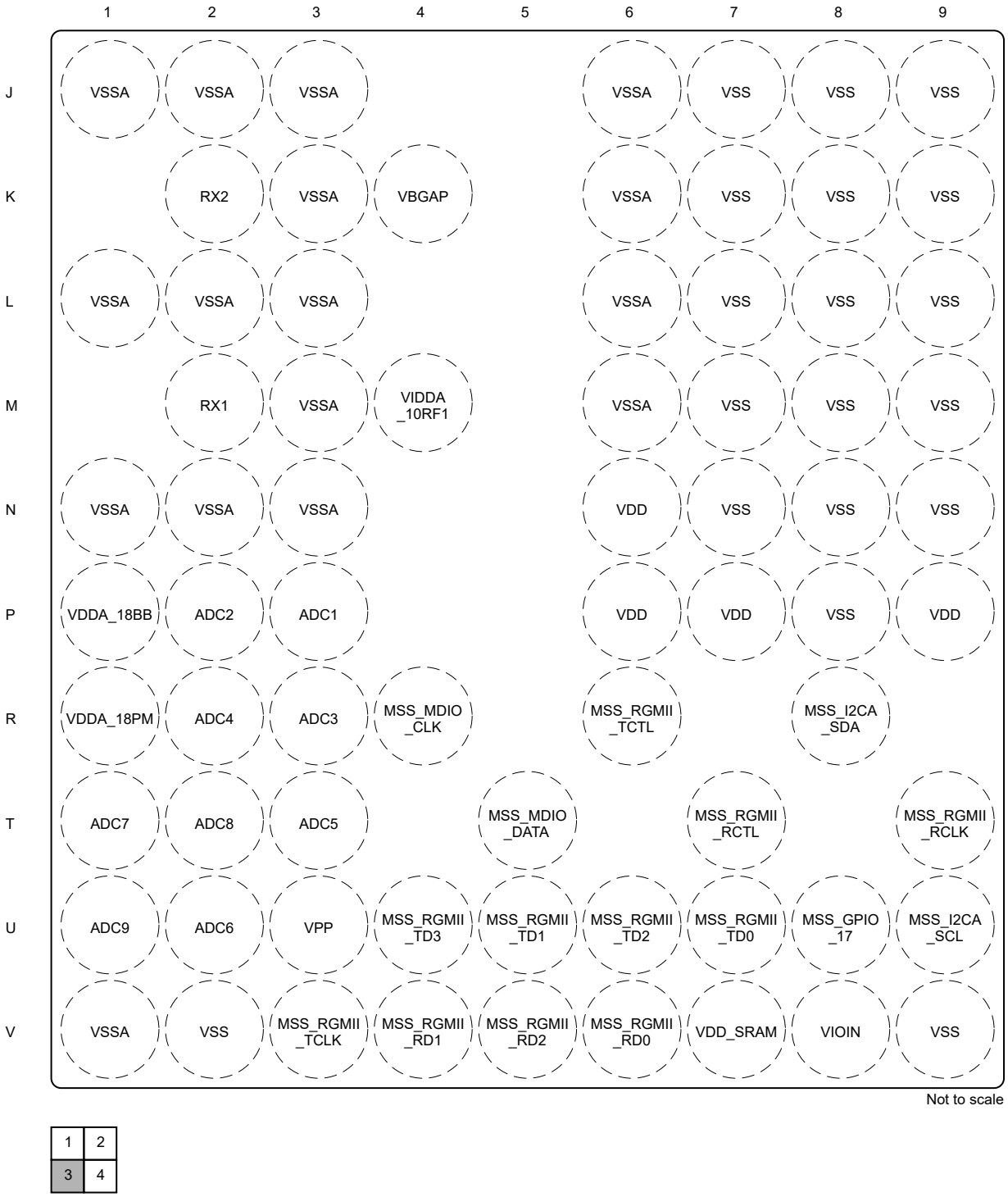

1 2 3 4 5 6 7 8 9
J VSSA VSSA VSSA VSSA VSS VSS VSS
K RX2 VSSA VBGAP VSSA VSS VSS VSS
L VSSA VSSA VSSA VSSA VSS VSS VSS
M RX1 VSSA VIDDA _10RF1 VSSA VSS VSS VSS
N VSSA VSSA VSSA VDD VSS VSS VSS
P VDDA_18BB ADC2 ADC1 VDD VDD VSS VDD
R VDDA_18PM ADC4 ADC3 MSS_MDIO _CLK MSS_RGMII _TCTL MSS_I2CA _SDA
T ADC7 ADC8 ADC5 MSS_MDIO _DATA MSS_RGMII _RCTL MSS_RGMII _RCLK
U ADC9 ADC6 VPP MSS_RGMII _TD3 MSS_RGMII _TD1 MSS_RGMII _TD2 MSS_RGMII _TD0 MSS_GPIO _17 MSS_I2CA _SCL
V VSSA VSS MSS_RGMII _TCLK MSS_RGMII _RD1 MSS_RGMII _RD2 MSS_RGMII _RD0 VDD_SRAM VIOIN VSS
Not to scale
1 2
3 4

图 5-4. 左下象限



图 5-5. 右下象限

Copyright © 2026 Texas Instruments Incorporated

5.2 引脚属性

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
V16	PAD_AA	MSS_MIBSPIB_CS1	MSS_GPIO_12	0	IO	输出已禁用	下拉
			MSS_MIBSPIA_HOSTIRQ	1	O		
			ADC_VALID	2	O		
			MSS_MIBSPIB_CS1	6	IO		
B15	PAD_AB	MSS_GPIO_0	MSS_GPIO_13	0	IO	输出已禁用	下拉
			MSS_GPIO_0	1	IO		
			PMIC_CLKOUT	2	O		
			MSS_EPWM_TZ2	3	I		
			MSS_EPWMA1	10	O		
			MSS_EPWMB0	11	O		
A16	PAD_AC	MSS_GPIO_1	MSS_GPIO_16	0	IO	输出已禁用	下拉
			MSS_GPIO_1	1	IO		
			SYNC_OUT	2	O		
			MSS_EPWM_TZ1	3	I		
			BSS_UARTA_TX	7	O		
			READY_INT	8	O		
			LVDS_VALID	9	O		
			DMM_MUX_IN	12	I		
			MSS_MIBSPIB_CS1	13	IO		
			MSS_MIBSPIB_CS2	14	IO		
			MSS_EPWMA_SYNCI	15	I		
V12	PAD_AH	MSS_MIBSPIB_MOSI	MSS_GPIO_21	0	IO	输出已禁用	上拉
			MSS_MIBSPIB_MOSI	1	IO		
			MSS_I2CA_SDA	2	IO		
			MSS_EPWMA0	3	O		
			MSS_MCANB_RX	7	I		
U13	PAD_AI	MSS_MIBSPIB_MISO	MSS_GPIO_22	0	IO	输出已禁用	上拉
			MSS_MIBSPIB_MISO	1	IO		
			MSS_I2CA_SCL	2	IO		
			MSS_EPWMB0	3	O		
			DSS_UARTA_TX	6	IO		
			MSS_MCANB_TX	7	O		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
T13	PAD_AJ	MSS_MIBSPIB_CLK	MSS_GPIO_5	0	IO	输出已禁用	上拉
			MSS_MIBSPIB_CLK	1	IO		
			MSS_UARTA_RX	2	IO		
			MSS_EPWMC0	3	O		
			MSS_UARTB_TX	6	IO		
			BSS_UARTA_TX	7	O		
			MSS_MCANA_RX	8	I		
U14	PAD_AK	MSS_MIBSPIB_$\overline{CS}$0	MSS_GPIO_4	0	IO	输出已禁用	上拉
			MSS_MIBSPIB_$\overline{CS}$0	1	IO		
			MSS_UARTA_TX	2	IO		
			MSS_UARTB_TX	6	IO		
			BSS_UARTA_TX	7	O		
			MSS_MCANA_TX	9	O		
U11	PAD_AL	MSS_QSPI_0	MSS_GPIO_8	0	IO	输出已禁用	下拉
			MSS_QSPI_0	1	IO		
			MSS_MIBSPIB_MISO	2	IO		
V11	PAD_AM	MSS_QSPI_1	MSS_GPIO_9	0	IO	输出已禁用	下拉
			MSS_QSPI_1	1	I		
			MSS_MIBSPIB_MOSI	2	IO		
			MSS_MIBSPIB_$\overline{CS}$2	8	IO		
T11	PAD_AN	MSS_QSPI_2	MSS_GPIO_10	0	IO	输出已禁用	上拉
			MSS_QSPI_2	1	I		
			ADC_VALID	2	O		
			MSS_MCANA_TX	8	O		
R12	PAD_AO	MSS_QSPI_3	MSS_GPIO_11	0	IO	输出已禁用	上拉
			MSS_QSPI_3	1	I		
			ADC_VALID	2	O		
			MSS_MCANA_RX	8	I		
R10	PAD_AP	MSS_QSPI_CLK	MSS_GPIO_7	0	IO	输出已禁用	下拉
			MSS_QSPI_CLK	1	IO		
			MSS_MIBSPIB_CLK	2	IO		
			DSS_UARTA_TX	6	IO		
U12	PAD_AQ	MSS_QSPI_$\overline{CS}$	MSS_GPIO_6	0	IO	输出已禁用	上拉
			MSS_QSPI_$\overline{CS}$	1	O		
			MSS_MIBSPIB_$\overline{CS}$0	2	IO		
B12	PAD_AS	WARM_RESET	WARM_RESET	0	IO	高阻态输入（漏极开路）	
C11	PAD_AT	NERROR_OUT	NERROR_OUT	0	O	高阻态（漏极开路）	

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
C12	PAD_AU	TCK	MSS_GPIO_17	0	IO	输出已禁用	下拉
			TCK	1	I		
			MSS_UARTB_TX	2	IO		
			BSS_UARTA_RX	6	I		
			MSS_MCANA_TX	8	O		
C14	PAD_AV	TMS	MSS_GPIO_18	0	IO	输出已禁用	上拉
			TMS	1	IO		
			BSS_UARTA_TX	2	O		
			MSS_MCANA_RX	6	I		
D13	PAD_AW	TDI	MSS_GPIO_23	0	IO	输出已禁用	上拉
			TDI	1	I		
			MSS_UARTA_RX	2	IO		
			DSS_UARTA_RX	7	IO		
D15	PAD_AX	TDO	SOP[0]	上电期间	I	输出启用	
			MSS_GPIO_24	0	IO		
			TDO	1	O		
			MSS_UARTA_TX	2	IO		
			MSS_UARTB_TX	6	IO		
			BSS_UARTA_TX	7	O		
			NDMM_EN	9	O		
R15	PAD_AY	MCU_CLKOUT	MSS_GPIO_25	0	IO	输出已禁用	下拉
			MCU_CLKOUT	1	O		
			TRACE_CLK	2	O		
			FRAME_START	7	O		
			READY_INT	8	O		
			LVDS_VALID	9	O		
			BSS_UARTA_RX	10	I		
			MSS_EPWMA0	12	O		
			DMM_CLK	14	I		
			OBS_CLKOUT	15	O		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
G15	PAD_AZ	MSS_GPIO_2	MSS_GPIO_26	0	IO	输出已禁用	下拉
			MSS_GPIO_2	1	IO		
			MSS_UARTB_TX	7	IO		
			MSS_GPIO_2	1	IO		
			SYNC_OUT	9	O		
			PMIC_CLKOUT	10	O		
			CHIRP_START	11	O		
			CHIRP_END	12	O		
			FRAME_START	13	O		
			MSS_EPWM_TZ0	14	I		
			LVDS_VALID	15	O		
T17	PAD_BA	PMIC_CLKOUT	SOP[2]	上电期间	I	输出已禁用	无上拉/下拉电阻
			MSS_GPIO_27	0	IO		
			PMIC_CLKOUT	1	O		
			OBS_CLKOUT	2	O		
			TRACE_CTL	3	O		
			CHIRP_START	6	O		
			CHIRP_END	7	O		
			FRAME_START	8	O		
			READY_INT	9	O		
			LVDS_VALID	10	O		
			MSS_EPWMA1	11	O		
			MSS_EPWMB0	12	O		
			DMM_SYNC	13	I		
R17	PAD_BB	MSS_GPIO_28	MSS_GPIO_28	0	IO	输出已禁用	下拉
			SYNC_IN	1	I		
			ADC_VALID	2	O		
			MSS_UARTB_RX	6	IO		
			DMM_MUX_IN	7	I		
			DSS_UARTA_RX	8	IO		
			SYNC_OUT	9	O		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
R14	PAD_BC	MSS_MIBSPIB_CS2	SOP[1]	上电期间	I	输出已禁用	
			MSS_GPIO_29	0	IO		
			SYNC_OUT	1	O		
			RCOSC_CLK	2	O		
			READY_INT	6	O		
			LVDS_VALID	7	O		
			DMM_MUX_IN	9	I		
			MSS_MIBSPIB_CS1	10	IO		
			MSS_MIBSPIB_CS2	11	IO		
			MSS_EPWMB0	12	O		
			MSS_EPWMB1	13	O		
F16	PAD_BD	MSS_RS232_RX	MSS_GPIO_15	0	IO	输出已禁用	上拉
			MSS_RS232_RX	1	IO		
			MSS_UARTA_RX	2	IO		
			TRACE_CLK	3	O		
			BSS_UARTA_TX	6	O		
			MSS_UARTB_RX	7	IO		
			MSS_MCANA_RX	8	I		
			MSS_I2CA_SCL	9	IO		
			MSS_EPWMB0	10	O		
			MSS_EPWMB1	11	O		
			MSS_EPWMC0	12	O		
E17	PAD_BE	MSS_RS232_TX	MSS_GPIO_14	0	IO	输出启用	上拉
			MSS_RS232_TX	1	IO		
			TRACE_CTL	2	O		
			MSS_UARTA_TX	5	IO		
			MSS_UARTB_TX	6	IO		
			BSS_UARTA_TX	7	O		
			READY_INT	8	O		
			LVDS_VALID	9	O		
			MSS_MCANA_TX	10	O		
			MSS_I2CA_SDA	11	IO		
			MSS_EPWMA0	12	O		
			MSS_EPWMA1	13	O		
			NDMM_EN	14	O		
			MSS_EPWMB0	15	O		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
U17	PAD_BF	MSS_GPIO_31	TRACE_DATA_0	0	O	输出已禁用	下拉
			MSS_GPIO_31	1	IO		
			DMM0	2	I		
			MSS_UARTA_TX	4	IO		
			MSS_I2CA_SDA	10	IO		
P17	PAD_BG	MSS_GPIO_30	TRACE_DATA_1	0	O	输出已禁用	下拉
			MSS_GPIO_30	1	IO		
			DMM1	2	I		
			MSS_EPWMC_SYNCI	3	I		
			MSS_UARTA_RX	4	IO		
			MSS_GPIO_0	6	IO		
			MSS_I2CA_SCL	10	IO		
T18	PAD_BH	MSS_GPIO_8	TRACE_DATA_2	0	O	输出已禁用	下拉
			MSS_GPIO_29	1	IO		
			DMM2	2	I		
			MSS_EPWMB_SYNCI	3	I		
			MSS_GPIO_1	6	IO		
			MSS_GPIO_8	7	IO		
N15	PAD_BI	MSS_GPIO_9	TRACE_DATA_3	0	O	输出已禁用	下拉
			MSS_GPIO_28	1	IO		
			DMM3	2	I		
			MSS_EPWMC_SYNCO	4	O		
			MSS_GPIO_2	6	IO		
			MSS_GPIO_9	7	IO		
P16	PAD_BJ	MSS_GPIO_3	TRACE_DATA_4	0	O	输出已禁用	下拉
			MSS_GPIO_3	1	IO		
			DMM4	2	I		
			MSS_EPWMB_SYNCO	4	O		
			MSS_GPIO_27	6	IO		
L15	PAD_BK	MSS_GPIO_4	TRACE_DATA_5	0	O	输出已禁用	下拉
			MSS_GPIO_4	1	IO		
			DMM5	2	I		
			MSS_EPWM_TZ2	4	I		
			MSS_UARTB_TX	5	IO		
			MSS_GPIO_26	6	IO		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
M16	PAD_BL	BSS_UARTA_TX	TRACE_DATA_6	0	O	输出已禁用	下拉
			MSS_GPIO_5	1	IO		
			DMM6	2	I		
			MSS_EPWM_TZ1	4	I		
			BSS_UARTA_TX	5	O		
			MSS_GPIO_25	6	IO		
			MSS_GPIO_10	7	IO		
J15	PAD_BM	MSS_GPIO_11	TRACE_DATA_7	0	O	输出已禁用	下拉
			MSS_GPIO_6	1	IO		
			DMM7	2	I		
			MSS_EPWM_TZ0	4	I		
			DSS_UARTA_TX	5	IO		
			MSS_GPIO_24	6	IO		
			MSS_GPIO_11	7	IO		
D17	PAD_BN	MSS_MCANA_TX	TRACE_DATA_8	0	O	输出已禁用	下拉
			MSS_GPIO_7	1	IO		
			DMM8	2	I		
			MSS_MCANA_TX	4	O		
			MSS_EPWMA_SYNCI	5	I		
			MSS_GPIO_23	6	IO		
D16	PAD_BO	MSS_MCANA_RX	TRACE_DATA_9	0	O	输出已禁用	下拉
			MSS_GPIO_8	1	IO		
			DMM9	2	I		
			MSS_MCANA_RX	4	I		
			MSS_EPWMA_SYNCO	5	O		
			MSS_GPIO_22	6	IO		
E15	PAD_BP	MSS_EPWMA0	TRACE_DATA_10	0	O	输出已禁用	下拉
			MSS_GPIO_9	1	IO		
			DMM10	2	I		
			MSS_EPWMA0	3	O		
			MSS_EPWMC0	4	O		
			MSS_GPIO_21	6	IO		
C18	PAD_BQ	MSS_EPWMA1	TRACE_DATA_11	0	O	输出已禁用	下拉
			MSS_GPIO_10	1	IO		
			DMM11	2	I		
			MSS_EPWMA1	3	O		
			MSS_EPWMC1	4	O		
			MSS_GPIO_20	6	IO		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
B17	PAD_BR	MSS_MCANB_TX	TRACE_DATA_12	0	O	输出已禁用	下拉
			MSS_GPIO_11	1	IO		
			DMM12	2	I		
			MSS_EPWMB0	3	O		
			MSS_EPWMA0	4	O		
			MSS_MCANB_TX	5	O		
			MSS_GPIO_19	6	IO		
A17	PAD_BS	MSS_MCANB_RX	TRACE_DATA_13	0	O	输出已禁用	下拉
			MSS_GPIO_12	1	IO		
			DMM13	2	I		
			MSS_EPWMB1	3	O		
			MSS_EPWMA1	4	O		
			MSS_MCANB_RX	5	I		
			MSS_GPIO_18	6	IO		
C17	PAD_BT	MSS_EPWMB0	TRACE_DATA_14	0	O	输出已禁用	下拉
			MSS_GPIO_13	1	IO		
			DMM14	2	I		
			MSS_EPWMC0	3	O		
			MSS_EPWMB0	4	O		
			MSS_GPIO_17	6	IO		
U8	PAD_BX	MSS_GPIO_17	MSS_GPIO_17	0	IO	输出已禁用	下拉
			MSS_MII_COL	1	I		
			MSS_RMII_REFCLK	2	IO		
			MSS_EPWMA1	6	O		
R8	PAD_BY	MSS_I2CA_SDA	MSS_GPIO_18	0	IO	输出已禁用	高阻态（漏极开路）
			MSS_MII_CRS	1	I		
			MSS_RMII_CRS_DV	2	I		
			MSS_I2CA_SDA	3	IO		
			MSS_EPWMB1	6	O		
U9	PAD_BZ	MSS_I2CA_SCL	MSS_GPIO_19	0	IO	输出已禁用	高阻态（漏极开路）
			MSS_MII_RXER	1	I		
			MSS_RMII_RXER	2	I		
			MSS_I2CA_SCL	3	IO		
			MSS_EPWMC1	6	O		
R6	PAD_CA	MSS_RGMII_TCTL	MSS_GPIO_20	0	IO	输出已禁用	下拉
			MSS_MII_TXEN	1	O		
			MSS_RMII_TXEN	2	O		
			MSS_RGMII_TCTL	3	O		
			MSS_EPWMA0	6	O		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
T7	PAD_CB	MSS_RGMII_RCTL	MSS_GPIO_21	0	IO	输出已禁用	
			MSS_MII_RXDV	1	I		
			MSS_RGMII_RCTL	3	I		
			MSS_RMII_CRS_DV	4	I		
			MSS_UARTB_RX	5	IO		
			MSS_EPWMB0	6	O		
U4	PAD_CC	MSS_RGMII_TD3	MSS_GPIO_22	0	IO	输出已禁用	下拉
			MSS_MII_TXD3	1	O		
			MSS_RGMII_TD3	3	O		
			MSS_UARTB_TX	5	IO		
			MSS_EPWMC0	6	O		
U6	PAD_CD	MSS_RGMII_TD2	MSS_GPIO_23	0	IO	输出已禁用	下拉
			MSS_MII_TXD2	1	O		
			MSS_RGMII_TD2	3	O		
U5	PAD_CE	MSS_RGMII_TD1	MSS_GPIO_24	0	IO	输出已禁用	下拉
			MSS_MII_TXD1	1	O		
			MSS_RMII_TXD1	2	O		
			MSS_RGMII_TD1	3	O		
U7	PAD_CF	MSS_RGMII_TD0	MSS_GPIO_25	0	IO	输出已禁用	下拉
			MSS_MII_TXD0	1	O		
			MSS_RMII_TXD0	2	O		
			MSS_RGMII_TD0	3	O		
V3	PAD_CG	MSS_RGMII_TCLK	MSS_GPIO_26	0	IO	输出已禁用	下拉
			MSS_MII_TXCLK	1	I		
			MSS_RGMII_TCLK	3	O		
T9	PAD_CH	MSS_RGMII_RCLK	MSS_GPIO_27	0	IO	输出已禁用	下拉
			MSS_MII_RXCLK	1	I		
			MSS_RGMII_RCLK	3	I		
			MSS_RMII_REFCLK	4	IO		
U10	PAD_CI	MSS_RGMII_RD3	MSS_GPIO_28	0	IO	输出已禁用	
			MSS_MII_RXD3	1	I		
			MSS_RGMII_RD3	3	I		
V5	PAD_CJ	MSS_RGMII_RD2	MSS_GPIO_29	0	IO	输出已禁用	
			MSS_MII_RXD2	1	I		
			MSS_RGMII_RD2	3	I		
V4	PAD_CK	MSS_RGMII_RD1	MSS_GPIO_30	0	IO	输出已禁用	
			MSS_MII_RXD1	1	I		
			MSS_RMII_RXD1	2	I		
			MSS_RGMII_RD1	3	I		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
V6	PAD_CL	MSS_RGMII_RD0	MSS_GPIO_31	0	IO	输出已禁用	
			MSS_MII_RXD0	1	I		
			MSS_RMII_RXD0	2	I		
			MSS_RGMII_RD0	3	I		
T5	PAD_CM	MSS_MDIO_DATA	MSS_GPIO_30	0	IO	输出已禁用	上拉
			MSS_MDIO_DATA	1	IO		
R4	PAD_CN	MSS_MDIO_CLK	MSS_GPIO_31	0	IO	输出已禁用	上拉
			MSS_MDIO_CLK	1	O		
U15	PAD_CO	MSS_MIBSPIA_MOSI	MSS_GPIO_0	0	IO	输出已禁用	上拉
			MSS_MIBSPIA_MOSI	5	IO		
U16	PAD_CP	MSS_MIBSPIA_MISO	MSS_GPIO_1	0	IO	输出已禁用	上拉
			MSS_MIBSPIA_MISO	5	IO		
T16	PAD_CQ	MSS_MIBSPIA_CLK	MSS_GPIO_2	0	IO	输出已禁用	上拉
			MSS_MIBSPIA_CLK	5	IO		
T15	PAD_CR	MSS_MIBSPIA_$\overline{CS}$0	MSS_GPIO_3	0	IO	输出已禁用	上拉
			MSS_MIBSPIA_$\overline{CS}$0	5	IO		
V17	PAD_$\overline{CS}$	MSS_MIBSPIA_HOSTIRQ	MSS_GPIO_4	0	IO	输出已禁用	下拉
			MSS_GPIO_2	2	IO		
			MSS_GPIO_8	3	IO		
			MSS_MIBSPIA_HOSTIRQ	5	O		
			MSS_MIBSPIB_$\overline{CS}$2	6	IO		
			MSS_GPIO_2	7	IO		
			MSS_GPIO_8	10	IO		
B16	PAD_DA	MSS_UARTA_RX	MSS_GPIO_12	0	IO	输出已禁用	上拉
			MSS_CPTS0_TS_SYNC	1	O		
			MSS_GPIO_8	3	IO		
			MSS_UARTB_TX	4	IO		
			MSS_UARTA_RX	5	IO		
			DSS_UARTA_TX	6	IO		
C16	PAD_DB	MSS_UARTA_TX	SOP[4]	上电期间	I	输出已禁用	
			MSS_GPIO_13	0	IO		
			MSS_CPTS0_HW2TSPUSH	1	I		
			MSS_GPIO_9	3	IO		
			MSS_UARTB_RX	4	IO		
			MSS_UARTA_TX	5	IO		
			DSS_UARTA_RX	6	IO		

Copyright © 2026 Texas Instruments Incorporated

焊球编号 (1)	焊盘名称 (9)	焊球名称 (2)	信号名称 (3)	模式 (4)、(8)	类型(5)	焊球复位状态 (6)	上拉/下拉类型 (7)
A15	PAD_DC	DSS_UARTA_TX	MSS_GPIO_14	0	IO	输出已禁用	上拉
			MSS_CPTS0_HW1TSPUSH	1	I		
			MSS_GPIO_10	3	IO		
			DSS_UARTA_TX	4	IO		
			MSS_UARTA_RX	6	IO		
B14	PAD_DD	DSS_UARTA_RX	MSS_GPIO_15	0	IO	输出已禁用	上拉
			DSS_UARTA_RX	1	IO		
			MSS_GPIO_11	3	IO		
			MSS_UARTA_TX	6	IO		
A14	PAD_DE	MSS_UARTB_TX	SOP[3]	上电期间	I	输出已禁用	
			MSS_GPIO_0	0	IO		
			DSS_UARTA_TX	1	IO		
			MSS_EPWMB_SYNCI	3	I		
			MSS_UARTA_TX	5	IO		
			MSS_UARTB_TX	6	IO		
			LVDS_VALID	8	O		
			MSS_GPIO_31	12	IO		
B13	PAD_DF	XREF_CLK0	MSS_GPIO_1	0	IO	输出已禁用	下拉
			XREF_CLK0	1	I		
			MSS_GPIO_8	3	IO		
			MCU_CLKOUT	6	O		
			MSS_GPIO_30	12	IO		
D11	PAD_DG	XREF_CLK1	MSS_GPIO_2	0	IO	输出已禁用	下拉
			XREF_CLK1	1	I		
			MSS_GPIO_9	3	IO		
			PMIC_CLKOUT	7	O		
			MSS_GPIO_29	12	IO		

(1) **焊球编号：**底面的焊球编号与底部的每个信号相关联。
(2) **焊球名称：**封装器件的机械名称（名称根据一个示例实施给出）。
(3) **信号名称：**每个焊球上复用信号的名称（另请注意，焊球的名称是复用模式 0 中的信号名称）。
(4) **模式：**多路复用模式编号：写入 PinMux Cntl 寄存器的值，用于为该焊球编号选择特定的信号名称。模式列具有位范围值。
(5) **类型：**信号类型和方向：
- I = 输入
- O = 输出
- IO = 输入或输出

(6) **焊球复位状态：**上电复位时端子的状态
(7) **上拉/下拉类型**：指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
- 上拉：内部上拉电阻
- 下拉：内部下拉电阻

Copyright © 2026 Texas Instruments Incorporated

- HiZ

(8) Pin Mux Control Value 映射到寄存器的低 4 位。
(9) 有些焊盘没有映射到专用 BGA 引脚。需要在应用中禁用这些未使用的焊盘。

Copyright © 2026 Texas Instruments Incorporated

5.3 信号说明 - 数字

备注

器件的所有数字 IO 引脚（NERROR_OUT 和 WARM_RESET 除外）都是非失效防护的；因此，需要注意的是，如果器件没有 VIO 电源，则不能从外部驱动这些引脚。

备注

无法确保电源斜坡期间的 GPIO 状态。如果 GPIO 用于 GPIO 状态至关重要的应用中，即使 NRESET 为低电平，也应使用三态缓冲器将 GPIO 输出与雷达器件隔离，并使用拉电阻来定义应用中所需的状态。发送到雷达器件的 NRESET 信号可用于控制三态缓冲器的输出使能 (OE)。

备注

ROM 引导加载程序仅使用 B16 (MSS_UARTA_RX) 和 C16 (MSS_UARTA_TX) 引脚进行闪存编程。建议在构建模块时使用这些引脚。

备注

LVDS 和 Aurora 接口用于调试和开发，而非生产用途。

表 5-1. 信号说明 - 数字

功能	信号名称	引脚类型	说明	引脚编号
SPI 接口	MSS_MIBSPIA_CLK	IO	SPI 通道 A - 时钟	T16
	MSS_MIBSPIA_MOSI	IO	SPI 通道 A - 控制器输出外设输入	U15
	MSS_MIBSPIA_MISO	IO	SPI 通道 A - 控制器输入外设输出	U16
	MSS_MIBSPIA_$\overline{CS}$0	IO	SPI 通道 A 芯片选择	T15
	MSS_MIBSPIA_HOSTIRQ	O	到通过 SPI 通信的外部主机的带外中断	V16、V17
	MSS_MIBSPIB_CLK(1)	IO	SPI 通道 B - 时钟	T13、R10
	MSS_MIBSPIB_MOSI(1)	IO	SPI 通道 B - 控制器输出外设输入	V12、V11
	MSS_MIBSPIB_MISO(1)	IO	SPI 通道 B - 控制器输入外设输出	U13、U11
	MSS_MIBSPIB_$\overline{CS}$0	IO	SPI 通道 B 芯片选择（实例 ID 0）	U14、U12
	MSS_MIBSPIB_$\overline{CS}$1	IO	SPI 通道 B 芯片选择（实例 ID 1）	V16、A16、R14
	MSS_MIBSPIB_$\overline{CS}$2	IO	SPI 通道 B 芯片选择（实例 ID 2）	A16、V11、R14、V17
CAN-FD	MSS_MCANA_RX	I	CAN-FD A (MCAN) 接收信号	T13、R12、C14、F16、D16
	MSS_MCANA_TX	O	CAN-FD A (MCAN) 发送信号	U14、T11、C12、E17、D17
	MSS_MCANB_RX	I	CAN-FD B (MCAN) 接收信号	V12、A17
	MSS_MCANB_TX	O	CAN-FD B (MCAN) 发送信号	U13、B17
UART (MSS)	MSS_UARTA_RX	IO	主子系统 - UART A 接收（用于闪存编程）	T13、D13、F16、P17、B16、A15
	MSS_UARTA_TX	IO	主子系统 - UART A 发送（用于闪存编程）	U14、D15、E17、U17、C16、B14、A14
	MSS_UARTB_TX	IO	主子系统 - UART B 接收	T13、U14、C12、D15、G15、E17、L15、U4、B16、A14
	MSS_UARTB_RX	IO	主子系统 - UART B 发送	R17、F16、T7、C16

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明 - 数字（续）

功能	信号名称	引脚类型	说明	引脚编号
用于串行闪存的 QSPI	MSS_QSPI_0	IO	QSPI 数据线 #0（与串行数据闪存一起使用）	U11
	MSS_QSPI_1	I	QSPI 数据线 #1（与串行数据闪存一起使用）	V11
	MSS_QSPI_2	I	QSPI 数据线 #2（与串行数据闪存一起使用）	T11
	MSS_QSPI_3	I	QSPI 数据线 #3（与串行数据闪存一起使用）	R12
	MSS_QSPI_CLK	IO	QSPI 时钟（与串行数据闪存一起使用）	R10
	MSS_QSPI_$\overline{CS}$	O	QSPI 片选（与串行数据闪存一起使用）	U12
I2C 接口	MSS_I2CA_SDA	IO	I2C 时钟	V12、E17、U17、R8
	MSS_I2CA_SCL	IO	I2C 数据	U13、F16、P17、U9
RS232 UART	MSS_RS232_RX	IO	调试 UART（作为总线控制器运行）- 接收信号	F16
	MSS_RS232_TX	IO	调试 UART（作为总线控制器运行）- 发送信号	E17
PWM 模块	MSS_EPWMA0	O	PWM 模块 1 - 输出 A0	V12、R15、E17、E15、B17、R6
	MSS_EPWMA1	O	PWM 模块 1 - 输出 A1	B15、T17、E17、C18、A17、U8
	MSS_EPWMA_SYNCI	I	PWM 模块 1 - 同步输入	A16、D17
	MSS_EPWMA_SYNCO	O	PWM 模块 1 - 同步输出	D16
	MSS_EPWMB0	O	PWM 模块 2 - 输出 B0	B15、U13、T17、R14、F16、E17、B17、C17、T7
	MSS_EPWMB1	O	PWM 模块 2 - 输出 B1	R14、F16、A17、R8
	MSS_EPWMB_SYNCI	I	PWM 模块 2 - 同步输入	T18、A14
	MSS_EPWMB_SYNCO	O	PWM 模块 2 - 同步输出	P16
	MSS_EPWMC0	O	PWM 模块 3 - 输出 C0	T13、F16、E15、C17、U4
	MSS_EPWMC1	O	PWM 模块 3 - 输出 C1	C18、U9
	MSS_EPWMC_SYNCI	I	PWM 模块 3 - 同步输入	P17
	MSS_EPWMC_SYNCO	O	PWM 模块 3 - 同步输出	N15
	MSS_EPWM_TZ0	I	PWM 模块跳变信号 0	G15、J15
	MSS_EPWM_TZ1	I	PWM 模块跳变信号 1	A16、M16
	MSS_EPWM_TZ2	I	PWM 模块跳变信号 2	B15、L15

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明 - 数字（续）

功能	信号名称	引脚类型	说明	引脚编号
RGMII/RMII/MII 以太网	MSS_MII_COL	I	MSS 以太网 MII 冲突检测	U8
	MSS_MII_CRS	I	MSS 以太网 MII 载波侦听	R8
	MSS_MII_RXER	I	MSS 以太网 MII 接收错误	U9
	MSS_MII_TXEN	O	MSS 以太网 MII 发送使能	R6
	MSS_MII_RXDV	I	MSS 以太网 MII 接收数据有效	T7
	MSS_MII_TXD3	O	MSS 以太网 MII 发送数据 3	U4
	MSS_MII_TXD2	O	MSS 以太网 MII 发送数据 2	U6
	MSS_MII_TXD1	O	MSS 以太网 MII 发送数据 1	U5
	MSS_MII_TXD0	O	MSS 以太网 MII 发送数据 0	U7
	MSS_MII_TXCLK	I	MSS 以太网 MII 发送时钟	V3
	MSS_MII_RXCLK	I	MSS 以太网 MII 接收时钟	T9
	MSS_MII_RXD3	I	MSS 以太网 MII 接收数据 3	U10
	MSS_MII_RXD2	I	MSS 以太网 MII 接收数据 2	V5
	MSS_MII_RXD1	I	MSS 以太网 MII 接收数据 1	V4
	MSS_MII_RXD0	I	MSS 以太网 MII 接收数据 0	V6
	MSS_RMII_REFCLK	IO	MSS 以太网 RMII 时钟输入	U8、T9
	MSS_RMII_CRS_DV	I	MSS 以太网 RMII 载波侦听/接收数据有效	R8、T7
	MSS_RMII_RXER	I	MSS 以太网 RMII 接收错误	U9
	MSS_RMII_TXEN	O	MSS 以太网 RMII 发送使能	R6
	MSS_RMII_TXD1	O	MSS 以太网 RMII 发送数据 1	U5
	MSS_RMII_TXD0	O	MSS 以太网 RMII 发送数据 0	U7
	MSS_RMII_RXD1	I	MSS 以太网 MII 接收数据 1	V4
	MSS_RMII_RXD0	I	MSS 以太网 MII 接收数据 0	V6
	MSS_RGMII_TCTL	O	MSS 以太网 RGMII 发送控制	R6
	MSS_RGMII_RCTL	I	MSS 以太网 RGMII 接收控制	T7
	MSS_RGMII_TD3	O	MSS 以太网 RGMII 发送数据 3	U4
	MSS_RGMII_TD2	O	MSS 以太网 RGMII 发送数据 2	U6
	MSS_RGMII_TD1	O	MSS 以太网 RGMII 发送数据 1	U5
	MSS_RGMII_TD0	O	MSS 以太网 RGMII 发送数据 0	U7
	MSS_RGMII_TCLK	O	MSS 以太网 RGMII 发送时钟	V3
	MSS_RGMII_RCLK	I	MSS 以太网 RGMII 接收时钟	T9
	MSS_RGMII_RD3	I	MSS 以太网 RGMII 接收数据 3	U10
	MSS_RGMII_RD2	I	MSS 以太网 RGMII 接收数据 2	V5
	MSS_RGMII_RD1	I	MSS 以太网 RGMII 接收数据 1	V4
	MSS_RGMII_RD0	I	MSS 以太网 RGMII 接收数据 0	V6
	MSS_MDIO_DATA	IO	MSS 以太网管理数据输入/输出数据	T5
	MSS_MDIO_CLK	O	MSS 以太网管理数据输入/输出时钟	R4
	MSS_CPTS0_TS_SYNC	O	以太网时间戳同步输出	B16
	MSS_CPTS0_HW2TSPUSH	I	以太网硬件时间戳输入引脚	C16
	MSS_CPTS0_HW1TSPUSH	I		A15

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明 - 数字（续）

功能	信号名称	引脚类型	说明	引脚编号
跟踪信号	TRACE_DATA_0	O	调试跟踪输出 - 数据线	U17
	TRACE_DATA_1	O	调试跟踪输出 - 数据线	P17
	TRACE_DATA_2	O	调试跟踪输出 - 数据线	T18
	TRACE_DATA_3	O	调试跟踪输出 - 数据线	N15
	TRACE_DATA_4	O	调试跟踪输出 - 数据线	P16
	TRACE_DATA_5	O	调试跟踪输出 - 数据线	L15
	TRACE_DATA_6	O	调试跟踪输出 - 数据线	M16
	TRACE_DATA_7	O	调试跟踪输出 - 数据线	J15
	TRACE_DATA_8	O	调试跟踪输出 - 数据线	D17
	TRACE_DATA_9	O	调试跟踪输出 - 数据线	D16
	TRACE_DATA_10	O	调试跟踪输出 - 数据线	E15
	TRACE_DATA_11	O	调试跟踪输出 - 数据线	C18
	TRACE_DATA_12	O	调试跟踪输出 - 数据线	B17
	TRACE_DATA_13	O	调试跟踪输出 - 数据线	A17
	TRACE_DATA_14	O	调试跟踪输出 - 数据线	C17
	TRACE_CLK	O	调试跟踪输出 - 时钟	R15
	TRACE_CTL	O	调试跟踪输出 - 控制	T17
DMM 接口	DMM0	I	调试接口（硬件在环）- 数据线	U17
	DMM1	I	调试接口（硬件在环）- 数据线	P17
	DMM2	I	调试接口（硬件在环）- 数据线	T18
	DMM3	I	调试接口（硬件在环）- 数据线	N15
	DMM4	I	调试接口（硬件在环）- 数据线	P16
	DMM5	I	调试接口（硬件在环）- 数据线	L15
	DMM6	I	调试接口（硬件在环）- 数据线	M16
	DMM7	I	调试接口（硬件在环）- 数据线	J15
	DMM8	I	调试接口（硬件在环）- 数据线	D17
	DMM9	I	调试接口（硬件在环）- 数据线	D16
	DMM10	I	调试接口（硬件在环）- 数据线	E15
	DMM11	I	调试接口（硬件在环）- 数据线	C18
	DMM12	I	调试接口（硬件在环）- 数据线	B17
	DMM13	I	调试接口（硬件在环）- 数据线	A17
	DMM14	I	调试接口（硬件在环）- 数据线	C17
	DMM_CLK	I	调试接口（硬件在环）- 时钟	R15
	DMM_SYNC	I	调试接口（硬件在环）- 同步	T17
	DMM_MUX_IN	I	调试接口（硬件在环）DMM1 和 DMM2 之间的多路复用器选择（两个实例）	A16、R17、R14
	NDMM_EN	O	调试接口（硬件在环）使能 - 低电平有效信号	D15、E17

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明 - 数字（续）

功能	信号名称	引脚类型	说明	引脚编号
通用 I/O	MSS_GPIO_0	IO	通用 I/O	B15、P17、U15、A14
	MSS_GPIO_1	IO	通用 I/O	A16、T18、U16、B13
	MSS_GPIO_2	IO	通用 I/O	G15、N15、T16、V17、D11
	MSS_GPIO_3	IO	通用 I/O	P16、T15
	MSS_GPIO_4	IO	通用 I/O	U14、L15、V17
	MSS_GPIO_5	IO	通用 I/O	T13、M16
	MSS_GPIO_6	IO	通用 I/O	U12、J15
	MSS_GPIO_7	IO	通用 I/O	R10、D17
	MSS_GPIO_8	IO	通用 I/O	U11、T18、D16、V17、B16、B13
	MSS_GPIO_9	IO	通用 I/O	V11、N15、E15、C16、D11
	MSS_GPIO_10	IO	通用 I/O	T11、M16、C18、A15
	MSS_GPIO_11	IO	通用 I/O	R12、J15、B17、B14
	MSS_GPIO_12	IO	通用 I/O	V16、A17、B16
	MSS_GPIO_13	IO	通用 I/O	B15、C17、C16
	MSS_GPIO_14	IO	通用 I/O	E17、A15
	MSS_GPIO_15	IO	通用 I/O	F16、B14
	MSS_GPIO_16	IO	通用 I/O	A16
	MSS_GPIO_17	IO	通用 I/O	C12、C17、U8
	MSS_GPIO_18	IO	通用 I/O	C14、A17、R8
	MSS_GPIO_19	IO	通用 I/O	B17、U9
	MSS_GPIO_20	IO	通用 I/O	C18、R6
	MSS_GPIO_21	IO	通用 I/O	V12、E15、T7
	MSS_GPIO_22	IO	通用 I/O	U13、D16、U4
	MSS_GPIO_23	IO	通用 I/O	D13、D17、U6
	MSS_GPIO_24	IO	通用 I/O	D15、J15、U5
	MSS_GPIO_25	IO	通用 I/O	R15、M16、U7
	MSS_GPIO_26	IO	通用 I/O	G15、L15、V3
	MSS_GPIO_27	IO	通用 I/O	T17、P16、T9
	MSS_GPIO_28	IO	通用 I/O	R17、N15、U10
	MSS_GPIO_29	IO	通用 I/O	R14、T18、V5、D11
	MSS_GPIO_30	IO	通用 I/O	P17、V4、T5、B13
	MSS_GPIO_31	IO	通用 I/O	U17、V6、R4、A14
UART (DSS)	DSS_UARTA_TX	IO	调试 UART 发送 [DSP]	U13、R10、J15、B16、A15、A14
	DSS_UARTA_RX	IO	调试 UART 接收 [DSP]	D13、R17、C16、B14
线性调频脉冲/帧信号	ADC_VALID	O	高电平时，表示 ADC 采样有效	V16、T11、R12、R17
	CHIRP_START	O	指示每个线性调频脉冲开始的脉冲信号	G15、T17
	CHIRP_END	O	指示每个线性调频脉冲结束的脉冲信号	G15、T17
	FRAME_START	O	指示每帧开始的脉冲信号	R15、G15、T17
LVDS_VALID	LVDS_VALID	O	高电平时，表示 LVDS 数据有效	A16、R15、G15、T17、R14、E17、A14

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明 - 数字（续）

功能	信号名称	引脚类型	说明	引脚编号
外部时钟输出	MCU_CLKOUT	O	输出到外部 MCU 或处理器的可编程时钟	R15、B13
	PMIC_CLKOUT	O	PMIC 器件的输出时钟	B15、G15、T17、D11
系统同步	SYNC_IN	I	低频同步信号输入	R17
	SYNC_OUT	O	低频同步信号输出	A16、G15、R17、R14
时钟输出	OBS_CLKOUT	O	观察时钟输出	R15、T17
	RCOSC_CLK	O	内部 RCOSC 时钟输出	R14
参考时钟	XREF_CLK0	I	外部基准输入时钟 0	B13
	XREF_CLK1	I	外部基准输入时钟 1	D11
JTAG	TCK	I	JTAG 测试时钟	C12
	TMS	IO	JTAG 测试模式信号	C14
	TDI	I	JTAG 测试数据输入	D13
	TDO	O	JTAG 测试数据输出	D15
UART (BSS)	BSS_UARTA_TX	O	调试 UART 发送 [雷达模块]	A16、T13、U14、C14、D15、F16、E17、M16
	BSS_UARTA_RX	I	调试 UART 接收 [雷达模块]	C12、R15
复位	WARM_RESET	IO	开漏失效防护热复位信号。可从 PMIC 驱动以进行诊断，也可用作器件正在进行复位的状态信号。	B12
安全	NERROR_OUT	O	开漏失效防护输出信号。连接到 PMIC/处理器/MCU 以指示发生了一些严重的临界故障。将通过复位进行恢复。	C11
通电检测	SOP[0]	I	SOP 引脚由外部驱动（弱驱动），毫米波器件在启动期间检测这些引脚的状态以决定启动模式。启动后，相同的引脚具有其他功能。 • [SOP2 SOP1 SOP0] = [0 0 1] -> 功能 QSPI 负载模式 • [SOP2 SOP1 SOP0] = [1 0 1] -> UART 负载模式 • [SOP2 SOP1 SOP0] = [0 1 1] -> 调试和开发模式 以下 SOP 引脚配置有助于确定基准晶体频率 • [SOP4 SOP3] = [0 0] -> 40MHz	D15
	SOP[1]	I		R14
	SOP[2]	I		T17
	SOP[3]	I		A14
	SOP[4]	I		C16
CSI2 RX	CSI2_RX0M0	I	CSI2.0 接收器 1，负极性，通道 0	N18
	CSI2_RX0P0	I	CSI2.0 接收器 1，正极性，通道 0	N17
	CSI2_RX0CLKM	I	CSI2.0 接收器 1，时钟输入，负极性	L18
	CSI2_RX0CLKP	I	CSI2.0 接收器 1，时钟输入，正极性	L17
	CSI2_RX0M1	I	CSI2.0 接收器 1，负极性，通道 1	M18
	CSI2_RX0P1	I	CSI2.0 接收器 1，正极性，通道 1	M17

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明 - 数字（续）

功能	信号名称	引脚类型	说明	引脚编号
Aurora LVDS	LVDS_TXM0	O	LVDS/Aurora 发送器，数据输出，通道 0	F18
	LVDS_TXP0	O		F17
	LVDS_TXM2_CLKM	O	LVDS 时钟，Aurora 数据输出 - 通道 2	G18
	LVDS_TXP2_CLKP	O		G17
	LVDS_TXM3_FRCLKM	O	LVDS 帧时钟，Aurora 数据输出 - 通道 3	H18
	LVDS_TXP3_FRCLKP	O		H17
	LVDS_TXM1	O	LVDS/Aurora 发送器，数据输出，通道 1	J18
	LVDS_TXP1	O		J17

(1) 为了满足 SPI 时序，建议将 MSS_MIBSPIB_CLK = T13 与 MSS_MIBSPIB_MOSI = V12 和 MSS_MIBSPIB_MISO = U13 结合使用。这同样适用于另一个 MSS_MIBSPIB_CLK = R10，即与 MSS_MIBSPIB_MOSI = V11 和 MSS_MIBSPIB_MISO = U11 结合使用

5.4 信号说明 — 模拟

接口	信号名称	引脚类型	说明	焊球编号
发送器	TX1	O	单端发送器 1 O/P	B3
	TX2	O	单端发送器 2 O/P	B5
	TX3	O	单端发送器 3 O/P	B7
	TX4(1)	O	单端发送器 4 O/P	B9
接收器	RX1	I	单端接收器 1 I/P	M2
	RX2	I	单端接收器 2 I/P	K2
	RX3	I	单端接收器 3 I/P	H2
	RX4	I	单端接收器 4 I/P	F2
复位	NRESET	I	芯片的上电复位。低电平有效	H16
基准振荡器	CLKP	I	在 XTAL 模式下：基准晶体的输入 在外部时钟模式下：单端输入基准时钟端口	D1
	CLKM	I	在 XTAL 模式下：基准晶体的反馈驱动 在外部时钟模式下：将此端口接地	B1
参考时钟	OSC_CLKOUT	O	清理 PLL 后时钟子系统的基准时钟输出	A11
带隙电压	VBGAP	O	器件的带隙基准输出	K4
电源	VDD	电源	1.2V 数字电源	E12、E13、E14、F14、H14、J14、K14、L14、N6、N14、P6、P7、P9、P10、P11、P13、P14
	VDD_SRAM	电源	用于内部 SRAM 的 1.2V 电源轨	V7
	VNWA	电源	用于 SRAM 阵列反馈偏置的 1.2V 电源轨	V13
	VIOIN	电源	I/O 电源（3.3V 或 1.8V）：所有 CMOS I/O 都将在此电源上运行	A13、B18、R18、V8、V15
	VIOIN_18	电源	用于 CMOS IO 的 1.8V 电源	D18、U18、V10
	VDDA_18CLK	电源	用于时钟模块的 1.8V 电源	D9
	VDDA_18PM	电源	用于 PM 模块的 1.8V 电源	R1
	VIOIN_18LVDS	电源	用于 LVDS 端口的 1.8V 电源	K17
	VIOIN_18CSI	电源	用于 CSI 端口的 1.8V 电源	K18
	VPP	电源	保险丝链的电压电源	U3

Copyright © 2026 Texas Instruments Incorporated

接口	信号名称	引脚类型	说明	焊球编号
电源	VIDDA_10RF1	电源	1V 模拟和射频电源，VDDA_10RF1 和 VDDA_10RF2 可以在电路板上短接	M4
	VDDA_10RF2	电源	1V 模拟和射频电源	D6、D7
	VDDA_18BB	电源	1.8V 模拟基带电源	P1
	VDDA_18VCO	电源	1.8V 射频 VCO 电源	E4
	VSS(3)	接地	数字地	A12、A18、E11、E18、F8、F9、F10、F11、F12、F13、G7、G8、G9、G10、G11、G12、G13、G14、H7、H8、H9、H10、H11、H12、H13、J7、J8、J9、J10、J11、J12、J13、K7、K8、K9、K10、K11、K12、K13、K16、L7、L8、L9、L10、L11、L12、L13、M7、M8、M9、M10、M11、M12、M13、M14、N7、N8、N9、N10、N11、N12、N13、P8、P12、P18、V2、V9、V14、V18
	VSSA(4)	接地	模拟地	A1、A2、A4、A6、A8、A10、B2、B4、B6、B8、B10、B11、C1、C2、C3、C4、C5、C6、C7、C8、C9、C10、D2、D3、E1、E2、E3、F3、F6、F7、G1、G2、G3、G6、H3、H6、J1、J2、J3、J6、K3、K6、L1、L2、L3、L6、M3、M6、N1、N2、N3、V1
内部 LDO 输出/输入	VOUT_14APLL	O	内部 LDO 输出	H4
	VOUT_14SYNTH	O	内部 LDO 输出	G4
用于外部电压监控的通用 ADC 输入(2)	ADC1	IO	ADC 通道 1	P3
	ADC2	IO	ADC 通道 2	P2
	ADC3	IO	ADC 通道 3	R3
	ADC4	IO	ADC 通道 4	R2
	ADC5	IO	ADC 通道 5	T3
	ADC6	IO	ADC 通道 6	U2
	ADC7	IO	ADC 通道 7	T1
	ADC8	IO	ADC 通道 8	T2
	ADC9	IO	ADC 通道 9	U1

(1) TX4 仅适用于配备 4 个发送器的 AWR294x 型号，例如 AWR2944。
(2) 有关详细信息，请参阅节 7.4.3
(3) 转角 BGA 具有 VSS 和冗余功能，这意味着如果它们出现故障，器件仍将正常工作。
(4) 发射前后的 VSSA BGA 并不是多余的，而是功能所必需的。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

参数		最小值	最大值	单位
VDD	1.2V 数字电源	-0.5	1.4	V
VDD_SRAM	用于内部 SRAM 的 1.2V 电源轨	-0.5	1.4	V
VNWA	用于 SRAM 阵列反馈偏置的 1.2V 电源轨	-0.5	1.4	V
VIOIN	I/O 电源（3.3V 或 1.8V）：所有 CMOS I/O 都将在此电源上运行。	-0.5	3.8	V
VIOIN_18	用于 CMOS IO 的 1.8V 电源	-0.5	2	V
VDDA_18CLK	用于时钟模块的 1.8V 电源	-0.5	2	V
VDDA_18PM	用于 PM 模块的 1.8V 电源	-0.5	2	V
VIOIN_18CSI	用于 CSI2 端口的 1.8V 电源	-0.5	2	V
VIOIN_18LVDS	用于 LVDS 端口的 1.8V 电源	-0.5	2	V
VDDA_10RF1 VDDA_10RF2	1V 模拟和射频电源，VDDA_10RF1 和 VDDA_10RF2 可以在电路板上短接。	-0.5	1.4	V
VDDA_18BB	1.8V 模拟基带电源	-0.5	2	V
VDDA_18VCO 电源	1.8V 射频 VCO 电源	-0.5	2	V
RX1-4	射频输入端上的外部施加电源		10	dBm
TX1-4	射频输出端上的外部施加电源(3)		10	dBm
TX1-4	温度传感器精度	±5		℃
输入和输出电压范围	双电压 LVCMOS 输入，3.3V 或 1.8V（稳态）	– 0.3V	VIOIN + 0.3	V
	双电压 LVCMOS 输入，在 3.3V/1.8V（瞬态过冲/下冲）条件下运行，或外部振荡器输入		VIOIN + 20%，高达信号周期的 20%	
CLKP、CLKM	参考晶振输入端口	-0.5	2	V
钳位电流	输入或输出电压高于或低于各自电源轨 0.3V。限制流经 I/O 内部二极管保护单元的钳位电流。	-20	20	mA
T_J	工作结温范围	-40	140	°C
T_{STG}	焊接到 PC 板上后的贮存温度范围	-55	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除非另有说明，所有电压值均相对于 V_{SS}。
(3) 此值用于 TX 上外部施加的信号电平。此外，可以在 TX 输出端上应用最高伽马 = 1 的反射系数。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
	充电设备模型 (CDM)，符合 AEC Q100-011 标准	GPADC5、GPADC6	±350	
		所有其他非拐角引脚	±500	
		转角引脚	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

Copyright © 2026 Texas Instruments Incorporated

6.3 上电小时数 (POH)

结温 (T_J)[1] [2]	运行条件	标称 CVDD 电压 (V)	上电小时数 [POH] (小时)
-40°C	50% 占空比	1.2	1440 (6%)
75°C			4800 (20%)
95°C			15600 (65%)
130°C			1920 (8%)
140°C			240 (1%)

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。
(2) 指定的 POH 适用于使用默认固件增益表的最大 Tx 输出功率设置。如果使用 API 覆盖 Tx 增益表，则指定的 POH 将不适用。

6.4 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
VDD	1.2V 数字电源	1.14	1.2	1.26	V
VDD_SRAM	用于内部 SRAM 的 1.2V 电源轨	1.14	1.2	1.26	V
VNWA	用于 SRAM 阵列反馈偏置的 1.2V 电源轨	1.14	1.2	1.26	V
VIOIN	I/O 电源 (3.3V 或 1.8V) : 所有 CMOS I/O 都将在此电源上运行。	3.135	3.3	3.465	V
		1.71	1.8	1.89	
VIOIN_18	用于 CMOS IO 的 1.8V 电源	1.71	1.8	1.89	V
VDDA_18CLK	用于时钟模块的 1.8V 电源	1.71	1.8	1.89	V
VDDA_18PM	用于 PM 模块的 1.8V 电源	1.71	1.8	1.89	V
VIOIN_18CSI	用于 CSI2 端口的 1.8V 电源	1.71	1.8	1.89	V
VIOIN_18LVDS	用于 LVDS 端口的 1.8V 电源	1.71	1.8	1.89	V
VDDA_10RF1	1V 模拟和射频电源。VDDA_10RF1 和 VDDA_10RF2 可在电路板上短接。	0.95	1	1.05	V
VDDA_10RF2					
VDDA_18BB	1.8V 模拟基带电源	1.71	1.8	1.89	V
VDDA_18VCO	1.8V 射频 VCO 电源	1.71	1.8	1.89	V
V_{IH}	电压输入高电平 (1.8V 模式)	1.17		0.3 + VIOIN	V
	电压输入高电平 (3.3V 模式)	2.25		0.3 + VIOIN	
V_{IL}	电压输入低电平 (1.8V 模式)	-0.3		0.3*VIOIN	V
	电压输入低电平 (3.3V 模式)	-0.3		0.62	
V_{OH}	高电平输出阈值 (I_{OH} = 6mA)	VIOIN – 450			mV
V_{OL}	低电平输出阈值 (I_{OL} = 6mA)			450	mV
NRESET SOP[4:0]	V_{IL} (1.8V 模式)			0.45	V
	V_{IH} (1.8V 模式)	0.96			
	V_{IL} (3.3V 模式)			0.65	
	V_{IH} (3.3V 模式)	1.57			
T_J	工作结温范围	-40		140	℃

Copyright © 2026 Texas Instruments Incorporated

6.5 一次性可编程 (OTP) 电子保险丝的 VPP 规格

该小节规定了对 OTP 电子保险丝进行编程所需的运行条件，且仅适用于经过身份验证的启动器件。在电子保险丝中写入客户特定密钥或其他字段（例如软件版本）的过程中，用户需要提供 VPP 电源。

6.5.1 建议的 OTP eFuse 编程操作条件

参数	说明	最小值	标称值	最大值	单位
VPP	正常运行期间电子保险丝 ROM 域的电源电压范围		NC(2)		
	OTP 编程期间电子保险丝 ROM 域的电源电压范围(1)	1.65	1.7	1.75	V
VPP 供电持续时间	如果提供 VPP 电压的时间超过建议的小时数，则可能会导致可靠性问题			24	小时
I(VPP)				50	mA

(1) 在正常运行期间，不应向 VPP 施加电压。这通常可以通过禁用连接到 VPP 端子的外部稳压器来实现。
(2) NC：无连接

6.5.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，必须禁用 VPP 电源。

6.5.3 对硬件保修的影响

您了解并接受您自行承担使用电子保险丝对 TI 器件造成不可逆更改的风险。您确认电子保险丝可能会由于操作条件或编程序列不正确而发生故障。此类失效可能导致 TI 器件无法运行，并且在试图使用电子保险丝之前，TI 不能确认 TI 器件符合 TI 器件规格。因此，在电子保险丝可编程性出现故障的情况下，TI 将不承担任何责任。

Copyright © 2026 Texas Instruments Incorporated

6.6 电源规格

表 6-1 介绍了必须从外部电源提供给 AWR2944 的四个所需电源轨。在使用 1.8V LVCMOS IO 的情况下，VIOIN 由 1.8V 电源轨供电，3.3V 电源轨可以省略，因此只需提供三个电源轨。此外，根据所使用的电源拓扑，射频 1.0V 和基带、时钟和 VCO 1.8V 电源可能需要额外的电源滤波，以满足所需的纹波规格。这一额外的滤波会导致从这四个基本电源轨生成单独的电源网。

表 6-1. 电源轨特性

电源电压	由电源供电的器件块	器件电源网
1.8V	合成器和 APLL VCO、晶体振荡器、中频放大器级、ADC、CSI2、LVDS、LVCMOS IO	输入：VDDA_18VCO、VDDA_18CLK、VIN_18PM、VDDA_18BB、VIOIN_18CSI、VIOIN_18LVDS、VIOIN_18 LDO 输出：VOUT_14SYNTH、VOUT_14APLL
1.0V	功率放大器、低噪声放大器、混频器和 LO 分配	输入：VDDA_10RF2、VDDA_10RF1
3.3V（或对于 1.8V I/O 模式，为 1.8V）	LVCMOS IO	VIOIN
1.2V	内核数字和 SRAM	VDD、VDD_SRAM、VNWA
1.7V	对 OTP 电子保险丝进行编程（对于安全器件）	VPP

表 6-2 中提到了 1.0V 和 1.8V 电源纹波规格。杂散电平和纹波电平具有 dB 到 dB 的关系，例如，电源纹波增加 1dB 会导致杂散电平增加大概 1dB。引用的值是在指定频率下施加的正弦输入的均方根电流电平。

表 6-2. 纹波规格

频率 (kHz)	杂散电平 (dBc)	射频电源轨	VCO/中频电源轨
		1 V (μV_{RMS})	1.8V (μV_{RMS})
10	-85	22	10990
100	-95	8	1420
200	-98	6	730
500	-102	4	450
1000	-105	3	300
2000	-105	3	80
5000	-105	3	60
10000	-105	3	60
15000	-105	2	40
20000	-105	2	40

电源指南

建议将 LP87745-Q1 电源管理 IC (PMIC) 用于集成式 AWR2944 电源解决方案。这一经过成本和空间优化的解决方案旨在为 AWR2944 雷达传感器及其主要外设供电。

使用 LP87745-Q1 PMIC 为 AWR2944 供电时的优势列表：

1. TI 评估板上经验证的完整器件性能授权
2. 噪声/纹波性能满足 AWR 噪声/纹波性能规格
   a. LP87745-Q1 在中频频带外具有高开关频率（17.6MHz 开关频率），由于无需使用 LDO 而有助于提高系统级的热性能，并且无需使用第二级 LC 滤波器来抑制纹波并滤除杂散。
   b. 热耗散不会影响射频性能

Copyright © 2026 Texas Instruments Incorporated

6.7 功耗摘要

表 6-3 和表 6-4 总结了电源端子的功耗。

表 6-3. 电源端子上的最大电流额定值

参数(1)	电源名称	说明	最小值	典型值	最大值(1)	单位
电流消耗	VDD、VDD_SRAM、VNWA	由 1.2V 电源轨驱动的所有节点消耗的总电流			2000	mA
	VDDA_10RF1、VDDA_10RF2	使用所有 4 个发送器时，由 1V 电源轨驱动的所有节点消耗的总电流			2300	
	VIOIN_18、VDDA_18CLK、VDDA_18PM、VIOIN_18CSI、VIOIN_18LVDS、VDDA_18BB、VDDA_18VCO	由 1.8V 电源轨驱动的所有节点消耗的总电流			550	
	VIOIN	由 3.3V 电源轨驱动的所有节点消耗的总电流			50(2)	

(1) 指定的电流值是在最大电源电压电平（建议运行条件）下得出的值。
(2) 确切的值将取决于系统用例和设计。

表 6-4. 电源端子上的平均功耗

参数	条件(2)		说明	最小值	典型值(1)	最大值	单位
单芯片模式下的平均功耗。	3TX、4RX	25% 占空比	用例： 76GHz 至 77GHz 线性调频脉冲（对于 50% 占空比）和 80GHz 至 81GHz 线性调频脉冲（对于 25% 占空比）； 常规模式、37.5Msps 采样率、25.6ms 帧周期、256 个线性调频脉冲/帧、2µs 空闲时间、50µs 斜坡结束时间、7µS ADC 启动时间和过量斜坡时间 内核的活动： • 70% MSS R5F • 70% C66x DSP 和 HWA • 50% Arm M4F 所有上述内核在空闲时间内均处于时钟控制/时钟选通状态； 启用以太网以进行数据传输		1.37		W
		50% 占空比			1.98		
	4TX、4RX	25% 占空比			1.44		
		50% 占空比			2.11		

(1) 功耗值适用于典型用例，即处于 25°C 环境温度和标称电压条件下的标称器件。
(2) 帧占空比表示帧活动时间与帧总时间（包括线性调频脉冲间和帧间时间）之比。

Copyright © 2026 Texas Instruments Incorporated

6.8 射频规格

在建议运行条件下且已启用运行时校准（除非另有说明）

参数			最小值	典型值	最大值	单位
接收器	噪声系数			12		dB
	1dB 压缩点（带外）(1)			-7		dBm
	最大增益			44		dB
	增益范围			20		dB
	增益阶跃大小			2		dB
	中频带宽(2)				15	MHz
	ADC 采样率				37.5	Msps
	ADC 分辨率			16		位
	回波损耗 (S11)			-10		dB
	增益不匹配变化（随温度变化）			±0.5		dB
	相位不匹配变化（随温度变化）			±3		°
	空闲通道杂散			-90		dBFS
发送器	输出功率			13.5		dBm
	移相器精度			±5		°
	振幅噪声			-145		dBc/Hz
时钟子系统	频率范围		76		81	GHz
	斜坡速率				250(3)	MHz/μs
	1MHz 偏移时的相位噪声	76GHz 至 77GHz (VCO1)		-96		dBc/Hz
		76GHz 至 81GHz (VCO2)(4)		-95		

(1) 1dB 压缩点（带外）是通过以编程的 HPF 截止频率的 5% 馈送连续波音调（即阻断器音调）来测量的。压缩点由阻断器功率决定，该功率会使 RX ADC 处的阻断器音调压缩 1dB。

(2) 模拟中频级包括一个二阶高通滤波器，可配置为以下 -6dB 转角频率：

可用 HPF 转角频率 (kHz)
HPF 300、350、700、1400、

数字基带链执行的滤波旨在提供：

- 通带纹波/压降小于 ±0.5dB，并且
- 在任何可能混叠回通带的频率下，抗混叠衰减都优于 60dB。

(3) 最大斜坡速率取决于使用“AWR_APLL_SYNTH_BW_CONTROL_SB”API 设置的 PLL 带宽配置。有关更多详细信息，请参阅毫米波雷达接口控制文档。

(4) VCO2 支持的最大连续范围为 4.5GHz。支持的范围可以通过 AWR_ CAL_MON_FREQUENCY_* API 中的 VCO2_RANGE_CONFIG 跨越 76GHz - 80.5GHz 或 76.5GHz - 81GHz。

图 6-1 显示了与编程的接收器增益相关的噪声系数和带内 P1dB 参数的变化

Copyright © 2026 Texas Instruments Incorporated

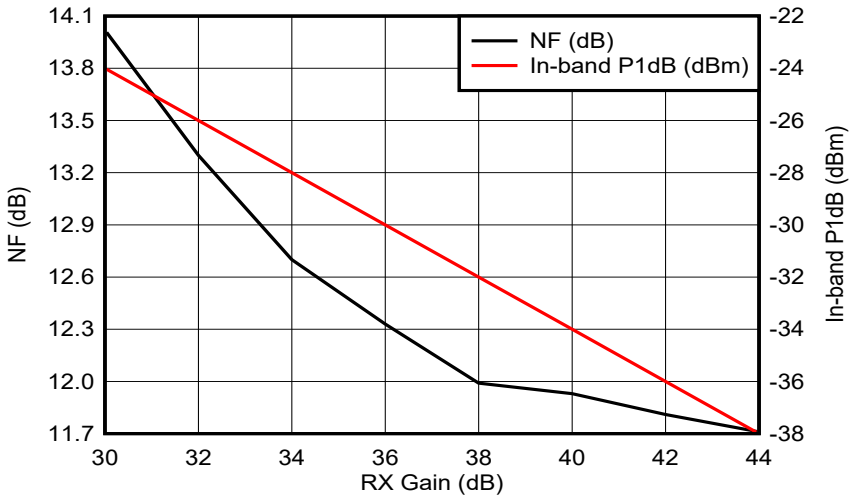


图 6-1. 噪声系数、带内 P1dB 与接收器增益间的关系

6.9 热阻特性

热指标(1) (4)		°C/W(2) (3)
$R_{\Theta JC}$	结点到外壳	3.3
$R_{\Theta JB}$	结点到电路板	2.9
$R_{\Theta JA}$	结点到环境空气	14.9
Psi_{JC}	结点到外壳	0.1
Psi_{JB}	结点到电路板	2.8

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热指标*。
(2) °C/W = 摄氏度/瓦。
(3) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

假设结温为 140°C。
(4) 气流 = 1m/s

Copyright © 2026 Texas Instruments Incorporated

6.10 电源时序和复位时序

AWR294x 器件需要所有外部 1.2V、1.8V 和 3.3V 电压轨以及所有 SOP[4:0] 线路在 NRESET 置为无效之前保持稳定，以使器件成功启动。在 VIOIN 和 VIOIN_18 电源可用之前，无法保证 IO 状态。图 6-2 描述了器件唤醒序列。

备注

硬件平台必须仅在 OTP 电子保险丝编程期间支持在 VPP 引脚上提供 1.7V 电压。

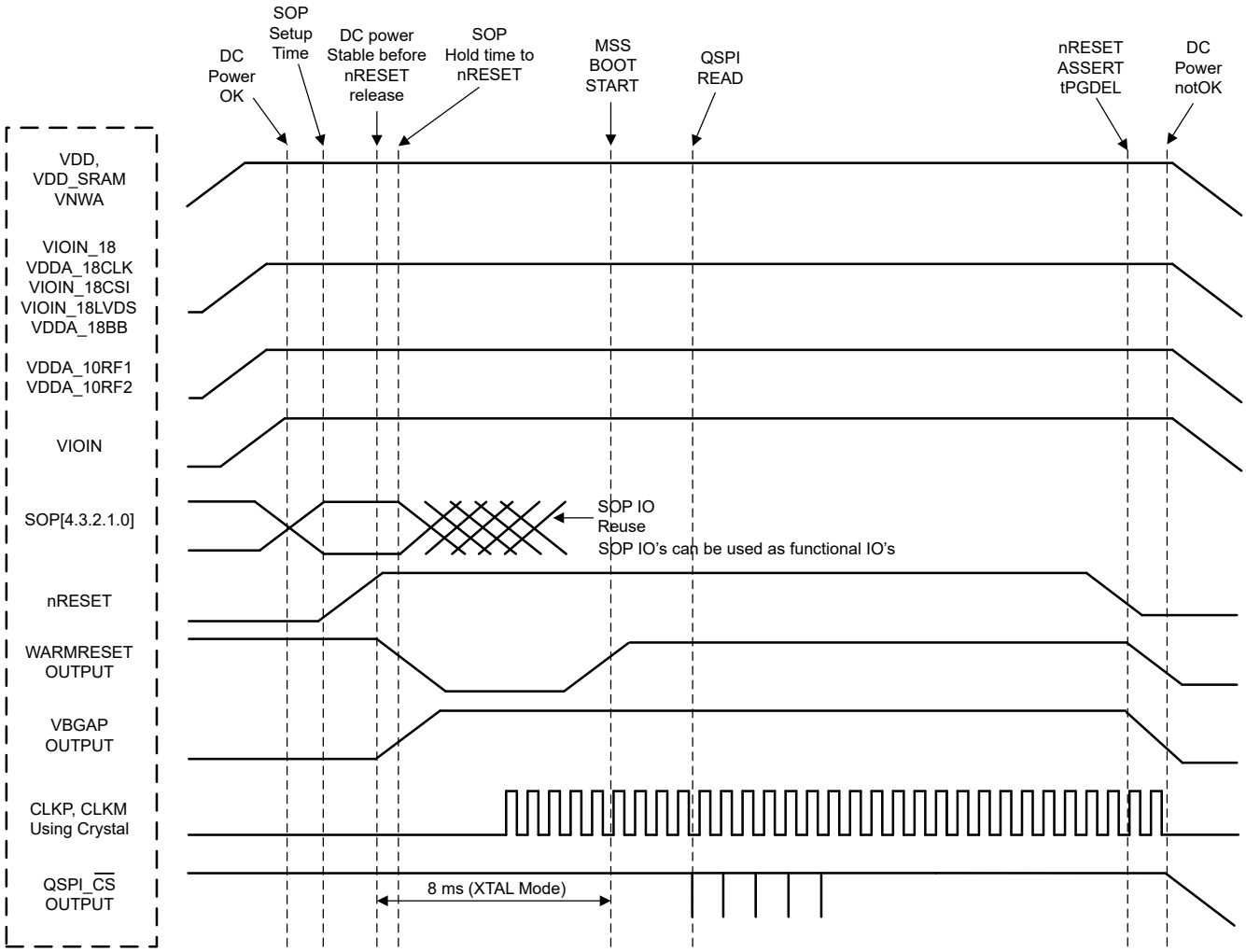


图 6-2. 器件唤醒序列

Copyright © 2026 Texas Instruments Incorporated

6.11 输入时钟和振荡器

6.11.1 时钟规格

一个外部晶体连接至器件引脚。图 6-3 显示了晶体实现方式。

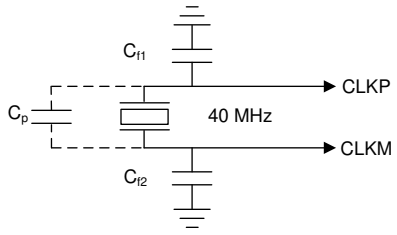


图 6-3. 晶体实现方式

备注

可以选择图 6-3 中的负载电容器 C_{f1} 和 C_{f2}，以满足方程式 1 的要求。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件可以尽可能靠近关联的振荡器 CLKP 和 CLKM 引脚放置。请注意，Cf1 和 Cf2 包括由于 PCB 布线而产生的寄生电容。

备注

估算 C_P 时，还需要考虑 CLKP/CLKM 引脚之间的电路板布线寄生效应

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 6-5 列出了时钟晶体的电气特性。

表 6-5. 晶体电气特性（振荡器模式）

名称	说明	最小值	典型值	最大值	单位
f_p	并联谐振晶体频率		40		MHz
C_L	晶体负载电容	5	8	12	pF
ESR	晶体 ESR			50	Ω
温度范围	预期工作温度范围	-40		140	℃
频率容差	晶体频率容差(1) (2)	-100		100(3)	ppm
驱动电平			50	200	μW

(1) 晶体制造商的规格必须满足此要求。
(2) 包括晶体的初始容差、温漂、老化以及由于负载电容不正确而导致的频率牵引。
(3) 对于以太网操作，需要符合小于 100PPM 频率误差的更严格的规格。如果不使用以太网接口，则可以承受高达 200PPM 的 PPM 误差。

如果将外部时钟用作时钟资源，则信号仅馈送到 CLKP 引脚；CLKM 接地。当 40MHz 时钟由外部馈送时，相位噪声要求非常重要。表 6-6 列出了外部时钟信号的电气特性。

Copyright © 2026 Texas Instruments Incorporated

表 6-6. 外部时钟模式规格

参数		规格			单位
		最小值	典型值	最大值	
输入时钟：外部交流耦合正弦波或直流耦合方波相位噪声，以 40MHz 为基准	频率		40		MHz
	交流振幅	700		1200	mV (pp)
	直流 trise/fall			10	ns
	1kHz 时的相位噪声			-132	dBc/Hz
	10kHz 时的相位噪声			-143	dBc/Hz
	100kHz 时的相位噪声			-152	dBc/Hz
	1MHz 时的相位噪声			-153	dBc/Hz
	占空比	35		65	%
	频率容差	-100		100	ppm

6.12 外设信息

以下各节提供了初始外设描述和特性。附加外设详细信息和接口时序信息应在后续的产品预发布或数据表版本中提供。

6.12.1 QSPI 闪存存储器外设

该器件包含一个用于外部闪存存储器访问的四路串行外设接口。闪存存储器可用于多种用途，包括：次级引导加载程序存储器、应用程序存储器、安全密钥存储以及用于安全性和错误情况的长期数据日志。

器件上的 QSPI 接口支持以下特性：

- 针对时钟信号的环回偏斜消除可支持更快的闪存接口时钟速率
- 两个片选信号可连接两个外部闪存器件
- 存储器映射的“直接”模式和软件触发的“间接”操作模式可用于执行闪存数据传输

6.12.1.1 QSPI 时序条件

参数		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	5		15	pF

6.12.1.2 QSPI 时序要求 (1) (2)

规格编号	参数		最小值	典型值	最大值	单位
Q12	$t_{su(D-SCLK)}$	在 SCLK 下降沿之前 D[3:0] 有效的建立时间 (Q12)	5			ns
Q13	$t_{h(SCLK-D)}$	在 SCLK 下降沿之后 D[3:0] 有效的保持时间 (Q13)	1			ns
Q14	$t_{su(D-SCLK)}$	在最终 SCLK 下降沿之前最终 D[3:0] 位有效的建立时间	5-P(3)			ns
Q15	$t_{h(SCLK-D)}$	在最终 SCLK 下降沿后最终 D[3:0] 位有效的保持时间	1+P(3)			ns

(1) 时钟模式 0（时钟极性 = 0；时钟相位 = 0）是工作模式。
(2) 与传统的上升时钟沿相反，器件在时钟模式 0 的下降时钟沿捕获数据。尽管是非标准的，但基于下降沿的建立时间和保持时间时序已设计为与在时钟模式 0 的下降沿启动数据的标准 SPI 器件兼容。
(3) P = SCLK 周期，单位为 ns。

Copyright © 2026 Texas Instruments Incorporated

6.12.1.3 QSPI 开关特性 (1) (2)

规格编号	参数		最小值	典型值	最大值	单位
Q1	$t_{c(SCLK)}$	SCLK 周期时间	12.5			ns
Q2	$t_{w(SCLKL)}$	SCLK 低电平的脉冲持续时间	0.5*P – 0.625			ns
Q3	$t_{w(SCLKH)}$	SCLK 高电平的脉冲持续时间	0.5*P – 0.625			ns
Q4	$t_{d(CS-SCLK)}$	SCLK 下降沿到 CS 有效边沿的延迟时间	– M*P – 1		– M*P + 2.5	ns
Q5	$t_{d(SCLK-CS)}$	SCLK 下降沿到 CS 无效边沿的延迟时间	N*P – 1		N*P + 2.5	ns
Q6	$t_{d(SCLK-D1)}$	SCLK 下降沿到 d[0] 转换的延迟时间	-4.5		2	ns
Q7	$t_{ena(CS-D1LZ)}$	使能时间，CS 有效边沿到 d[0] 驱动（低阻抗）	– P – 4		– P +1	ns
Q8	$t_{dis(CS-D1Z)}$	禁用时间，CS 有效边沿到 d[0] 三态（高阻抗）	– P – 4		– P +1	ns
Q9	$t_{d(SCLK-D1)}$	SCLK 第一个下降沿到第一个 d[1] 转换的延迟时间（仅适用于 PHA = 0）	– 4.5 – P		2 – P	ns

(1) P = SCLK 周期，单位为 ns。
(2) M = QSPI_SPI_DC_REG.DDx + 1，N = 2

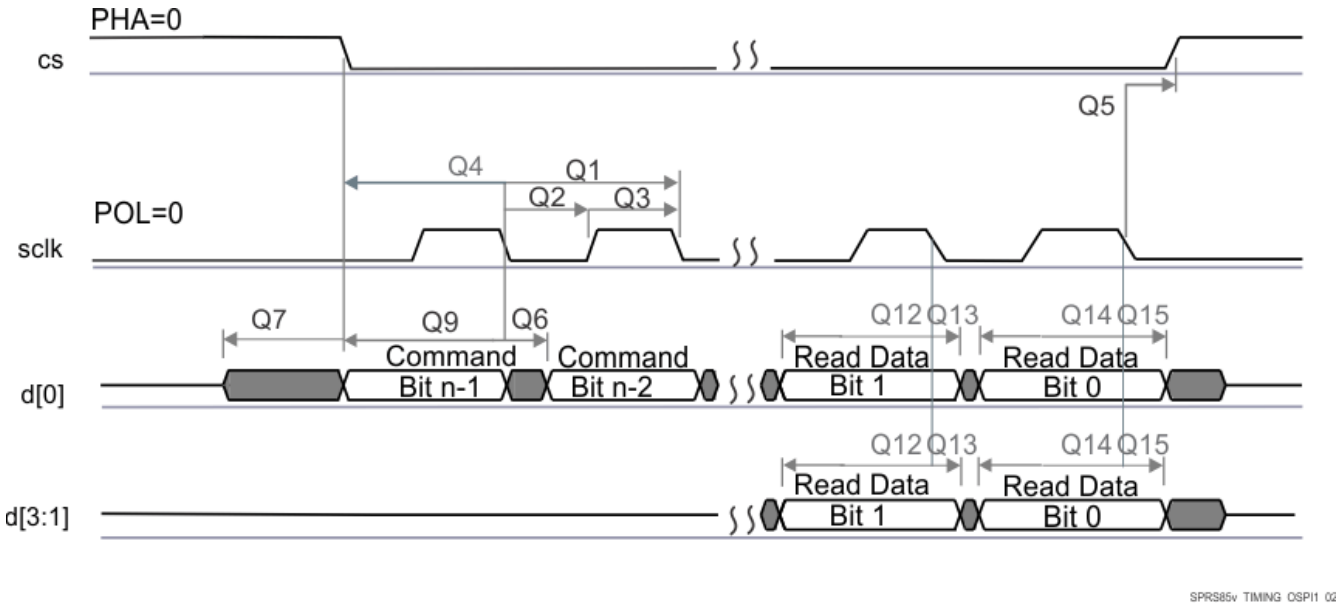


图 6-4. QSPI 读取（时钟模式 0）

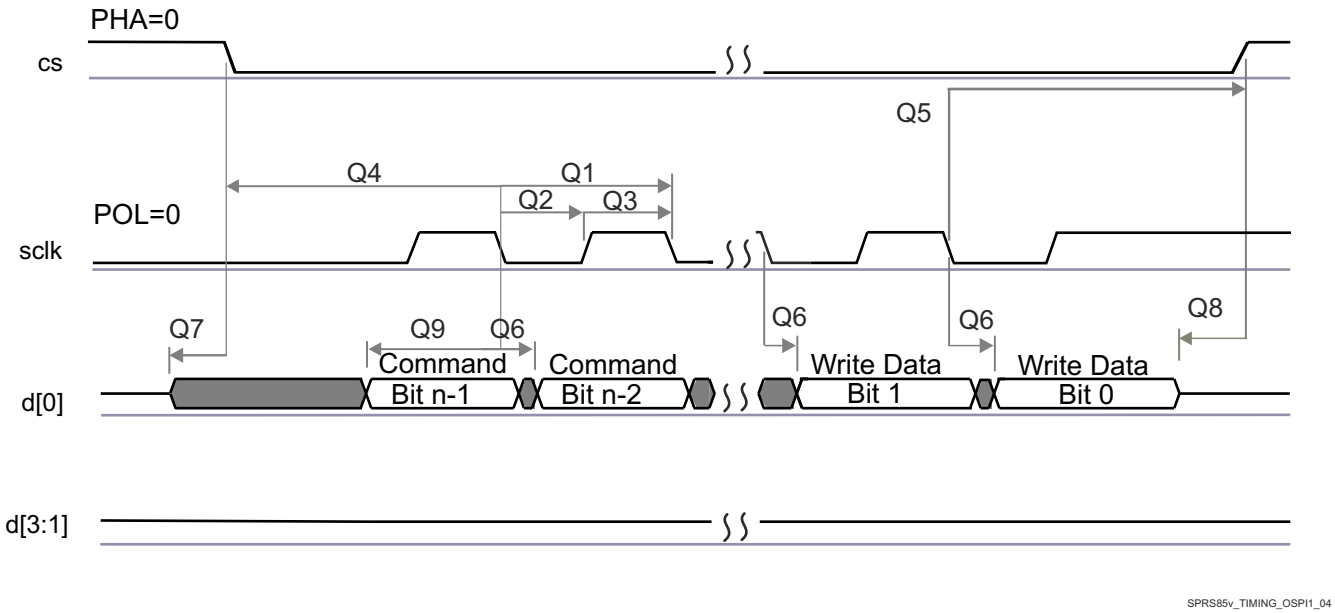


图 6-5. QSPI 写入（时钟模式 0）

Copyright © 2026 Texas Instruments Incorporated

6.12.2 多缓冲/标准串行外设接口 (MibSPI)

6.12.2.1 MibSPI 外设说明

MibSPI/SPI 是一款高速同步串行输入/输出端口，该端口允许以编程的位传输速率将编程长度（2 至 16 位）的串行位流移入和移出器件。该器件在主子系统 (MSS) 中包含两个多缓冲串行外设接口 (MIBSPI)。这些适用于外部 MCU、PMIC、EEPROM 和看门狗通信。

标准和 MibSPI 模块具有以下特性：

- 16 位移位寄存器
- 接收缓冲寄存器
- 8 位波特率生成器
- SPICLK 可由内部生成（控制器模式）或从外部时钟源接收（外设模式）
- 每个 MIBSPI 模块支持的最大时钟速率应为 40MHz。
- 传输的每个字可以具有独特的格式。
- 未在通信中使用的 SPI I/O 可被用作数字输入/输出信号

6.12.2.2 MibSPI 发送和接收 RAM 组织结构

多缓冲 RAM 包含 256 个缓冲器。多缓冲 RAM 的每个入口由 4 个部分组成：一个 16 位发送字段、一个 16 位接收字段、一个 16 位比较字段和一个 16 位状态字段。多缓冲 RAM 可被分成多个传输组，每个组具有不同数量的缓冲器。

节 6.12.2.2.2 和节 6.12.2.2.3 假设了节 6.12.2.2.1 所示的运行条件。

6.12.2.2.1 SPI 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		20	pF

6.12.2.2.2 SPI 控制器模式开关参数（时钟相位 = 0、SPICLK = 输出、SPISIMO = 输出和 SPISOMI = 输入）(1) (2) (3)

编号	参数		最小值	典型值	最大值	单位
1	$t_{c(SPC)M}$	周期时间，SPICLK(4)	20		$256t_{c(VCLK)}$	ns
2(4)	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 2$		$0.5t_{c(SPC)M} + 2$	ns
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 2$		$0.5t_{c(SPC)M} + 2$	
3(4)	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 2$		$0.5t_{c(SPC)M} + 2$	ns
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 2$		$0.5t_{c(SPC)M} + 2$	
4(4)	$t_{d(SPCH-SIMO)M}$	在 SPICLK 低电平之前 SPISIMO 有效的延迟时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 7$			ns
	$t_{d(SPCL-SIMO)M}$	在 SPICLK 高电平之前 SPISIMO 有效的延迟时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 7$			
5(4)	$t_{v(SPCL-SIMO)M}$	在 SPICLK 低电平之后 SPISIMO 数据有效的有效时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 8$			ns
	$t_{v(SPCH-SIMO)M}$	在 SPICLK 高电平之后 SPISIMO 数据有效的有效时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 8$			

Copyright © 2026 Texas Instruments Incorporated

编号	参数			最小值	典型值	最大值	单位
6[5]	$t_{C2TDELAY}$	CS 有效直至 SPICLK 高电平的建立时间（时钟极性 = 0）	CSHOLD = 0	(C2TDELAY+2)*$t_{c(VCLK)}$ – 7.5		(C2TDELAY+2) * $t_{c(VCLK)}$ + 7	ns
			CSHOLD = 1	(C2TDELAY +3) * $t_{c(VCLK)}$ – 7.5		(C2TDELAY+3) * $t_{c(VCLK)}$ + 7	
		CS 有效直至 SPICLK 低电平的建立时间（时钟极性 = 1）	CSHOLD = 0	(C2TDELAY+2)*$t_{c(VCLK)}$ – 7.5		(C2TDELAY+2) * $t_{c(VCLK)}$ + 7	
			CSHOLD = 1	(C2TDELAY +3) * $t_{c(VCLK)}$ – 7.5		(C2TDELAY+3) * $t_{c(VCLK)}$ + 7	
7[5]	$t_{T2CDELAY}$	SPICLK 低电平直至 CS 无效的保持时间（时钟极性 = 0）		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) *$t_{c(VCLK)}$ – 7		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) * $t_{c(VCLK)}$ + 7.5	ns
		SPICLK 高电平直至 CS 无效的保持时间（时钟极性 = 1）		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) *$t_{c(VCLK)}$ – 7		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) * $t_{c(VCLK)}$ + 7.5	
8[4]	$t_{su(SOMI-SPCL)M}$	在 SPICLK 低电平之前 SPISOMI 的建立时间（时钟极性 = 0）		5			ns
	$t_{su(SOMI-SPCH)M}$	在 SPICLK 高电平之前 SPISOMI 的建立时间（时钟极性 = 1）		5			
9[4]	$t_{h(SPCL-SOMI)M}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 0）		2			ns
	$t_{h(SPCH-SOMI)M}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 1）		2			

(1) 设置控制器位 (SPIGCRx.0)，并且时钟相位的位 (SPIFMTx.16) 被清零（其中 x= 0 或 1）。
(2) $t_{c(MSS_VCLK)}$ = 主子系统时钟时间 = $1/f_{(MSS_VCLK)}$。有关更多详细信息，请参阅器件技术参考手册。
(3) 当 SPI 处于控制器模式时，必须满足以下条件：对于从 1 到 255 的 PS 值：$t_{c(SPC)M} \geq (PS+1)t_{c(MSS_VCLK)} \geq 25ns$，其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况：$t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$。
(4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
(5) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器内被设定。

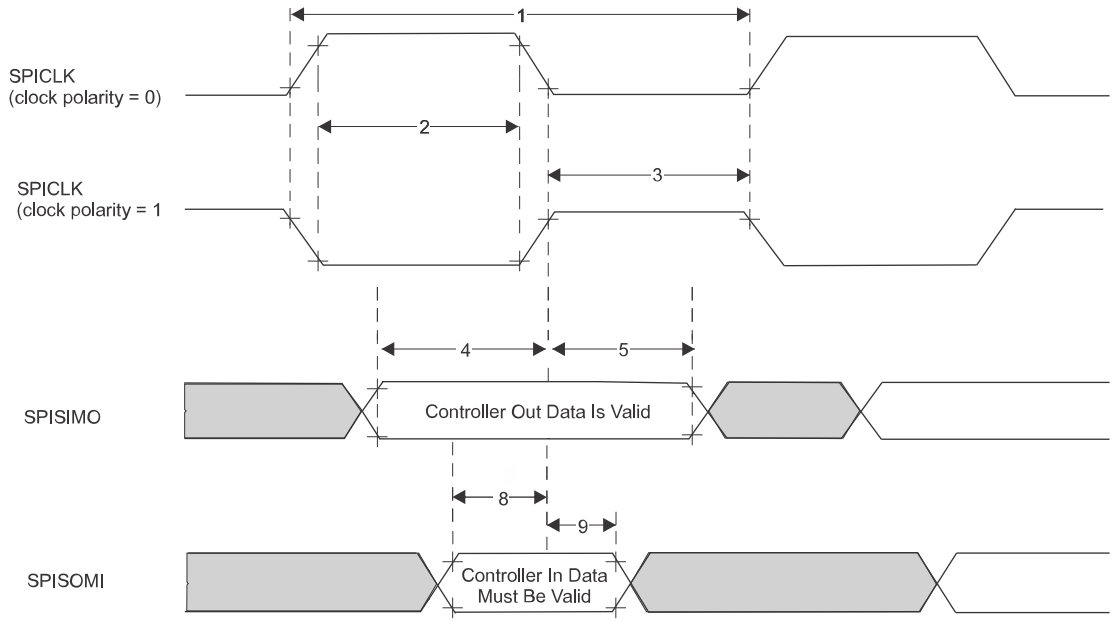


图 6-6. SPI 控制器模式外部时序（时钟相位 = 0）

Copyright © 2026 Texas Instruments Incorporated

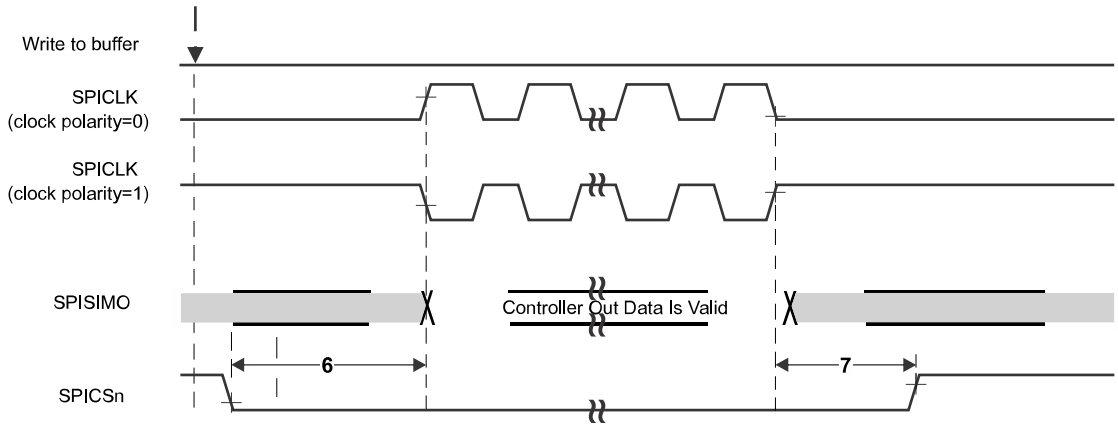


图 6-7. SPI 控制器模式片选时序（时钟相位 = 0）

6.12.2.2.3 SPI 控制器模式开关参数（时钟相位 = 1、SPICLK = 输出、SPISIMO = 输出和 SPISOMI = 输入） (1) (2) (3)

编号	参数			最小值	典型值	最大值	单位
1	$t_{c(SPC)M}$	周期时间，SPICLK(4)		20		$256t_{c(VCLK)}$	ns
2(4)	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M}$ – 2		$0.5t_{c(SPC)M}$ + 2	ns
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M}$ – 2		$0.5t_{c(SPC)M}$ + 2	
3(4)	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M}$ – 2		$0.5t_{c(SPC)M}$ + 2	ns
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M}$ – 2		$0.5t_{c(SPC)M}$ + 2	
4(4)	$t_{d(SPCH-SIMO)M}$	在 SPICLK 低电平之前 SPISIMO 有效的延迟时间（时钟极性 = 0）		$0.5t_{c(SPC)M}$ – 7			ns
	$t_{d(SPCL-SIMO)M}$	在 SPICLK 高电平之前 SPISIMO 有效的延迟时间（时钟极性 = 1）		$0.5t_{c(SPC)M}$ – 7			
5(4)	$t_{v(SPCL-SIMO)M}$	在 SPICLK 低电平之后 SPISIMO 数据有效的有效时间（时钟极性 = 0）		$0.5t_{c(SPC)M}$ – 8			ns
	$t_{v(SPCH-SIMO)M}$	在 SPICLK 高电平之后 SPISIMO 数据有效的有效时间（时钟极性 = 1）		$0.5t_{c(SPC)M}$ – 8			
6(5)	$t_{C2TDELAY}$	CS 有效直至 SPICLK 高电平的建立时间（时钟极性 = 0）	CSHOLD = 0	$0.5*t_{c(SPC)M}$ + (C2TDELAY + 2)*$t_{c(VCLK)}$ – 7		$0.5*t_{c(SPC)M}$ + (C2TDELAY+2) * $t_{c(VCLK)}$ + 7.5	ns
			CSHOLD = 1	$0.5*t_{c(SPC)M}$ + (C2TDELAY + 2)*$t_{c(VCLK)}$ – 7		$0.5*t_{c(SPC)M}$ + (C2TDELAY+2) * $t_{c(VCLK)}$ + 7.5	
		CS 有效直至 SPICLK 低电平的建立时间（时钟极性 = 1）	CSHOLD = 0	$0.5*t_{c(SPC)M}$ + (C2TDELAY+2)*$t_{c(VCLK)}$ – 7		$0.5*t_{c(SPC)M}$ + (C2TDELAY+2) * $t_{c(VCLK)}$ + 7.5	
			CSHOLD = 1	$0.5*t_{c(SPC)M}$ + (C2TDELAY+3)*$t_{c(VCLK)}$ – 7		$0.5*t_{c(SPC)M}$ + (C2TDELAY+3) * $t_{c(VCLK)}$ + 7.5	
7(5)	$t_{T2CDELAY}$	SPICLK 低电平直至 CS 无效的保持时间（时钟极性 = 0）		(T2CDELAY + 1) *$t_{c(VCLK)}$ – 7.5		(T2CDELAY + 1) *$t_{c(VCLK)}$ + 7	ns
		SPICLK 高电平直至 CS 无效的保持时间（时钟极性 = 1）		(T2CDELAY + 1) *$t_{c(VCLK)}$ – 7.5		(T2CDELAY + 1) *$t_{c(VCLK)}$ + 7	
8(4)	$t_{su(SOMI-SPCL)M}$	在 SPICLK 低电平之前 SPISOMI 的建立时间（时钟极性 = 0）		5			ns
	$t_{su(SOMI-SPCH)M}$	在 SPICLK 高电平之前 SPISOMI 的建立时间（时钟极性 = 1）		5			
9(4)	$t_{h(SPCL-SOMI)M}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 0）		2			ns
	$t_{h(SPCH-SOMI)M}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 1）		2			

(1) 设置控制器位 (SPIGCRx.0)，并且设置时钟相位的位 (SPIFMTx.16)（其中 x= 0 或 1）。
(2) $t_{c(MSS_VCLK)}$ = 主子系统时钟时间 = $1/f_{(MSS_VCLK)}$。有关更多详细信息，请参阅器件技术参考手册。
(3) 当 SPI 处于控制器模式时，必须满足以下条件：对于从 1 到 255 的 PS 值：$t_{c(SPC)M} \geq (PS+1)t_{c(MSS_VCLK)} \geq 25ns$，其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况：$t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$。
(4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
(5) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器内被设定。

Copyright © 2026 Texas Instruments Incorporated

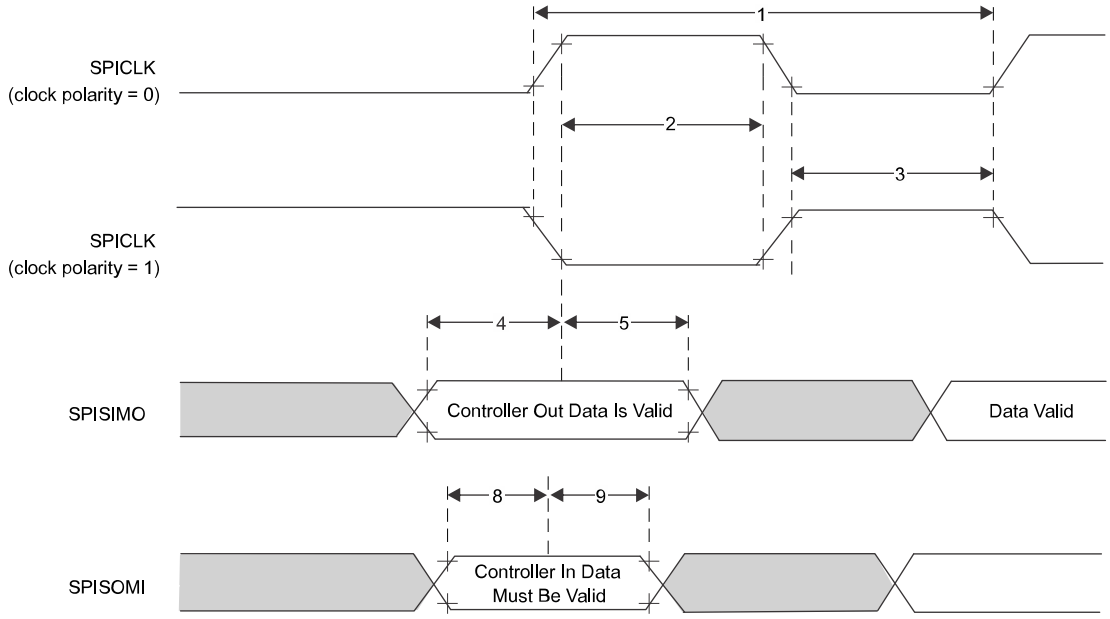


图 6-8. SPI 控制器模式外部时序（时钟相位 = 1）

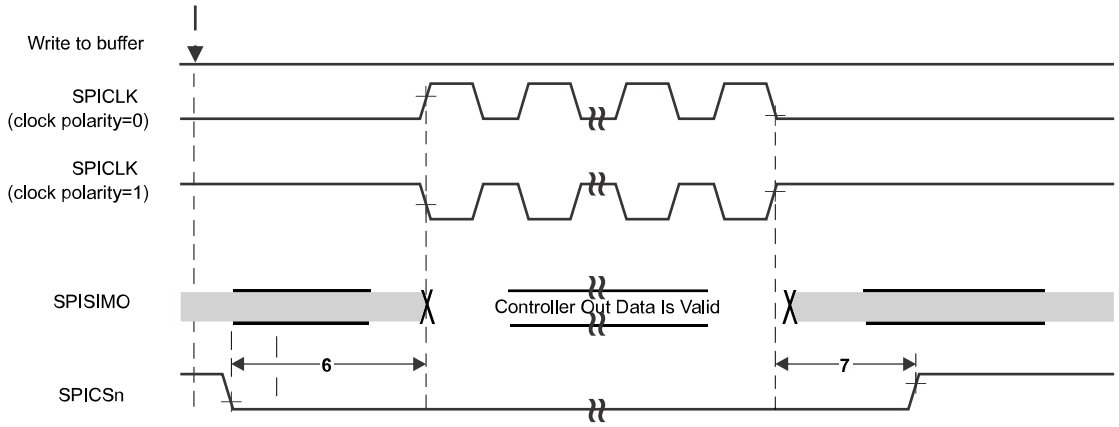


图 6-9. SPI 控制器模式片选时序（时钟相位 = 1）

6.12.2.3 SPI 外设模式 I/O 时序

6.12.2.3.1 SPI 外设模式开关参数（SPICLK = 输入、SPISIMO = 输入和 SPISOMI = 输出） (1) (2) (3)

规格编号	参数(5)		最小值	典型值	最大值	单位
1	$t_{c(SPC)S}$	周期时间，SPICLK(4)	20			ns
2	$t_{w(SPCH)S}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	8			ns
	$t_{w(SPCL)S}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	8			
3	$t_{w(SPCL)S}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	8			ns
	$t_{w(SPCH)S}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	8			
4	$t_{d(SPCH-SOMI)S}$	延迟时间，SPICLK 高电平之后 SPISOMI 有效的时间（时钟极性 = 0）			10	ns
	$t_{d(SPCL-SOMI)S}$	延迟时间，SPICLK 低电平之后 SPISOMI 有效的时间（时钟极性 = 1）			10	
5	$t_{h(SPCH-SOMI)S}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 0）	2			ns
	$t_{h(SPCL-SOMI)S}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 1）	2			
4	$t_{d(SPCH-SOMI)S}$	在 SPICLK 高电平之后 SPISOMI 有效的延迟时间（时钟极性 = 0；时钟相位 = 0）或（时钟极性 = 1；时钟相位 = 1）			14	ns
	$t_{d(SPCL-SOMI)S}$	在 SPICLK 低电平之后 SPISOMI 有效的延迟时间（时钟极性 = 1；时钟相位 = 0）或（时钟极性 = 0；时钟相位 = 1）			14	
5	$t_{h(SPCH-SOMI)S}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 0；时钟相位 = 0）或（时钟极性 = 1；时钟相位 = 1）	2			ns
	$t_{h(SPCL-SOMI)S}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间（时钟极性 = 1；时钟相位 = 0）或（时钟极性 = 0；时钟相位 = 1）	2			
6	$t_{su(SIMO-SPCL)S}$	在 SPICLK 低电平之前 SPISIMO 的建立时间（时钟极性 = 0；时钟相位 = 0）或（时钟极性 = 1；时钟相位 = 1）	2.1			ns
	$t_{su(SIMO-SPCH)S}$	在 SPICLK 高电平之前的 SPISIMO 建立时间（时钟极性 = 1；时钟相位 = 0）或（时钟极性 = 0；时钟相位 = 1）	2.1			
7	$t_{h(SPCL-SIMO)S}$	在 SPICLK 低电平之后 SPISIMO 数据有效的保持时间（时钟极性 = 0；时钟相位 = 0）或（时钟极性 = 1；时钟相位 = 1）	1			ns
	$t_{h(SPCL-SIMO)S}$	在 SPICLK 高电平之后 SPISIMO 数据有效的保持时间（时钟极性 = 1；时钟相位 = 0）或（时钟极性 = 0；时钟相位 = 1）	1			

(1) 控制器位 (SPIGCRx.0) 被清零（其中 x = 0 或 1）。
(2) 对于时钟相位 = 0 或时钟相位 = 1，分别清除或设置时钟相位的位 (SPIFMTx.16)。
(3) $t_{c(MSS_VCLK)}$ = 主子系统时钟时间 = $1/f_{(MSS_VCLK)}$。有关更多详细信息，请参阅器件技术参考手册。
(4) 当 SPI 处于外设模式时，必须满足以下条件：对于从 1 到 255 的 PS 值：$t_{c(SPC)S} \geq (PS+1)t_{c(MSS_VCLK)} \geq 25ns$，其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况：$t_{c(SPC)S} = 2t_{c(MSS_VCLK)} \geq 25ns$。
(5) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

Copyright © 2026 Texas Instruments Incorporated

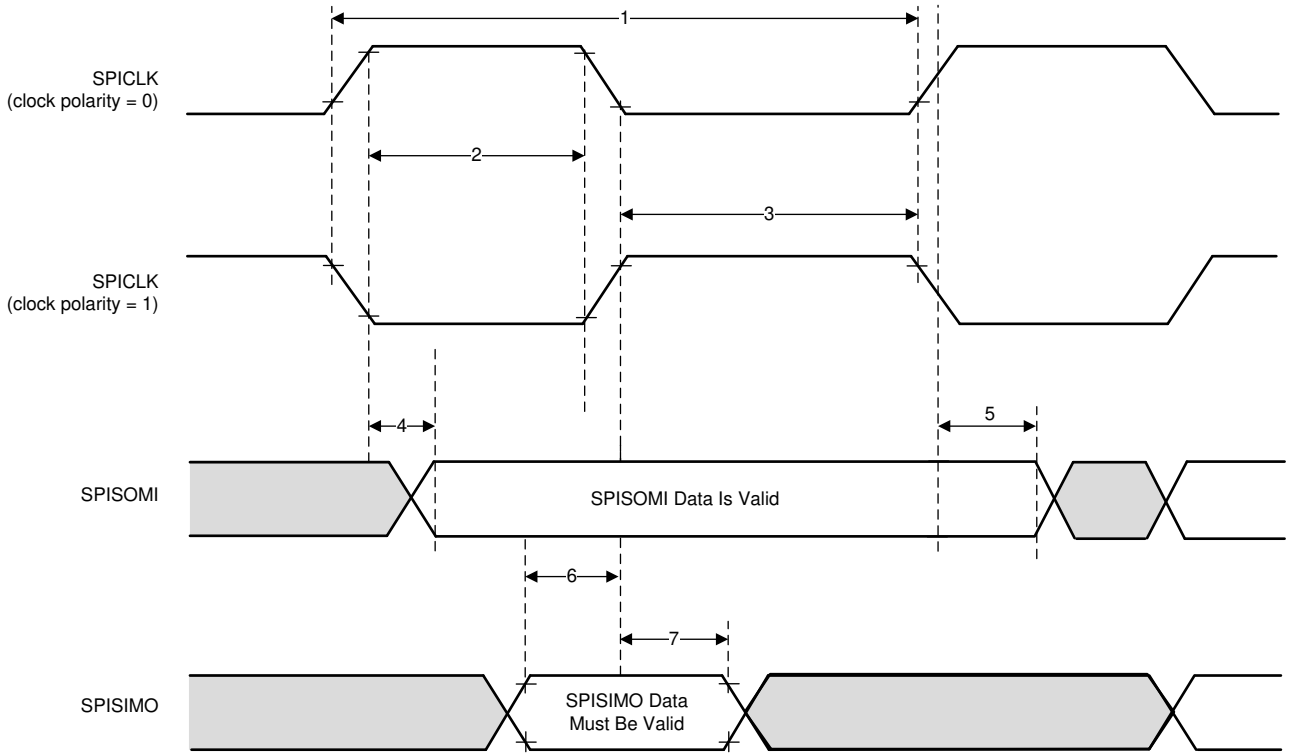


图 6-10. SPI 外设模式外部时序（时钟相位 = 0）

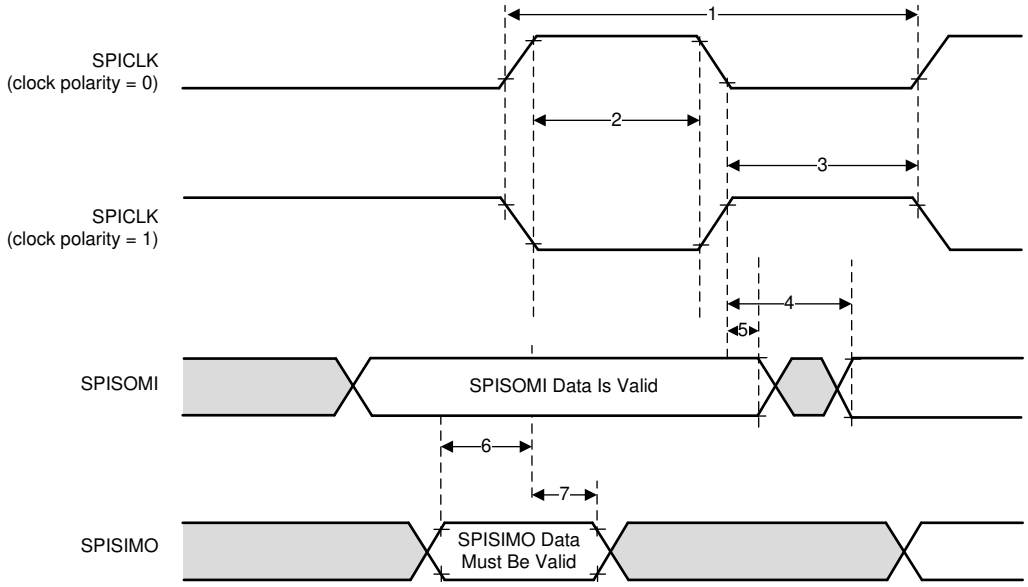


图 6-11. SPI 外设模式外部时序（时钟相位 = 1）

6.12.3 以太网交换机 (RGMII/RMII/MII) 外设

该器件集成了一个双端口以太网，具有一个外部 RGMII/RMII/MII 端口和另一个为主子系统 (MSS) 提供服务的端口。此接口主要用作 100Mbps ECU 接口。它也可以用作仪表接口。

- 全双工 10/100Mbps 线速接口，通过 RGMII、RMII 或 MII 并行接口到以太网 PHY
- MDIO 第 22 条和第 45 条规范 PHY 管理接口
- IEEE 1588 同步以太网支持
- AWR 同步触发输出允许以太网触发雷达帧

6.12.3.1 RGMII 时序条件

规格编号	参数	最小值	典型值	最大值	单位
	输入条件				
1	SR_I 输入压摆率	2.64		5	V/ns
	输出条件				
3	C_{LOAD} 输出负载电容	2		20	pF

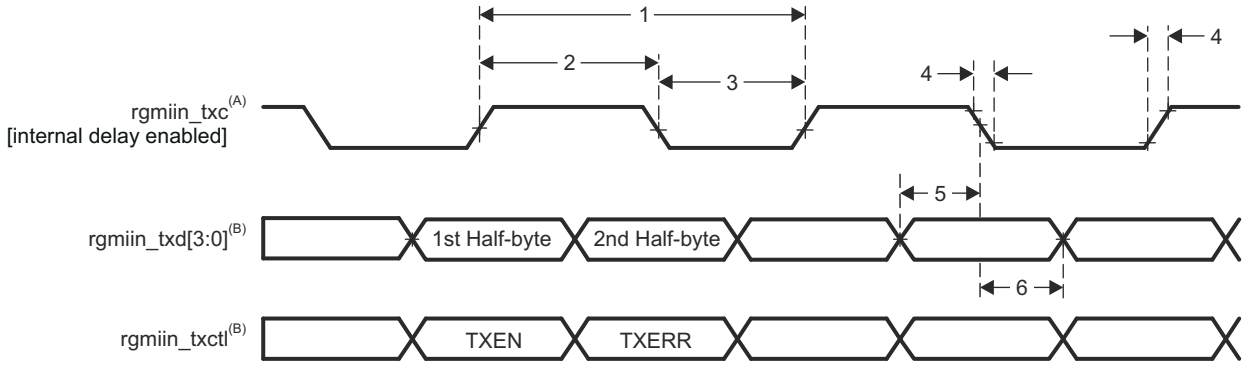
6.12.3.2 RGMII 发送时钟开关特性

编号	参数	说明	SPEED	最小值	最大值	单位
1	$t_{c(TXC)}$	rgmiin_txc 周期时间	10Mbps	360	440	ns
			100Mbps	36	44	ns
2	$t_{w(TXCH)}$	rgmiin_txc 高电平的脉冲持续时间	10Mbps	160	240	ns
			100Mbps	16	24	ns
3	$t_{w(TXCL)}$	rgmiin_txc 低电平的脉冲持续时间	10Mbps	160	240	ns
			100Mbps	16	24	ns
4	$t_{t(TXC)}$	rgmiin_txc 转换时间	10Mbps		0.75	ns
			100Mbps		0.75	ns

6.12.3.3 RGMII 发送数据和控制开关特性

编号(1)	参数	说明	模式	最小值	最大值	单位
5	$t_{osu(TXD-TXC)}$	发送所选信号有效至 MSS_RGMII_TCLK 高电平/低电平的输出建立时间	RGMII，启用内部延迟，10/100Mbps	1.2		ns
6	$t_{oh(TXC-TXD)}$	在 MSS_RGMII_TCLK 高电平/低电平之后发送所选信号有效的输出保持时间	RGMII，启用内部延迟，10/100Mbps	1.2		ns

(1) 对于 RGMII，发送所选信号包括：MSS_RGMII_TXD[3:0] 和 MSS_RGMII_TCTL。



A. TXC 在驱动至 rgmiin_txc 引脚之前会在内部延迟。此内部延迟始终启用。

Copyright © 2026 Texas Instruments Incorporated

B. 数据和控制信息通过时钟的两个边沿发送。rgmiin_txd[3:0] 在 rgmiin_txc 的上升沿承载数据位 3-0，在 rgmiin_txc 的下降沿承载数据位 7-4。类似地，rgmiin_txctl 在 rgmiin_txc 的上升沿承载 TXEN，在 rgmiin_txc 的下降沿承载 TXERR。

图 6-12. RGMII 发送接口开关特性

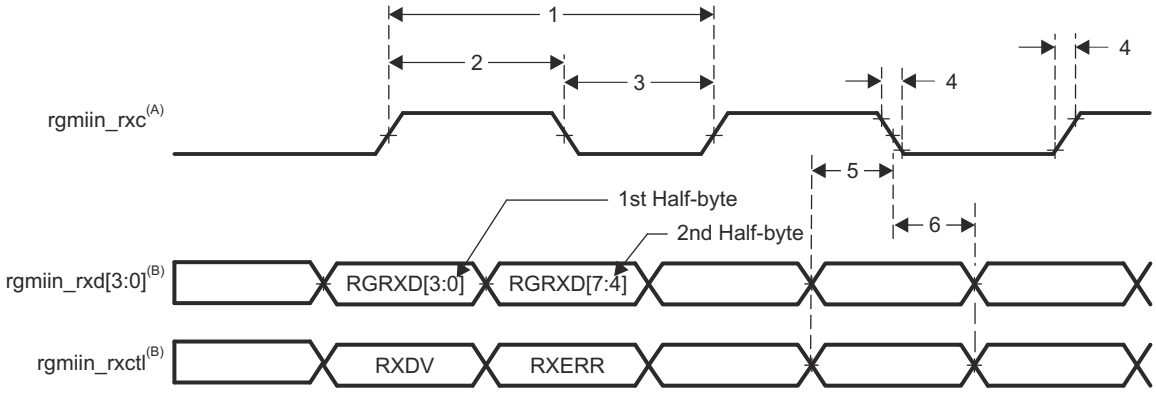
6.12.3.4 RGMII 接收时钟时序要求

编号	参数	说明	SPEED	最小值	最大值	单位
1	$t_{c(RXC)}$	rgmiin_rxc 周期时间	10Mbps	360	440	ns
			100Mbps	36	44	ns
2	$t_{w(RXCH)}$	rgmiin_rxc 高电平的脉冲持续时间	10Mbps	160	240	ns
			100Mbps	16	24	ns
3	$t_{w(RXCL)}$	rgmiin_rxc 低电平的脉冲持续时间	10Mbps	160	240	ns
			100Mbps	16	24	ns
4	$t_{t(RXC)}$	rgmiin_rxc 转换时间	10Mbps		0.75	ns
			100Mbps		0.75	ns

Copyright © 2026 Texas Instruments Incorporated

6.12.3.5 RGMII 接收数据和控制时序要求

编号	参数	说明	最小值	最大值	单位
5	$t_{su(RXD-RXCH)}$	在 MSS_RGMII_RCLK 高电平/低电平之前接收所选信号有效的建立时间	1		ns
6	$t_{h(RXCH-RXD)}$	在 MSS_RGMII_RCLK 高电平/低电平之后接收所选信号有效的保持时间	1		ns



A. rgmiin_rxc 必须相对于数据和控制引脚进行外部延迟。

B. 使用时钟的两个边沿接收数据和控制信息。MSS_RGMII_RXD[3:0] 在 rgmiin_rxc 的上升沿承载数据位 3-0，在 rgmiin_rxc 的下降沿承载数据位 7-4。类似地，rgmiin_rxctl 在 rgmiin_rxc 的上升沿承载 RXDV，在 rgmiin_rxc 的下降沿承载 RXERR。

图 6-13. MAC 接收接口时序，RGMIIn 运行模式

6.12.3.6 RMII 发送时钟开关特性

编号	参数	说明	最小值	最大值	单位
RMII7	$t_{c(REF_CLK)}$	REF_CLK 周期时间	20		ns
RMII8	$t_{w(REF_CLKH)}$	REF_CLK 高电平的脉冲持续时间	7	13	ns
RMII9	$t_{w(REF_CLKL)}$	REF_CLK 低电平的脉冲持续时间	7	13	ns
RMII10	$t_{t(REF_CLK)}$	转换时间，REF_CLK		3	ns

6.12.3.7 RMII 发送数据和控制开关特性

编号	参数	说明	最小值	最大值	单位
RMII11	$t_{d(REF_CLK-TXD)}$	REF_CLK 高电平到所选发送信号有效的延迟时间	2	14.2	ns
	$t_{dd(REF_CLK-TXEN)}$				

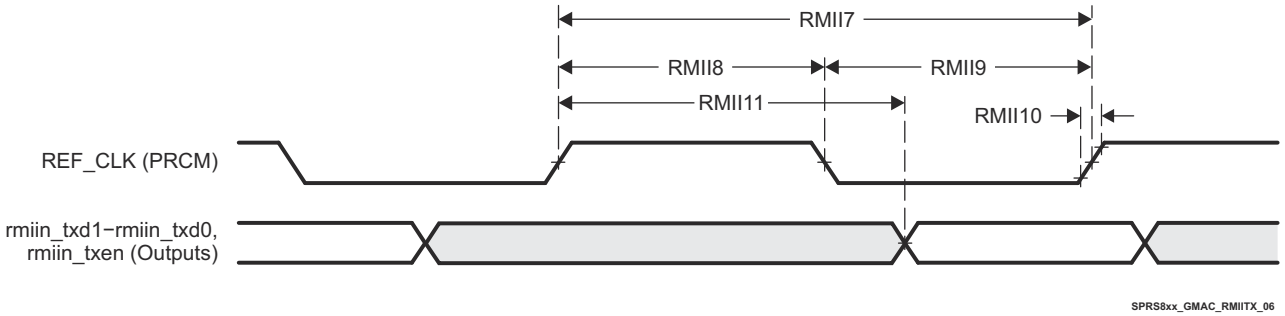


图 6-14. MAC 发送接口时序，RMIIn 运行模式

Copyright © 2026 Texas Instruments Incorporated

6.12.3.8 RMII 接收时钟时序要求

编号	参数	说明	最小值	最大值	单位
RMII1	$t_{c(REF_CLK)}$	REF_CLK 周期时间	20		ns
RMII2	$t_{w(REF_CLKH)}$	REF_CLK 高电平的脉冲持续时间	7	13	ns
RMII3	$t_{w(REF_CLKL)}$	REF_CLK 低电平的脉冲持续时间	7	13	ns
RMII4	$t_{tt(REF_CLK)}$	转换时间，REF_CLK		3	ns

6.12.3.9 RMII 接收数据和控制时序要求

编号	参数	说明	最小值	最大值	单位
RMII5	$t_{su(RXD-REF_CLK)}$	在 REF_CLK 之前接收所选信号有效的建立时间	4		ns
	$t_{su(CRS_DV-REF_CLK)}$				
	$t_{su(RX_ER-REF_CLK)}$				
RMII6	$t_{h(REF_CLK-RXD)}$	在 REF_CLK 之后接收所选信号有效的保持时间	2		ns
	$t_{h(REF_CLK-CRS_DV)}$				
	$t_{h(REF_CLK-RX_ER)}$				

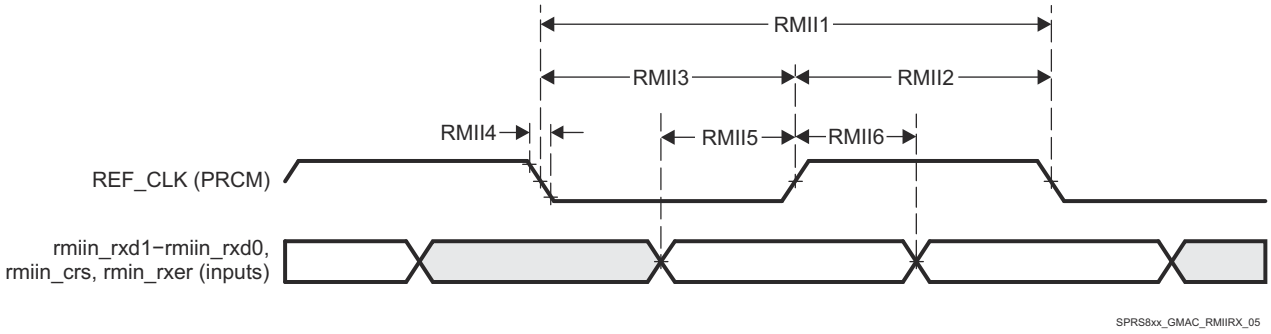


图 6-15. MAC 接收接口时序，RMIIn 运行模式

6.12.3.10 MII 发送开关特性

编号	参数	说明	最小值	最大值	单位
1	$t_{d(TX_CLK-TXD)}$	miin_txclk 到发送所选信号有效的延迟时间	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$				
	$t_{d(TX_CLK-TX_ER)}$				

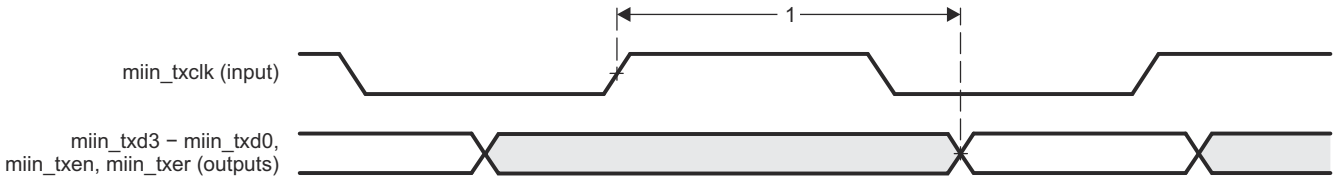


图 6-16. MAC 发送接口时序，MIIn 运行模式

6.12.3.11 MII 接收时钟时序要求

编号	参数	说明	速度	最小值	最大值	单位
1	$t_{c(RX_CLK)}$	miin_rxclk 周期时间	10Mbps	400		ns
			100Mbps	40		ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	速度	最小值	最大值	单位
2	$t_{w(RX_CLKH)}$	miin_rxclk 高电平的脉冲持续时间	10Mbps	140	260	ns
			100Mbps	14	26	ns
3	$t_{w(RX_CLKL)}$	miin_rxclk 低电平的脉冲持续时间	10Mbps	140	260	ns
			100Mbps	14	26	ns
4	$t_{t(RX_CLK)}$	miin_rxclk 转换时间	10Mbps		3	ns
			100Mbps		3	ns

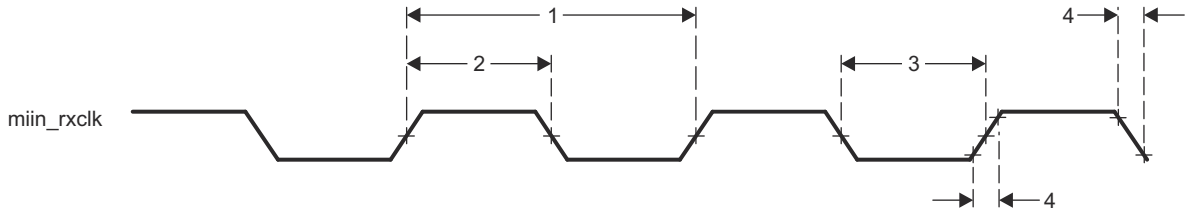


图 6-17. 时钟时序（MAC 接收）— MIIn 运行模式

6.12.3.12 MII 接收时序要求

编号	参数	说明	最小值	最大值	单位
1	$t_{su(RXD-RX_CLK)}$	在 miin_rxclk 之前接收所选信号有效的建立时间	8		ns
	$t_{su(RX_DV-RX_CLK)}$				
	$t_{su(RX_ER-RX_CLK)}$				
2	$t_{h(RX_CLK-RXD)}$	在 miin_rxclk 之后接收所选信号有效的保持时间	8		ns
	$t_{h(RX_CLK-RX_DV)}$				
	$t_{h(RX_CLK-RX_ER)}$				

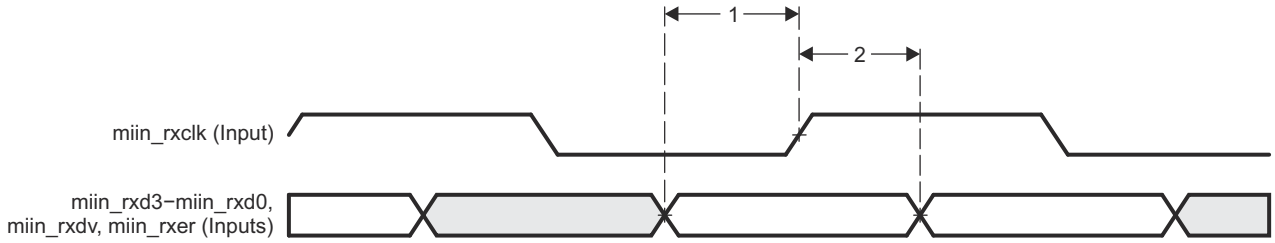


图 6-18. MAC 接收接口时序，MIIn 运行模式

6.12.3.13 MII 发送时钟时序要求

编号	参数	说明	速度	最小值	最大值	单位
1	$t_{c(TX_CLK)}$	miin_txclk 周期时间	10Mbps	400		ns
			100Mbps	40		ns
2	$t_{w(TX_CLKH)}$	miin_txclk 高电平的脉冲持续时间	10Mbps	140	260	ns
			100Mbps	14	26	ns
3	$t_{w(TX_CLKL)}$	miin_txclk 低电平的脉冲持续时间	10Mbps	140	260	ns
			100Mbps	14	26	ns
4	$t_{t(TX_CLK)}$	miin_txclk 转换时间	10Mbps		3	ns
			100Mbps		3	ns

Copyright © 2026 Texas Instruments Incorporated

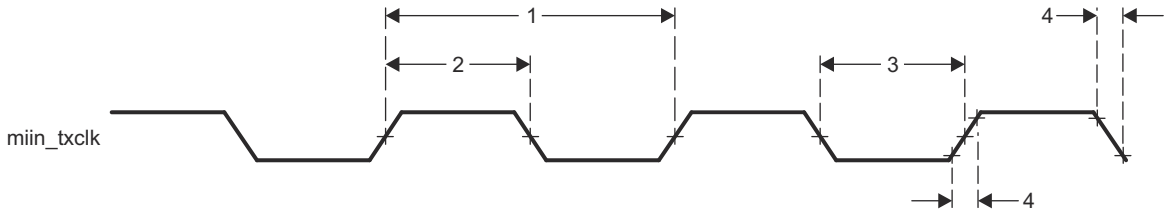


图 6-19. 时钟时序（MAC 发送）- MIIn 运行模式

6.12.3.14 MDIO 接口时序

> **小心**
>
> 当相应的虚拟 IO 时序或手动 IO 时序按照本节中的各个表所述进行配置时，本节提供的 IO 时序仅对某些 MAC 使用模式有效。

表 6-7、表 6-8 和图 6-20 显示了 MDIO 接口的开关特性和时序要求。

表 6-7. MDIO 输入的时序要求

否	参数	说明	最小值	最大值	单位
MDIO1	$t_{c(MDC)}$	周期时间，MDC	400		ns
MDIO2	$t_{w(MDCH)}$	MDC 高电平的脉冲持续时间	160		ns
MDIO3	$t_{w(MDCL)}$	MDC 低电平的脉冲持续时间	160		ns
MDIO4	$t_{su(MDIO-MDC)}$	在 MDC 高电平之前 MDIO 有效的建立时间	90		ns
MDIO5	$t_{h(MDIO_MDC)}$	从 MDC 高电平至 MDIO 有效的保持时间	0		ns

表 6-8. MDIO 输出在建议运行条件下的开关特性

否	参数	说明	最小值	最大值	单位
MDIO6	$t_{t(MDC)}$	MDC 转换时间		5	ns
MDIO7	$t_{d(MDC-MDIO)}$	MDC 低电平到 MDIO 有效的延迟时间	10	(P * 0.5) - 10	ns

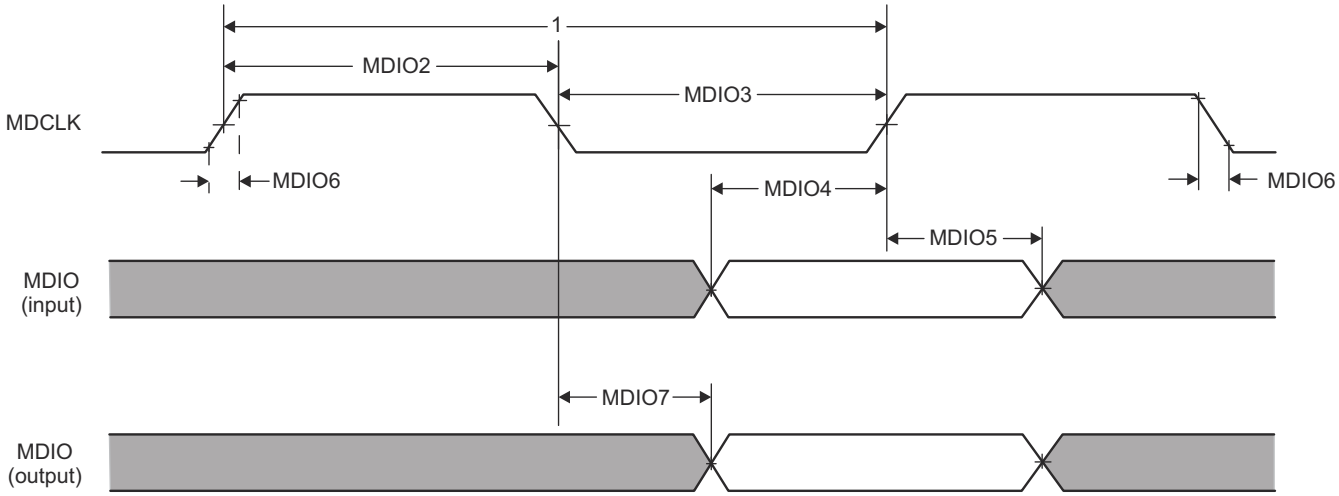


图 6-20. MAC MDIO 图表

6.12.4 LVDS/Aurora 仪表和测量外设

该器件在两种不同模式下支持一组 LVDS 接口。

- 传统 LVDS 模式
- STM-TWP Aurora 接口

LVDS IO 在上述两种测量接口选项之间共享。

支持以下特性：

- 双数据通道 LVDS 接口（两个额外通道用于数据时钟和帧时钟）
- 4 通道 STM-TWP-Aurora-LVDS 接口模式。它具有以下特性：
  - 可配置的 4/2/1 通道运行。
  - 发送数据符合 Aurora 8B/10B 串行单工运行标准
  - 发送数据符合 Aurora 64B/66B 串行单工运行标准

有关 LVDS 接口的编程选项的信息，请参阅器件 TRM。

6.12.4.1 LVDS 接口配置

支持的 LVDS 通道配置为双数据通道 (LVDS_TXP/M)、一个位时钟通道 (LVDS__TXxx_CLKP/M) 和一个帧时钟通道 (LVDS_TXxx_FRCLKP/M)。LVDS 接口支持最高为 900Mbps（450MHz DDR 时钟）的可编程数据速率。

请注意，位时钟采用 DDR 格式，因此时钟中的切换次数相当于数据。

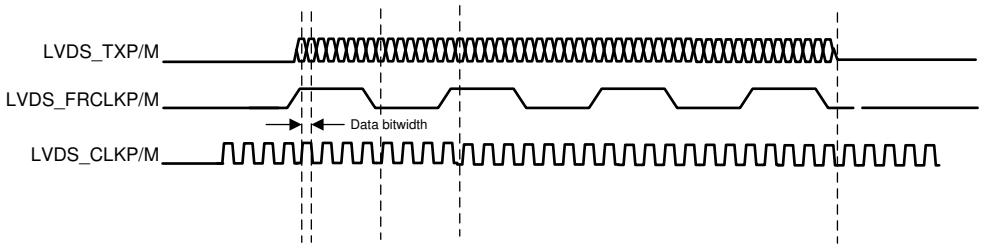


图 6-21. LVDS 接口通道配置和相关时序

6.12.4.2 LVDS 接口时序

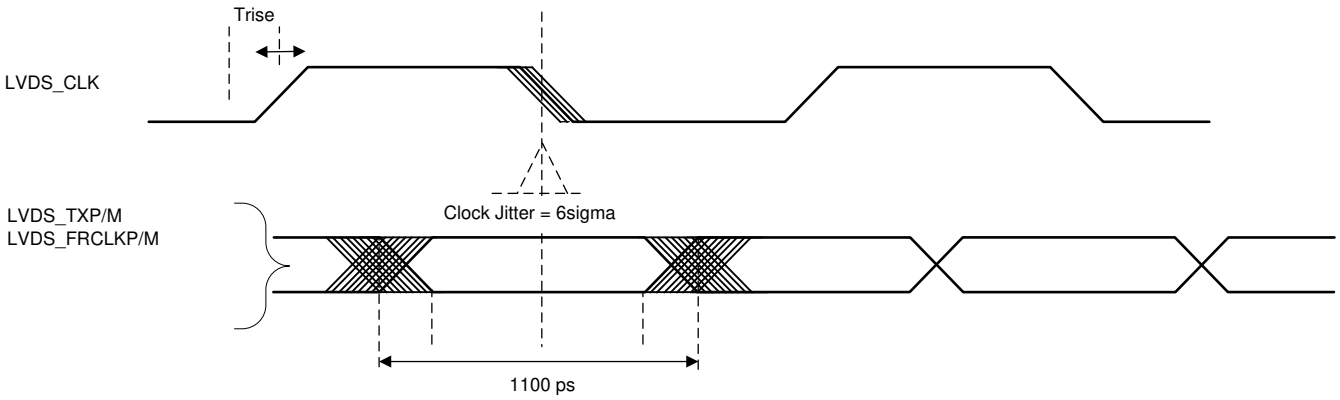


图 6-22. 计时参数

表 6-9. LVDS 电气特性

参数	测试条件	最小值	典型值	最大值	单位
占空比要求	LVDS 通道上的最大 1pF 集总容性负载	48%		52%	
输出差分电压	峰峰值单端，差分对之间具有 100Ω 电阻负载	250		450	mV

Copyright © 2026 Texas Instruments Incorporated

表 6-9. LVDS 电气特性（续）

参数	测试条件	最小值	典型值	最大值	单位
输出失调电压		1125		1275	mV
Trise 和 Tfall	20%-80%，900Mbps		330		ps
抖动（峰峰值）	900Mbps		80		ps

6.12.5 UART 外设

该器件包含四个 UART 接口。一个 UART 旨在用作次级引导加载程序源，另一个旨在用作寄存器调试接口（带有 XDS110 仿真器），其余两个旨在用于通用 UART 通信支持。

- 在所有不同的时钟频率模式下，支持的最大波特率应至少为 1536K 波特
- UART 接口与其他 I/O 多路复用，以实现最广泛的外设使用灵活性

6.12.5.1 SCI 时序要求

		最小值	典型值	最大值	单位
f(baud)	20pF 时支持的波特率		921.6		kHz

6.12.6 内部集成电路接口 (I2C)

该器件支持一个控制器/目标内部集成电路接口，旨在连接到外部 PMIC 或 EEPROM 器件（替代控制 SPI）。

I2C 有下列特性：

- 标准/快速模式 I2C 接口与飞利浦 I2C 总线技术规范 v2.1 兼容（I2C 技术规范，飞利浦文献编号 9398 393 40011）
  - 位/字节格式传输
  - 7 位和 10 位器件寻址模式
  - 常规调用
  - 开始字节
  - 多控制器发送器/目标接收器模式
  - 多控制器接收器/目标发送器模式
  - 组合控制器发送/接收和接收/发送模式
  - 100kbps 到高达 400kbps 的传输速率（飞利浦快速模式速率）
- 自由数据格式
- 两个 DMA 事件（发送和接收）
- DMA 事件启用/禁用功能
- 模块启用/禁用能力
- 可选择将 SDA 和 SCL 配置为通用 I/O
- 输出的转换率控制
- 输出的开漏控制
- 输入上的可编程上拉/下拉功能
- 支持忽略 NACK 模式

备注

这个 I2C 模块不支持：

- 高速 (HS)模式
- C 总线兼容模式
- 10 位地址模式下的组合格式（I2C 在每次发送目标地址第一个字节时，都会发送目标地址第二个字节）

Copyright © 2026 Texas Instruments Incorporated

6.12.6.1 I2C 时序要求 (1)

		标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$t_{c(SCL)}$	周期时间，SCL	10		2.5		µs
$t_{su(SCLH-SDAL)}$	在 SDA 低电平之前 SCL 高电平的建立时间（对于重复启动条件）	4.7		0.6		µs
$t_{h(SCLL-SDAL)}$	在 SDA 低电平之后 SCL 低电平的保持时间（对于启动或重复启动条件）	4		0.6		µs
$t_{w(SCLL)}$	脉冲持续时间，SCL 低电平	4.7		1.3		µs
$t_{w(SCLH)}$	脉冲持续时间，SCL 高电平	4		0.6		µs
$t_{su(SDA-SCLH)}$	在 SCL 高电平之前 SDA 有效的设置时间	250		100		µs
$t_{h(SCLL-SDA)}$ (1)	在 SCL 低电平之后 SDA 有效的保持时间	0	3.45	0	0.9	µs
$t_{w(SDAH)}$	脉冲持续时间，在 STOP 和 START 条件之间 SDA 高电平的时间	4.7		1.3		µs
$t_{su(SCLH-SDAH)}$	在 SDA 高电平之前 SCL 高电平的建立时间（对于停止条件）	4		0.6		µs
$t_{w(SP)}$	脉冲持续时间，尖峰（必须被抑制）			0	50	ns
C_b (2) (3)	每个总线的容性负载		400		400	pF

(1) I2C 引脚 SDA 和 SCL 不具备失效防护 I/O 缓冲区。当该器件的电源关闭时，这些引脚有可能耗电。
(2) 仅当器件不延长 SCL 信号的低电平周期 (tw(SCLL)) 时，才必须满足 I2C 总线器件的最大 th(SDA-SCLL)。
(3) C_b = 以 pF 为单位的一条总线的总电容。如果与快速模式器件混合使用，可实现更快的下降时间。

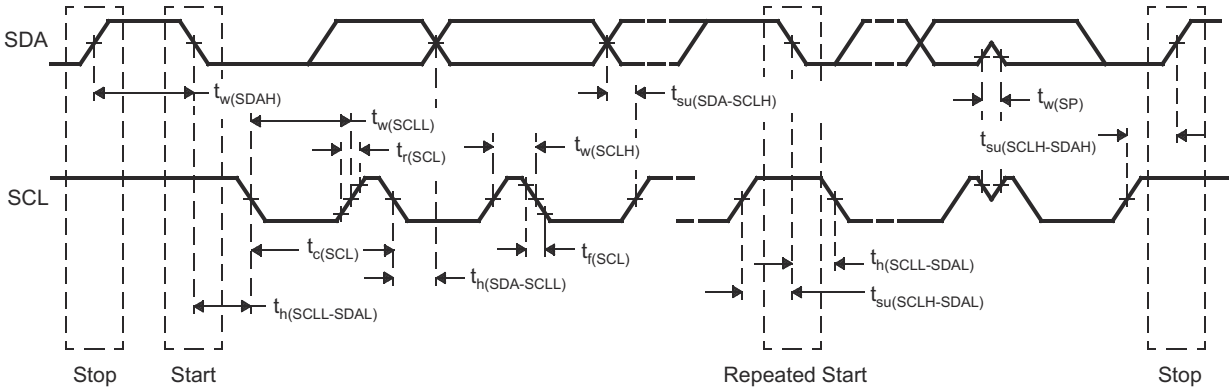


图 6-23. I2C 时序图

备注

- 一个器件必须在内部为 SDA 信号提供一个最少为 300ns 的保持时间（以 SCL 信号的 VIHmin 为基准）来连接 SCL 下降边沿的未定义区域。
- 仅当器件不延长 SCL 信号的低电平周期 (tw(SCLL)) 时，才必须满足最大 th(SDA-SCLL)。快速模式 I2C 总线器件可用于标准模式 I2C 总线系统，但必须满足 $t_{su(SDA-SCLH)}$ ≥ 250ns 的要求。如果该器件不延长 SCL 信号的低电平周期，将自动成为该情况。如果器件确实延长了 SCL 信号的低电平周期，它必须将下一个数据位输出到 SDA 线路 tr 最大值 + $t_{su(SDA-SCLH)}$。

Copyright © 2026 Texas Instruments Incorporated

6.12.7 控制器局域网 - 灵活数据速率 (CAN-FD)

该器件集成了两个 CAN-FD 接口：MSS_MCANA 和 MSS_MCANB。这使得器件能够支持如下所示的典型使用案例：一个 CAN-FD 接口用作 ECU 网络接口，而另一个接口用作本地网络接口，从而提供与邻近传感器的通信。

- 根据 ISO 11898-7 协议支持 CAN-FD，数据速率高达 8Mbps
- 多路复用 GPIO 可用于 CAN-FD 外部驱动器控制
- AWRx 同步触发输出允许 CAN-FD 触发雷达帧

6.12.7.1 CAN-FD TX 和 RX 引脚的动态特性

参数(1)		最小值	典型值	最大值	单位
$t_{d(MSS_CANA_TX)}$	延迟时间，发送移位寄存器到 MSS_CANA_TX 引脚的时间			15	ns
$t_{d(MSS_CANB_TX)}$	延迟时间，发送移位寄存器到 MSS_CANB_TX 引脚的时间			15	ns
$t_{d(MSS_MCANA_RX)}$	延迟时间，MSS_MCANA_RX 引脚到接收移位寄存器的时间			10	ns
$t_{d(MSS_MCANB_RX)}$	延迟时间，MSS_MCANB_RX 引脚到接收移位寄存器的时间			10	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

6.12.8 CSI2 接收器外设

该器件在无线电处理子系统中集成了一个 3 通道 MIPI CSI2、D-PHY 接收器外设。CSI2 接口主要用作硬件在环 (HIL) 接口，以允许出于开发目的回放记录的雷达数据。

- 接口符合 MIPI CSI-2 D-PHY 标准修订版 1.2
- 1 x 3 通道（2 个数据通道，1 个时钟通道）CSI2 接收器接口，在每通道 600Mbps 的速率下同步工作
- 双通道或单通道 CSI2 配置
- 支持 4 个同步虚拟通道和数据类型
- 支持 8/10/12/14/16 位原始数据模式，具有符号扩展或填充零功能，以便与原始 10/12/14 模式的 16 位内存寻址保持一致
- 支持用户定义的数据类型

有关所有可编程选项的完整说明，请参阅器件的技术参考手册。

6.12.8.1 CSI2 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	典型值	最大值	单位
低功耗接收器 (LP-RX)					
V_{IL} (1)	逻辑 0 输入阈值			550	mV
V_{IH} (2)	逻辑 1 输入阈值	880			mV
V_{HYST}	输入迟滞	25			mV
高速接收器 (HS-RX)					
V_{IDTH}	差分输入高阈值	70			mV
V_{IDTL}	差分输入低阈值			-70	mV
V_{IDMAX}	最大差分输入电压			270	mV
V_{ILHS}	单端输入低电平	-40			mV
V_{IHHS}	单端输入高电压			460	mV
V_{CMRXDC}	共模电压	70		330	mV
$\Delta_{VCMRX(HF)}$	共模干扰超过 450MHz			200	mVPP
$\Delta_{VCMRX(LF)}$	共模干扰介于 50MHz - 450MHz 之间	-50		50	mVPP

Copyright © 2026 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	典型值	最大值	单位
HS DATA-CLOCK 时序规格 (3) (5)					
UI_{INST}	数据/时钟单位间隔	1.11			ns
T_{SETUP}	数据到时钟建立时间	166			ps
T_{HOLD}	时钟到数据保持时间	166			ps
T_R、T_F (4)	上升/下降时间	166		0.4*UI_{INST}	ps

(1) 输入低电平电压 VIL 是接收器检测输入信号中低电平状态所需的电压。VIL 大于 HS 传输期间的最大单端线路电压。因此，两个 LP 接收器将在 HS 信号传输期间检测到低电平
(2) 输入高电平电压 VIH 是接收器检测输入信号中高电平状态所需的电压。
(3) 图中的 TSKEW 是接收器输入端可承受的时钟和数据 HS 信号之间的偏移。它只是一个描述性参数。Rx 时序仅通过 TSETUP/THOLD 指定。
(4) 从 V_{IDTL} 到 V_{IDTH} 的上升/下降。
(5) 建立/保持规格假设接收器输入端的数据通道和时钟通道的共模和上升/下降时间相同。即在测量 T_{SETUP} 和 T_{HOLD} 时，时钟通道和数据通道的 V_{CMRXDC} 和 T_R、T_F 必须相同

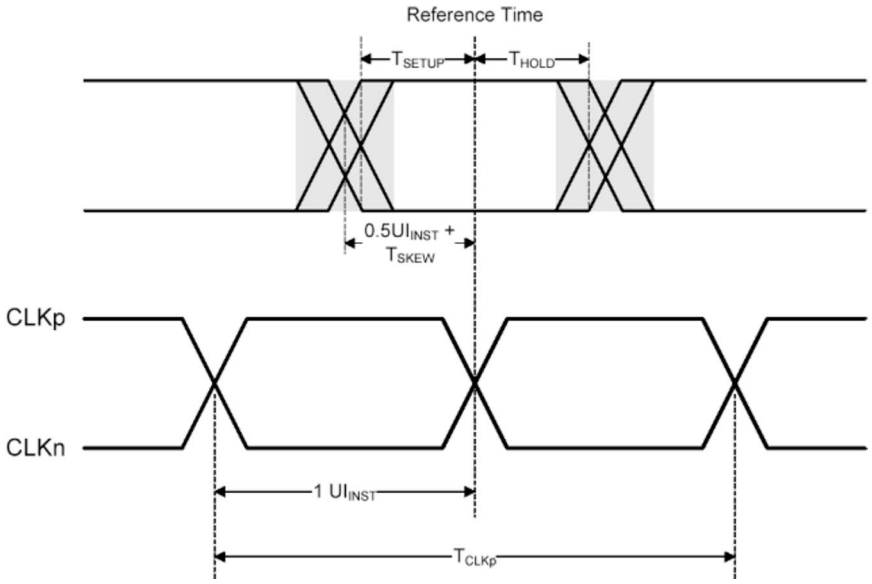


图 6-24. HS 发送模式下的时钟和数据时序

Copyright © 2026 Texas Instruments Incorporated

6.12.9 增强型脉宽调制器 (ePWM)

该器件包括三个增强型脉宽调制 (ePWM) 模块。这些模块可用于为电源稳压器或电源管理系统生成占空比受控波形，或者为电机控制应用生成更复杂的波形。

该模块支持以下特性：

- 专用的 16 位时基计数器，可对每个 PWM 模块进行周期和频率控制
- 每个模块包含两个 PWM 输出（EPWMxA 和 EPWMxB），可用于以下配置：
  - 两个具有单边沿操作模式的独立 PWM 输出
  - 两个具有双边沿对称操作模式的独立 PWM 输出
  - 一个具有双边沿非对称操作模式的独立 PWM 输出

6.12.10 通用输入/输出

节 6.12.10.1 列出了输出时序相对于负载电容的开关特性。

6.12.10.1 输出时序的开关特性与负载电容 (C_L) 间的关系 (1) (2)

参数		测试条件		VIOIN = 1.8V	VIOIN = 3.3V	单位
t_r	最大上升时间	转换控制 = 0	C_L = 20pF	2.8	3.0	ns
			C_L = 50pF	6.4	6.9	
			C_L = 75pF	9.4	10.2	
t_f	最大下降时间		C_L = 20pF	2.8	2.8	ns
			C_L = 50pF	6.4	6.6	
			C_L = 75pF	9.4	9.8	
t_r	最大上升时间	转换控制 = 1	C_L = 20pF	3.3	3.3	ns
			C_L = 50pF	6.7	7.2	
			C_L = 75pF	9.6	10.5	
t_f	最大下降时间		C_L = 20pF	3.1	3.1	ns
			C_L = 50pF	6.6	6.6	
			C_L = 75pF	9.6	9.6	

(1) 转换控制由 PADxx_CFG_REG 配置，可更改输出驱动器的行为（输出转换率更快或更慢）。
(2) 上升/下降时间测量为信号从 VIOIN 电压的 10% 转换到 90% 所需的时间。

Copyright © 2026 Texas Instruments Incorporated

6.13 仿真和调试

6.13.1 仿真和调试说明

6.13.2 JTAG 接口

JTAG 接口实现了用于处理器调试和边界扫描测试的 IEEE1149.1 标准接口。

节 6.13.2.1 和节 6.13.2.2 假设了图 6-25 所示的运行条件。

6.13.2.1 IEEE 1149.1 JTAG 的时序要求

表 6-10. JTAG 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

表 6-11. JTAG 时序要求

编号			最小值	典型值	最大值	单位
1	$t_{c(TCK)}$	TCK 周期时间	33.33			ns
1a	$t_{w(TCKH)}$	TCK 高电平的脉冲持续时间（tc 的 40%）	13.33			ns
1b	$t_{w(TCKL)}$	TCK 低电平的脉冲持续时间（tc 的 40%）	13.33			ns
3	$t_{su(TDI-TCK)}$	TDI 有效至 TCK 高电平的输入建立时间	2.5			ns
3	$t_{su(TMS-TCK)}$	TMS 有效至 TCK 高电平的输入建立时间	2.5			ns
4	$t_{h(TCK-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	18			ns
4	$t_{h(TCK-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	18			ns

6.13.2.2 IEEE 1149.1 JTAG 的开关特性

编号	参数		最小值	典型值	最大值	单位
2	$t_{d(TCKL-TDOV)}$	TCK 低电平到 TDO 有效的延迟时间	0		21	ns

Copyright © 2026 Texas Instruments Incorporated

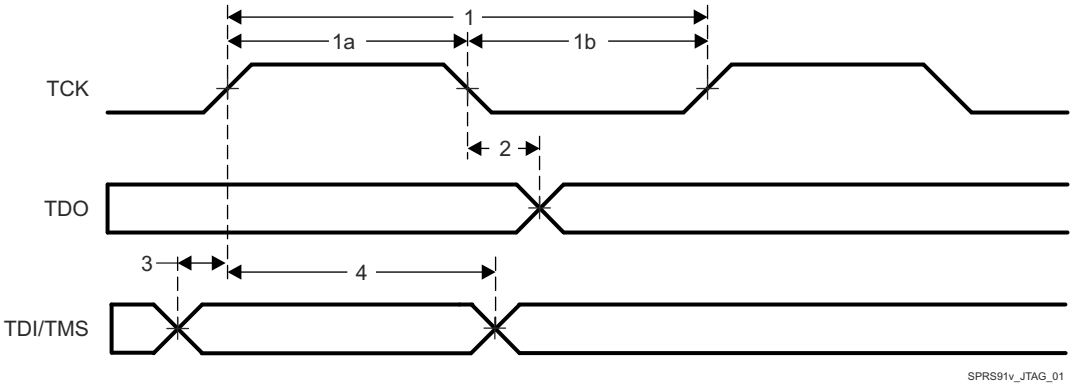


图 6-25. JTAG 时序

6.13.3 ETM 跟踪接口

ETM 跟踪接口提供了一种通过兼容的仿真器工具集将实时处理器调试信息导出到主机 PC 的方法。

节 6.13.3.1 和节 6.13.3.2 描述了图 6-26 和图 6-27 所示的操作条件。

6.13.3.1 ETM TRACE 时序要求

		最小值	典型值	最大值	单位
输出条件					
C_{LOAD}	输出负载电容	2		20	pF

6.13.3.2 ETM 跟踪开关特性

编号	参数		最小值	典型值	最大值	单位
1	$t_{cyc(ETM)}$	TRACECLK 周期的周期时间	16			ns
2	$t_{h(ETM)}$	TRACECLK 高电平的脉冲持续时间	7			ns
3	$t_{l(ETM)}$	TRACECLK 低电平的脉冲持续时间	7			ns
4	$t_{r(ETM)}$	时钟和数据上升时间			3.3	ns
5	$t_{f(ETM)}$	时钟和数据下降时间			3.3	ns
6	$t_{d(ETMTRACECLKH-ETMDATAV)}$	ETM 跟踪时钟高电平至 ETM 数据有效的延迟时间	1		14.5	ns
7	$t_{d(ETMTRACECLKl-ETMDATAV)}$	ETM 跟踪时钟低电平至 ETM 数据有效的延迟时间	1		14.5	ns

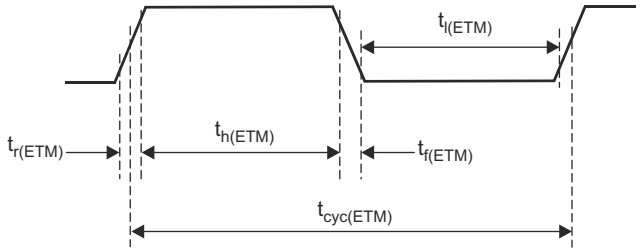


图 6-26. ETMTRACECLKOUT 时序

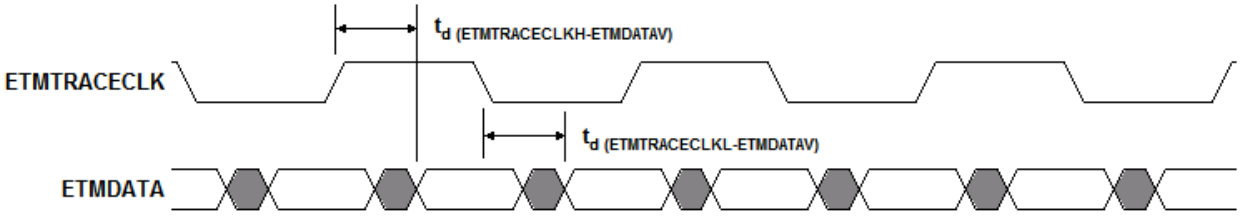


图 6-27. ETMDATA 时序

Copyright © 2026 Texas Instruments Incorporated

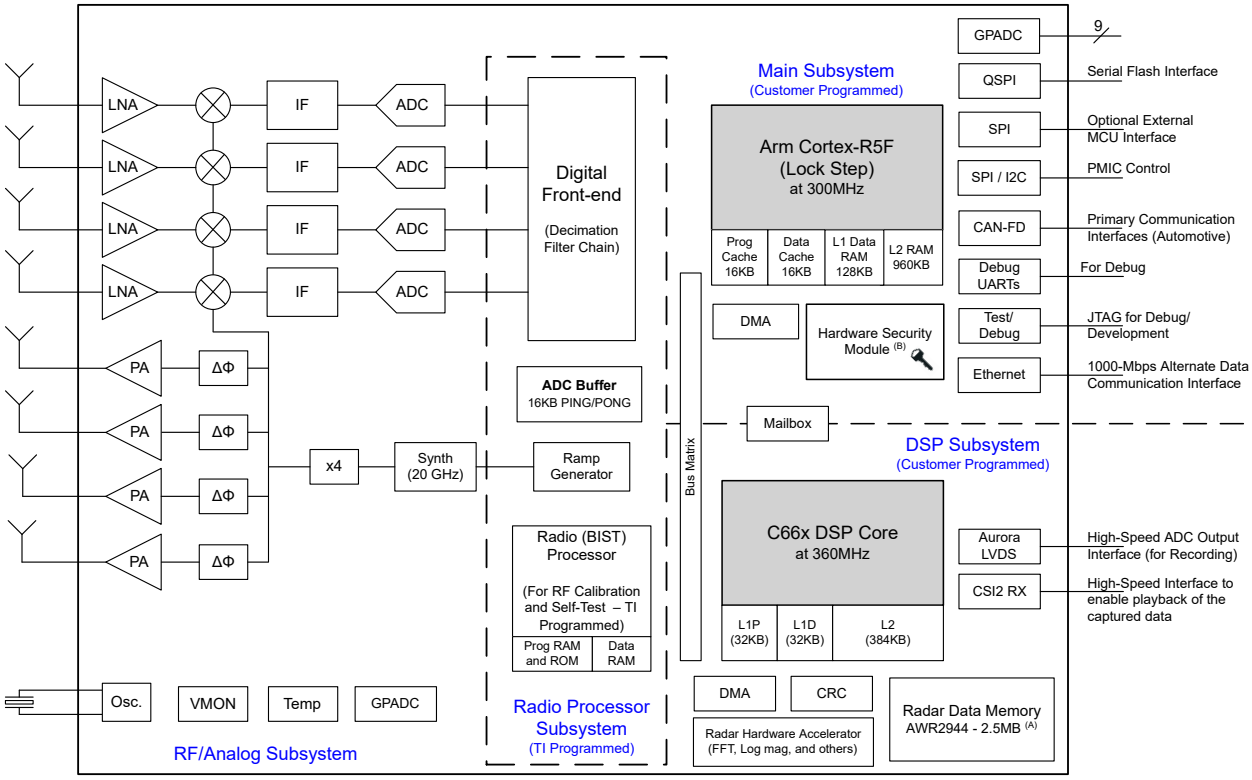
7 详细说明

7.1 概述

AWR294x 器件包括用于三个或四个发送器和四个接收器的整个毫米波块和模拟基带信号链，以及客户可编程 MCU 和 DSP。该器件是适用于对存储器、处理能力和应用代码大小具有适度要求的用例的片上雷达。例如，从 24GHz 窄带实现发展而来的成本敏感型汽车应用以及一些新兴的超短距离雷达应用。

7.2 功能方框图

图 7-1 展示了器件的功能方框图。



A. 可配置存储器可以根据应用用例需求从雷达数据存储器切换到主 Cortex-R5F 程序和数据 RAM。

B. 此特性仅在部分器件型号中可用，如节 3 “器件信息”表中的“器件类型标识符”所示。

图 7-1. 功能方框图

7.3 子系统

7.3.1 射频 (RF) 和模拟子系统

射频和模拟子系统包括射频和模拟电路，即合成器、PA、LNA、混频器、IF 和 ADC。这个子系统还包括晶体振荡器和多个温度传感器。四个发送和接收通道都可以同时工作，以便根据需要进行发送波束形成和接收数据。

7.3.1.1 射频时钟子系统

器件时钟子系统从 40MHz 晶体的输入基准频率生成 76GHz 至 81GHz 的频率。它具有一个内置振荡器电路，后跟一个模拟 PLL 和一个射频合成器电路。然后，射频合成器的输出由 x4 乘法器进行处理，以生成 76GHz 至 81GHz 频谱范围内的所需频率。可以通过计时引擎模块对射频合成器输出进行调制，以生成传感器有效运行所需的波形，或者，射频合成器可以直接从 APLL 输入 1GHz 的固定信号。

模拟 PLL 还在系统唤醒后为主机处理器提供基准时钟。

时钟子系统还具有内置的机制，用于检测晶体是否存在以及监控所生成的时钟的质量。

图 7-2 介绍了时钟子系统。

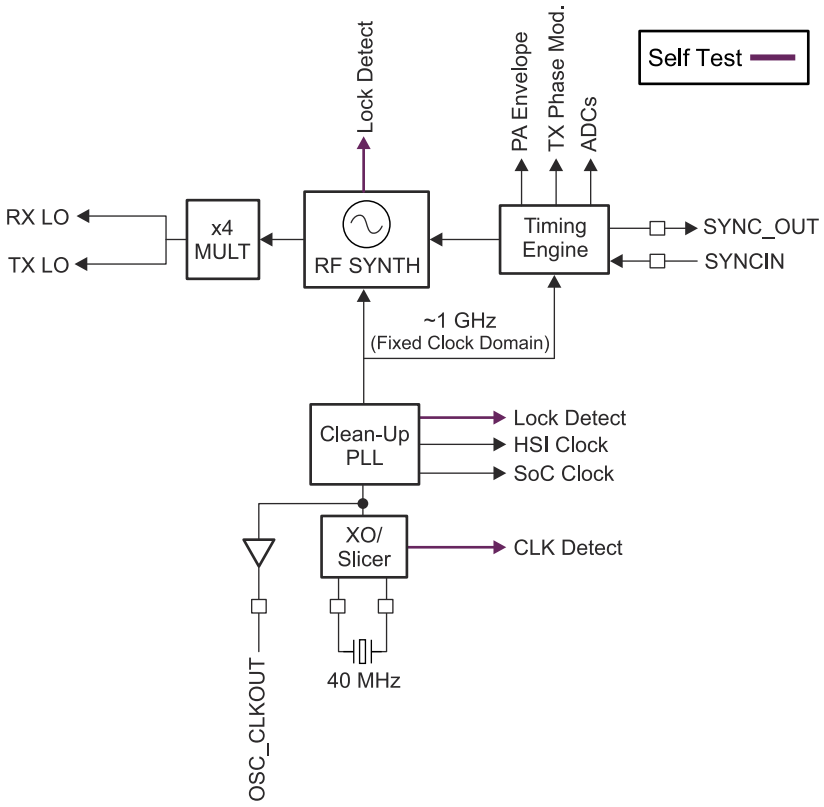


图 7-2. 射频时钟子系统

Copyright © 2026 Texas Instruments Incorporated

7.3.1.2 发送子系统

器件发送子系统由四个并行发送链组成，每个发送链具有独立的相位和振幅控制。所有四个发送器可以同时使用或以时分多路复用的方式使用。该器件支持二进制相位调制和一个 6 位可编程移相器，以针对每个通道按逐个线性调频脉冲进行波束形成控制，如下图所示。

每个发送链在封装 BGA 焊球处的输出典型值为 13.5dBm。发送链还支持可编程退避以实现系统优化。

图 7-3 介绍了发送子系统。

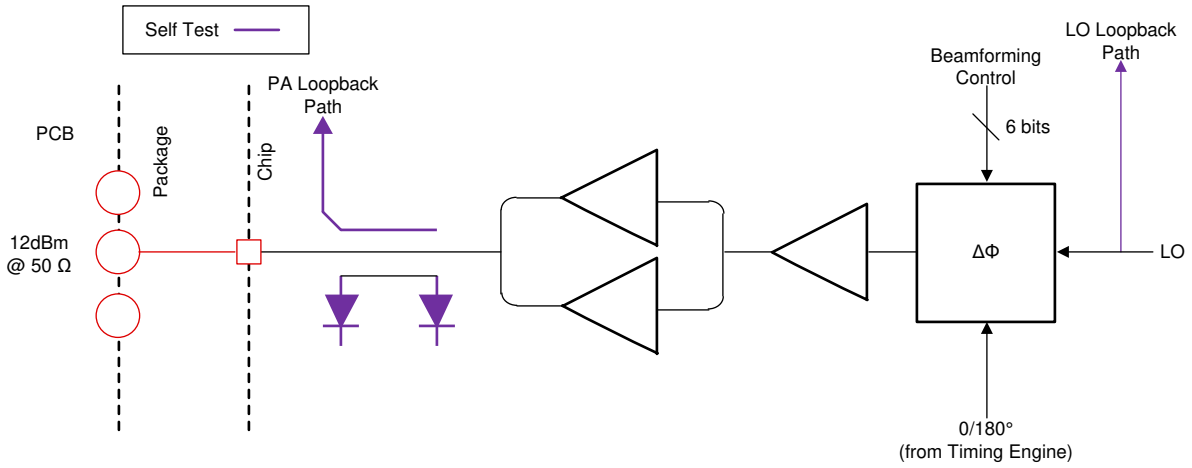


图 7-3. 发送子系统（每通道）

7.3.1.3 接收子系统

器件接收子系统由四个并行通道组成。单个接收通道由 LNA、混频器、IF 滤波、ADC 转换和抽取组成。所有四个接收通道可以同时运行。还提供了一个单独的断电选项以优化系统。

此器件支持仅实数接收器。带通中频链具有高于 300kHz 的可配置截止频率，并可以支持高达 15MHz 的带宽。

图 7-4 介绍了接收子系统。

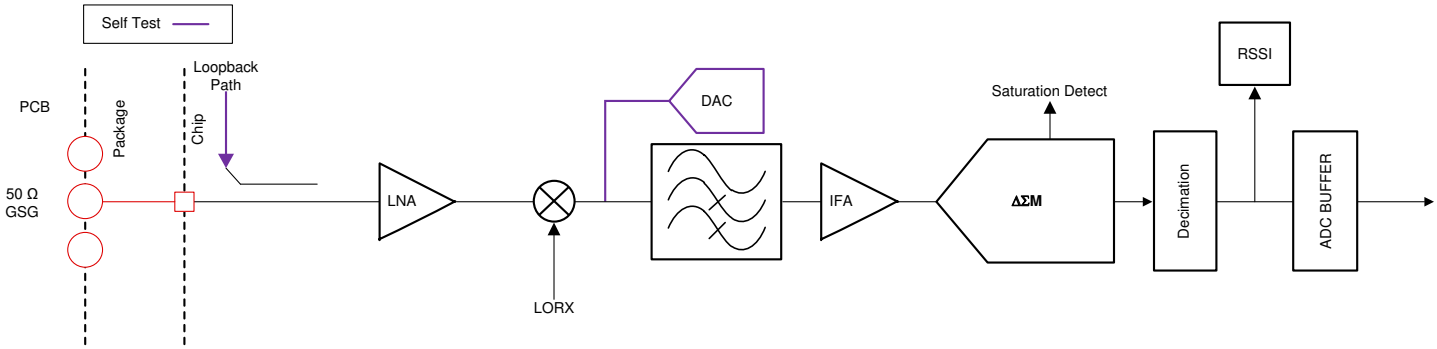


图 7-4. 接收子系统（每通道）

7.3.2 处理器子系统

图 7-5 展示了器件中客户可编程处理器子系统的方框图。概括来说，有两个客户可编程子系统。左侧显示了 TI 的高性能 C66x DSP、HWA 2.1（一种面向高性能（128 位，150MHz）的高带宽互连）以及关联的外设：用于测量数据传输的六个 EDMA、用于测量数据输出的 Aurora 和 LVDS 接口、L3 雷达数据立方体存储器、ADC 缓冲器、CRC 引擎和数据握手存储器（互连上提供的额外存储器）。

如需更多信息，请参阅 TMS320C66x DSP CorePac 用户指南。

图的右侧显示了主子系统 (MSS)。顾名思义，主子系统是器件的主要控制器，控制着所有器件外设和器件的通用活动。主子系统包含 Cortex-R5F (MSS R5F) 处理器和关联的外设和通用元件，例如 EDMA、CRC 和通过外设中心资源（PCR 互连）连接到主互连的外设（I^2C、UART、SPI、CAN-FD、EPWM 等）。

无线电处理子系统或 BIST 子系统 (RSS) 负责初始化和校准模拟/射频模块。RSS 定期监控模拟/射频功能，从而确保所有模拟/射频模块在其定义的限制范围内工作。

提供的通用 ADC (GPADC)、快速傅里叶变换引擎（FFT 引擎）和其他模块可监控来自发送器链和接收器链中不同点的信号。数字前端滤波器 (DFE)、斜坡生成模块和模拟/DFE 寄存器主要受 BSS 控制，可通过从主子系统进行的 API 调用间接受控。

该器件还在无线电处理子系统中集成了一个双通道 CSI2 接收器接口。该接口的主要功能是硬件在环 (HIL) 功能，可用于执行雷达操作以将采集的数据从外部馈送到器件中，而不需要射频子系统。

有关 MSS Cortex-R5F 和 DSP C66x 存储器映射，请参阅器件 TRM（技术参考手册）。

Copyright © 2026 Texas Instruments Incorporated

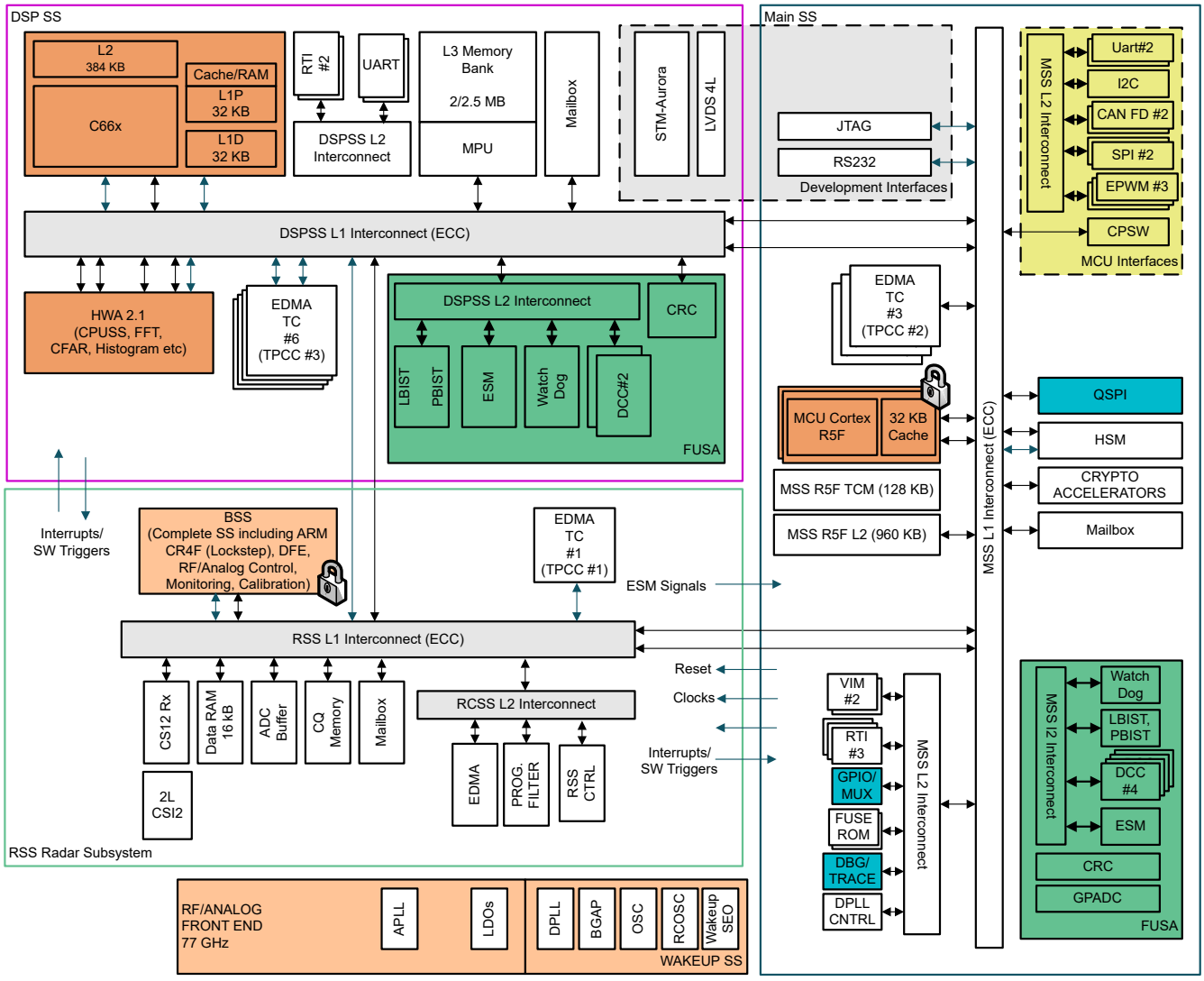

DSP SS
L2
384 KB
Cache/RAM
L1P
32 KB
L1D
32 KB
C66x
RTI #2
UART
DSPSS L2 Interconnect
L3 Memory Bank
2/2.5 MB
MPU
Mailbox
STM-Aurora
LVDS 4L
DSPSS L1 Interconnect (ECC)
HWA 2.1
(CPUSS, FFT,
CFAR, Histogram etc)
EDMA
TC
#6
(TPCC #3)
DSPSS L2 Interconnect
CRC
LBIST
PBIST
ESM
Watch Dog
DCC#2
FUSA
Main SS
JTAG
RS232
Development Interfaces
MSS L2 Interconnect
Uart#2
I2C
CAN FD #2
SPI #2
EPWM #3
CPSW
MCU Interfaces
EDMA
TC
#3
(TPCC #2)
MCU Cortex
R5F
32 KB
Cache
MSS R5F TCM (128 KB)
MSS R5F L2 (960 KB)
MSS L1 Interconnect (ECC)
QSPI
HSM
CRYPTO
ACCELERATORS
Mailbox
Interrupts/
SW Triggers
BSS
(Complete SS including ARM
CR4F (Lockstep), DFE,
RF/Analog Control,
Monitoring, Calibration)
EDMA
TC
#1
(TPCC #1)
ESM Signals
RSS L1 Interconnect (ECC)
Reset
Clocks
Interrupts/
SW Triggers
CS12 Rx
Data RAM
16 kB
ADC
Buffer
CQ
Memory
Mailbox
RCSS L2 Interconnect
EDMA
PROG.
FILTER
RSS
CTRL
2L
CSI2
RSS Radar Subsystem
VIM
#2
RTI
#3
GPIO/
MUX
FUSE
ROM
DBG/
TRACE
DPLL
CNTRL
MSS L2 Interconnect
MSS I2 Interconnect
Watch Dog
LBIST,
PBIST
DCC
#4
ESM
CRC
GPADC
FUSA
RF/ANALOG
FRONT END
77 GHz
APLL
LDOs
DPLL
BGAP
OSC
RCOSC
Wakeup
SEO
WAKEUP SS

图 7-5. 处理器子系统

7.3.3 汽车接口

该器件通过以下主接口与汽车网络通信：

- CAN-FD
- 以太网

7.4 其他子系统

7.4.1 硬件加速器子系统

除了 DSP 内核之外、该器件还包含雷达硬件加速器 (HWA2.1)，以便为 DSP 减轻预处理计算的负担。

要了解雷达硬件加速器 2.1 提供的功能以实现所需的功能，请参阅器件技术参考手册中的“硬件加速器 2.1”部分。

7.4.2 安全性 – 硬件安全模块

器件中配置了一个用于执行安全区域操作的硬件安全模块 (HSM) (*仅适用于部分器件型号*) 。可编程 Arm Cortex-M4 内核可用于实现加密敏捷性要求。

可以使用 HSM 中的硬件模块来加速加密算法。功能包括对 AES、SHA 和公钥加速器 (PKA) 的加速，以针对非对称密钥加密要求和真随机数生成执行数学运算。

主子系统 (MSS) Cortex-R5F 处理器与 HSM 子系统连接，以执行安全启动和安全运行时通信所需的加密操作。

有关安全性的更多详细信息，请参阅相关配套资料。请联系您当地的 TI 销售代表了解更多信息。

7.4.3 用于用户应用的 ADC 通道 (服务)

该器件包括为用户应用提供 ADC 服务，其中器件内部存在的 GPADC 引擎可用于测量多达九个外部和内部电压。ADC1、ADC2、ADC3、ADC4、ADC5、ADC6、ADC7、ADC8 和 ADC9 引脚用于此目的。

备注

GPADC 结构还用于测量内部温度传感器的输出。

GPADC 规格：

- 625Ksps SAR ADC
- 0V 至 1.8V 输入范围
- 10 位分辨率

Copyright © 2026 Texas Instruments Incorporated

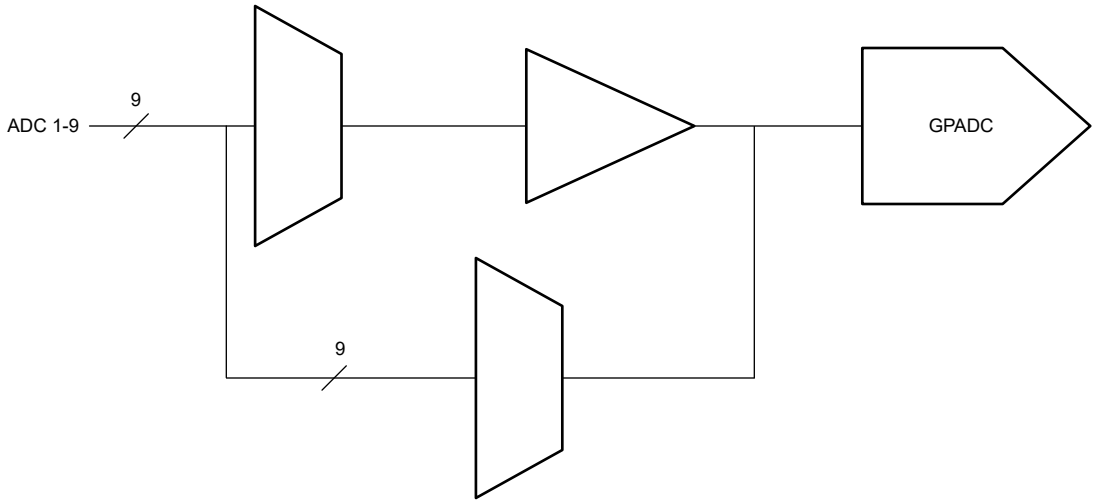


表 7-1. GP-ADC 参数

参数	典型值	单位
ADC 电源	1.8	V
ADC 非缓冲输入电压范围	0 – 1.8	V
ADC 缓冲输入电压范围(1)	0.4 – 1.3	V
ADC 分辨率	10	位
ADC 偏移误差	±5	LSB
ADC 增益误差	±5	LSB
ADC DNL	-1/+2.5	LSB
ADC INL	±2.5	LSB
ADC 采样率	625	Ksps
ADC 采样时间	400	ns
ADC 内部电容	10	pF
ADC 缓冲器输入电容	2	pF
ADC 输入漏电流	3	uA

(1) 超出给定范围时，缓冲器输出将变成非线性。

Copyright © 2026 Texas Instruments Incorporated

8 监控和诊断

8.1 监测和诊断机制

表 8-1 列出了器件中可用的主要监测和诊断机制。

表 8-1. AWR294x 的监测和诊断机制

否	特性	说明
		主子系统
1	MSS R5F 内核的锁步操作	器件架构支持 MSS R5F 内核的锁步操作，该内核是主子系统中的操作内核，配置为器件中的安全岛。
2	MSS R5F 内核和关联 VIM 的启动时间 LBIST	器件架构支持硬件逻辑 BIST (LBIST) 引擎自检控制器 (STC)。该逻辑用于在晶体管级的 MSS R5F CPU 内核和向量中断模块 (VIM) 上提供非常高的诊断覆盖率 (>90%)。 在启动功能安全应用之前，需要由应用代码触发 CPU 和 VIM 的 LBIST。CPU 的复位在 STC 操作结束时启动，复位原因寄存器会捕获复位的状态。然后，可以读取 STC 寄存器以识别 STC 执行的状态，从而确定是否存在任何错误。CPU 保持在 while 循环中，如果发现故障，则不继续执行。 还可以执行故障注入测试，这会导致 CPU 复位，并在 STC 寄存器中发出错误状态信号。
3	MSS R5F 存储器的启动时间 PBIST	MSS R5F 具有紧密耦合存储器 (TCM) 1 级 (L1) 存储器 TCMA、TCMB0 和 TCMB1 以及 2 级 (L2) 存储器。器件架构支持一个硬件可编程存储器 BIST (PBIST) 引擎。该逻辑用于在晶体管级别对所实现的 MSS R5F TCM 提供非常高的诊断覆盖率 (March-13n)。 L1 和 L2 存储器的 PBIST 在启动时由引导加载程序触发，然后从闪存或外设接口开始下载应用程序。CPU 处于 while 循环中，如果发现故障，则不会继续执行。
4	MSS R5F 存储器的端到端 ECC	TCM 和 L2 存储器诊断支持单错校正、双错检测 (SECDED) ECC 诊断。对于 L2 存储器，使用一个 8 位代码字来存储通过 64 位数据总线计算的 ECC 数据。对于 TCM，使用一个 7 位代码字来存储 32 位数据总线的 ECC 数据。针对 TCM 的 ECC 评估由 CPU 内部的 ECC 控制逻辑执行。这种方案在 CPU 和 TCM 间的传输上提供端到端诊断。CPU 可配置为对一位和双位错误条件具有预先确定的响应（忽略或中止生成）。
5	MSS R5F 位多路复用	逻辑 TCM 和 L2 存储器字以及关联的 ECC 代码被分开并存储在两个物理 SRAM 组中。这种方案提供一个针对物理 SRAM 组中地址解码故障的固有诊断机制。组寻址中的故障被 CPU 检测为一个 ECC 故障。 此外，实施位多路复用方案，以便所访问的旨在生成一个逻辑 (CPU) 字的位在物理上不相邻。这种方案有助于减少物理多位故障导致逻辑多位故障的可能性；相反，故障表现为多个一位故障。由于 SECDED TCM ECC 能够校正一个逻辑字中的一位故障，因此这种方案可提高 TCM ECC 诊断的有效性。 这两个特性都是硬件特性，无法由应用软件启用或禁用。
6	时钟监控器	器件架构支持四个数字时钟比较器 (EDCC) 和一个内部 RCOSC。这些模块提供双重功能 – 时钟检测和时钟监控。 EDCCA 专用于 ADPLL/APLL 锁定检测监控，将 ADPLL/APLL 输出分频版本与器件的基准输入时钟进行比较。可对 EDCCA 的故障检测进行编程以使器件进入跛行模式。 此外，还可以馈送外部基准时钟，以使用 EDCCA 来监测内部时钟。 EDCCB、EDCCC、EDCCD 模块是一个可供用户软件使用的模块。可以比较任意两个时钟。一个示例是将 CPU 时钟与基准或内部 RCOSC 时钟源进行比较。通过错误信令模块 (ESM) 向 MSS R5F CPU 指示故障检测。
7	用于 MSS R5F 的 RTI/WDT	器件架构支持使用在实时中断 (RTI) 模块中实现的内部看门狗。内部看门狗有两个运行模式：数字式看门狗 (DWD) 和数字窗口模式看门狗 (DWWD)。这两种运行模式是互斥的；设计人员可以选择使用其中一种模式，但不能同时使用这两种模式。 在检测到故障时，看门狗可以发出内部（热）系统复位或者 CPU 不可屏蔽中断。 看门狗由引导加载程序于启动时在 DWD 模式下启用，以跟踪启动过程。当应用代码获得控制权后，可以根据应用要求再次配置看门狗以获得所需的模式和时序。
8	MSS R5F 的 MPU	Cortex-R5F CPU 包含一个 MPU。MPU 逻辑可被用于提供器件内存中软件任务的空间分离。Cortex-R5F MPU 支持 16 个区域。操作系统根据每项任务的需要控制 MPU 并更改 MPU 设置。违反一个已设置的内存保护策略会导致一个 CPU 异常中断。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. AWR294x 的监测和诊断机制（续）

否	特性	说明
9	用于外设接口 SRAM 的 PBIST - SPI、CAN、以太网、EDMA、Mailbox	器件架构还支持用于外设 SRAM 的硬件可编程存储器 BIST (PBIST) 引擎。 用于外设 SRAM 存储器的 PBIST 可由应用触发。用户能够根据可分配给 PBIST 诊断的执行时间，选择在一个 SRAM 或者一组 SRAM 上运行 PBIST。PBIST 测试会破坏存储器中的内容，正因如此，此测试通常只在启动时运行。但是，如果外设通信受到阻碍，用户可随时自由地启动测试。 由 PBIST 检测到的任何故障都会导致在 PBIST 状态寄存器中指示错误。
10	用于外设接口 SRAM 的 ECC – SPI、CAN、以太网、EDMA、Mailbox	外设接口 SRAM 诊断由单错校正、双错检测 (SECDED) ECC 诊断提供支持。当检测到一位或双位错误时，将通过 ESM（错误信令模块）通知 MSS R5F。此特性在复位后被禁用。软件必须在外设和 ESM 模块中配置和启用此特性。ECC 故障（一位纠正和双位不可纠正的错误情况）通过 ESM 模块作为中断报告给 MSS R5F。
11	用于主 SS 外设的配置寄存器保护	所有主 SS 外设（SPI、CAN、以太网、I2C、DMA、RTI/WD、DCC、EDMA、IOMUX 等）均通过外设中心资源 (PCR) 进行互连。这提供了两种可以限制对外设的访问的诊断机制。根据 PCR 中的外设芯片选择，外设可被时钟选通。这可用于禁用未使用的特性，使得这些特性无法产生干扰。此外，可对每一个外设芯片选择进行编程以限制基于事务处理优先级的访问。这一特性可用于将对于全部外设的访问限于特许操作系统代码。 复位后，这些诊断机制被禁用。软件必须配置并启用这些机制。保护违规还会生成错误，导致 MSS R5F 中止或对其他主机（例如 DMA）的错误响应。
12	循环冗余校验 – 主 SS	器件架构支持主 SS 上的硬件 CRC 引擎实现以下多项式。 • CRC16 CCITT – 0x10 • CRC32 以太网 – 0x04C11DB7 • CRC64 • CRC 32C – CASTAGNOLI – 0x1EDC6F4 • CRC32P4 – E2E Profile4 – 0xF4ACFB1 将 SRAM 内容读取到 CRC 的操作可由 CPU 或 DMA 来完成。结果比较、故障指示和故障响应由管理该测试的软件负责。
13	MPU	器件架构在主 SS 中的某些外设端口上支持 MPU，包括 L2 存储器、PCR 外设访问、QSPI 访问、R5F AXI 外设访问。这样就可以配置对主 SS 中这些关键区域的访问权限。 默认情况下，此控制机制位于 HSM 中。
14	用于 DMA 的 MPU	器件架构支持在主 SS EDMA 上使用 MPU。EDMA 还包括读取和写入主机端口上的 MPU。EDMA MPU 支持 8 个区域。MPU 检测到的故障通过本地 ESM 作为中断报告给内核。
15	互连 ECC	器件架构支持基于硬件的 ECC 保护机制，用于通过系统互连进行传输。由于代码执行包括从互连上托管的存储器中获取指令，因此，通过结合使用 ECC 和基于冗余的机制，通过互连进行的传输被设计为安全的。在传输中检测到的任何故障将会通过 ESM 接口进行报告。此机制在硬件中默认启用。
16	错误信令模块	当诊断检测到一个故障，这个错误必须被标出。器件架构使用一个称为错误信令模块 (ESM) 的外设逻辑来提供来自内部监测/诊断机制的故障指示集合。ESM 提供的一些机制可将错误按照严重性分类并提供可编程错误响应。 ESM 模块由客户应用代码配置，并且可以启用或屏蔽特定的错误信号，以便为 MSS R5F CPU 生成中断（低/高优先级）。 器件支持 Nerror 输出信号 (IO)，可从外部监测此信号，以识别设计中不由 R5F 处理的任何类型的高严重性故障。
17	温度传感器	器件架构支持在整个器件中的数字温度热点处使用各种温度传感器，而应用可以使用内部 GPADC 通道监测这些传感器。
18	电压监控器	器件架构支持与外部电压监控器一起监测连接到芯片的电源轨。
DSP 子系统		
1	DSP 内核的启动时间 LBIST	器件支持 DSP 内核的启动时间 LBIST。在启动功能安全应用程序之前，可以由 MSS R5F 次级引导加载程序/应用程序代码触发 LBIST。
2	L1P、L1D、L2 和 L3 存储器的引导时间 PBIST、HWA 存储器、RSS 存储器（ADCBUF、CQ 存储器）、Mailbox	器件架构支持适用于 DSPSS 和 RSS 存储器的硬件可编程存储器 BIST (PBIST) 引擎，可提供非常高的诊断覆盖率 (March-13n)。 在启动功能安全应用之前，PBIST 通过 MSS R5F 次级引导加载程序/应用代码触发。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. AWR294x 的监测和诊断机制（续）

否	特性	说明
3	L1P 上具有奇偶校验，L1D 上具有 ECC	器件架构支持对 DSP 的 L1P 存储器进行奇偶校验诊断。奇偶校验错误会作为中断报告给 CPU。 L1D 存储器在 SECDED ECC 覆盖范围内。
4	针对 DSP L2 存储器的 ECC	器件架构支持针对 DSP 的 L1D 和 L2 存储器执行奇偶校验单错校正双错检测 (SECDED) ECC 诊断。L2 存储器是统一的 384KB 存储器，用于存储 DSP 的程序和数据部分。一个 12 位代码字用于存储在 256 位数据总线上计算出的 ECC 数据（逻辑指令提取大小）。用于 L2 访问的 ECC 逻辑位于 DSP 中，由 DSP 内部的 ECC 控制逻辑进行评估。这种方案在 DSP 和 L2 间的传输上提供端到端诊断。L2 上还提供字节对齐奇偶校验机制来处理数据部分。
5	针对雷达数据立方体 (L3) 存储器、HWA 存储器、RSS 存储器 (ADCBUF)、Mailbox 的 ECC	L3 存储器在器件中用作雷达数据部分。该架构支持针对 L3 存储器的单纠错双纠错 (SECDED) ECC 诊断。一个 12 位代码字用于当 ECC 数据在 256 位数据总线上进行计算时存储该数据。 RSS 存储器 (ADCBUF) 也支持 SECDED ECC 诊断。 ECC 逻辑的故障检测通过 ESM 作为中断报告给 DSP 内核。
6	用于 DSP 内核的 RTI/WDT	器件架构支持使用在实时中断 (RTI) 模块中实现的 DSP C66x 内部看门狗 — 与主 SS 中使用的模块相同的复制。此模块支持与 MSS 的 RTI/WD 相同的功能。 该看门狗由客户应用程序代码启用，并通过中断向 DSP 和/或 MSS R5F 报告超时条件，将 REST 留给 MSS R5F 中的应用程序代码以使器件进入安全状态。
7	用于 DSP 子系统的 CRC	器件架构支持 DSPSS 上的硬件 CRC 引擎实现以下多项式。 • CRC16 CCITT – 0x10 • CRC32 以太网 – 0x04C11DB7 • CRC64 • CRC 32C – CASTAGNOLI – 0x1EDC6F4 • CRC32P4 – E2E Profile4 – 0xF4ACFB1 将 SRAM 内容读取到 CRC 的操作可由 CPU 或 DMA 来完成。结果比较、故障指示和故障响应由管理该测试的软件负责。
8	适用于 DSP 的 MPU	器件架构支持用于 DSP 存储器存取的 MPU（L1D、L1P 和 L2）。L2 存储器对于 L1P 和 L1D 分别支持 64 个区域和 16 个区域。MPU 的故障检测作为中止信号报告给 DSP 内核。
9	MPU	器件架构在包含 L3 存储器组的 DSP SS 中的某些外设端口上支持 MPU。这样就可以配置对 DSP SS 中这些关键区域的存取权限。 默认情况下，此控制机制位于 HSM 中。
BIST（在雷达子系统内）		
备注：BIST 由 TI 固件处理。有关安全机制的信息，请参阅毫米波接口控制文档（作为 mmWave-MCUPLUS-SDK 软件包的一部分）和安全手册。		

备注

有关所有诊断机制的适用性的更多详细信息，请参阅器件安全手册或其他相关配套资料。

Copyright © 2026 Texas Instruments Incorporated

9 应用、实施和布局

备注

以下“应用”部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

可促进应用实现的关键器件特性包括：

- 集成雷达前端和可编程 MCU
- 灵活的启动模式：使用串行闪存进行自主应用启动或通过 SPI 进行外部启动
- 硬件安全模块
- 高速 100Mbps 快速以太网支持

9.2 短距离和中距离雷达

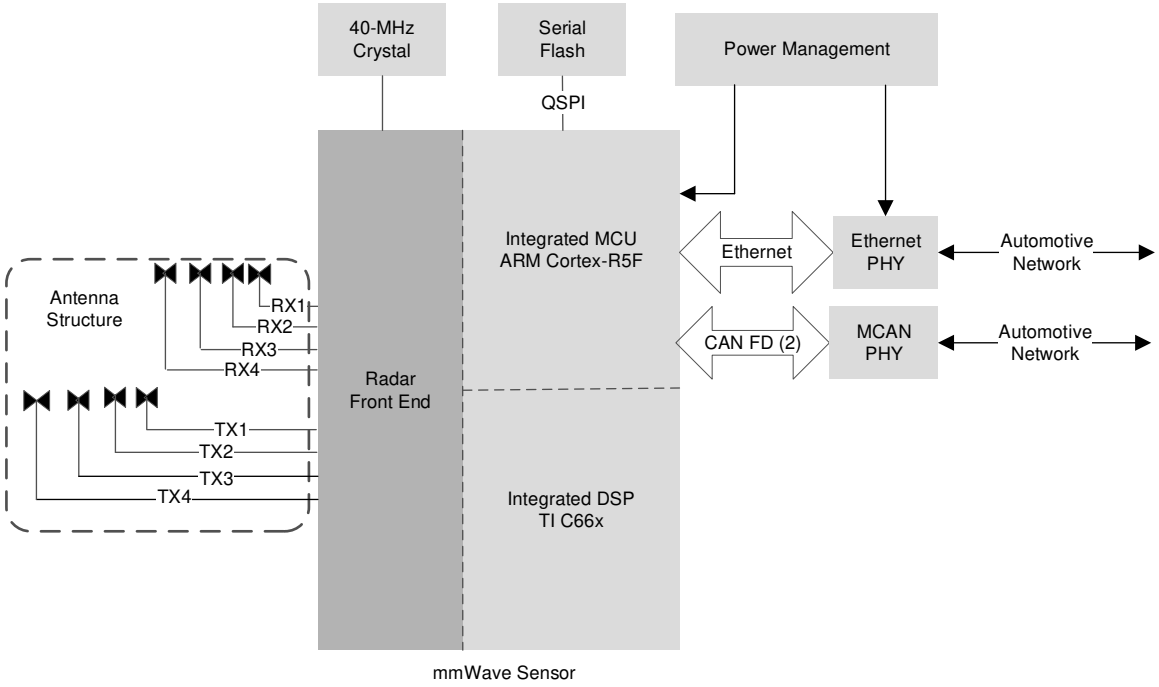


图 9-1. 短距离和中距离雷达

9.3 参考原理图

参考原理图和电源信息可在 AWR2944 EVM 文档中找到。

为方便起见，列出了：位于 AWR2944 EVM 产品页面的 PCB 的设计文件、原理图、布局和堆叠详细信息。

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 器件支持

10.2 器件命名规则

为了指出产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null（无前缀）（例如，*XA2943BGALT*）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示封装类型（例如，*您的封装*）、温度范围（例如，空白为默认的商业级温度范围）以及以兆赫为单位的器件速度范围（例如，*您的器件速度范围*）。图 x 提供了适用于任何*您的器件*器件的完整器件名称解读图例。

有关采用*您的封装*封装类型的*您的器件*器件的可订购器件型号，请参阅本文档的“封装选项附录”、访问 ti.com 或联系您的 TI 销售代表。

有关芯片上器件命名规则标记的其他说明，请参阅 AWR2944 勘误表

Copyright © 2026 Texas Instruments Incorporated

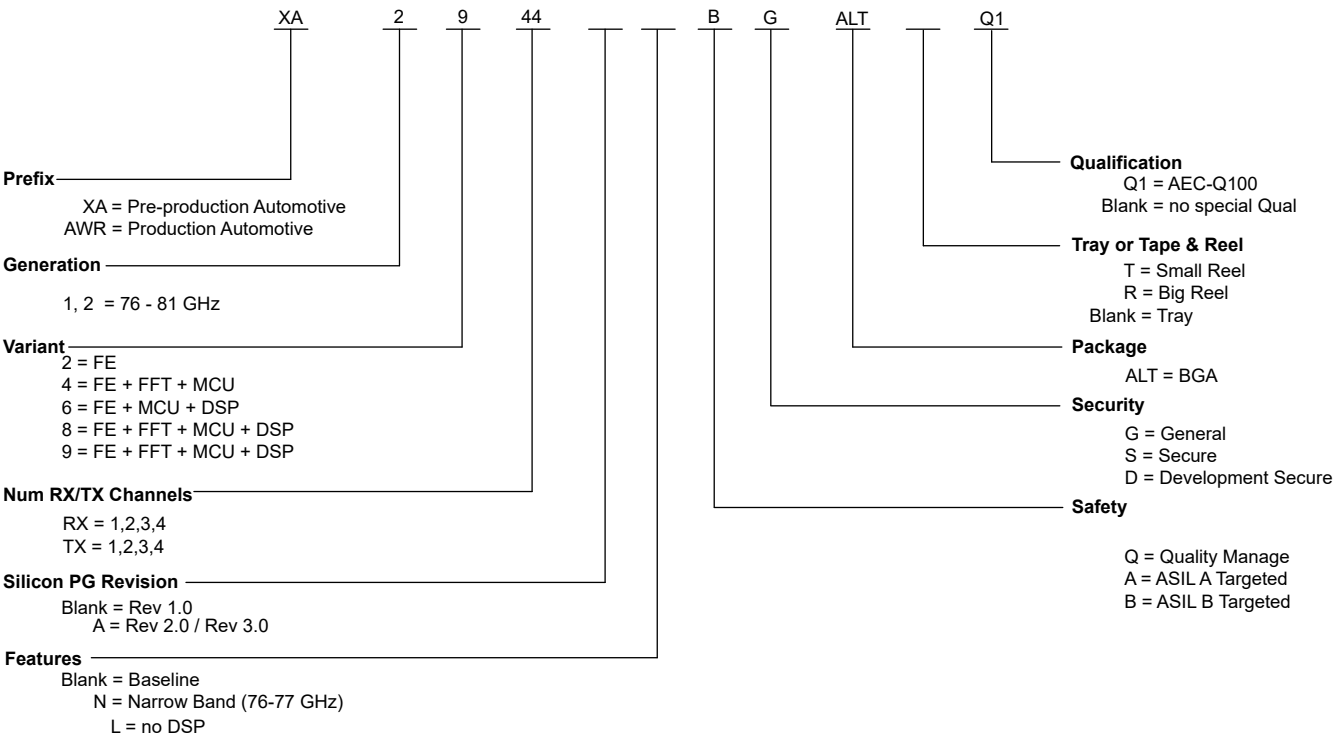


图 10-1. 器件命名规则

10.3 工具与软件

本节中的内容将在后续版本中更新。

10.4 文档支持

本节中的内容将在后续版本中更新。

10.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.6 商标

TI E2E™ is a trademark of Texas Instruments.
Arm® and Cortex-R5F® are registered trademarks of Arm Limited.
所有商标均为其各自所有者的财产。

10.7 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.8 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

Copyright © 2026 Texas Instruments Incorporated

10.9 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

11 修订历史记录

Changes from SEPTEMBER 30, 2024 to FEBRUARY 1, 2026 (from Revision D (September 2024) to Revision E (February 2026)) **Page**

- 更新了 GPADC5 和 GPADC6 的 ESD 等级 33

Copyright © 2026 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AWR2943ABGALTQ1	Active	Production	FCCSP (ALT) | 266	168 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2943 BG 987B
AWR2943ABGALTQ1.B	Active	Production	FCCSP (ALT) | 266	168 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2943 BG 987B
AWR2943ABGALTRQ1	Active	Production	FCCSP (ALT) | 266	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2943 BG 987B
AWR2943ABGALTRQ1.B	Active	Production	FCCSP (ALT) | 266	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2943 BG 987B
AWR2944ABGALTQ1	Active	Production	FCCSP (ALT) | 266	168 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2944 BG 987B
AWR2944ABGALTQ1.B	Active	Production	FCCSP (ALT) | 266	168 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2944 BG 987B
AWR2944ABGALTRQ1	Active	Production	FCCSP (ALT) | 266	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2944 BG 987B
AWR2944ABGALTRQ1.B	Active	Production	FCCSP (ALT) | 266	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2944 BG 987B
AWR2944ALBGALTQ1	Active	Production	FCCSP (ALT) | 266	168 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2944L BG 987B
AWR2944ALBGALTQ1.B	Active	Production	FCCSP (ALT) | 266	168 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2944L BG 987B
AWR2944ALBGALTRQ1	Active	Production	FCCSP (ALT) | 266	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2944L BG 987B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AWR2944ALBGALTRQ1.B	Active	Production	FCCSP (ALT) | 266	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AWR2944L BG 987B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

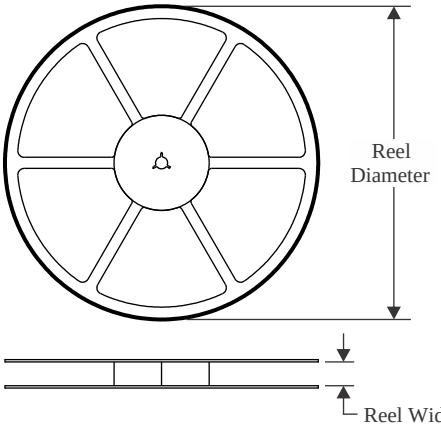
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

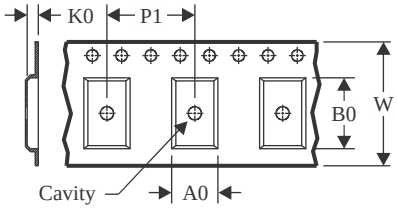
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

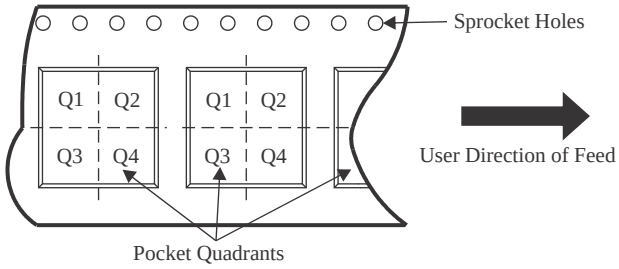


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

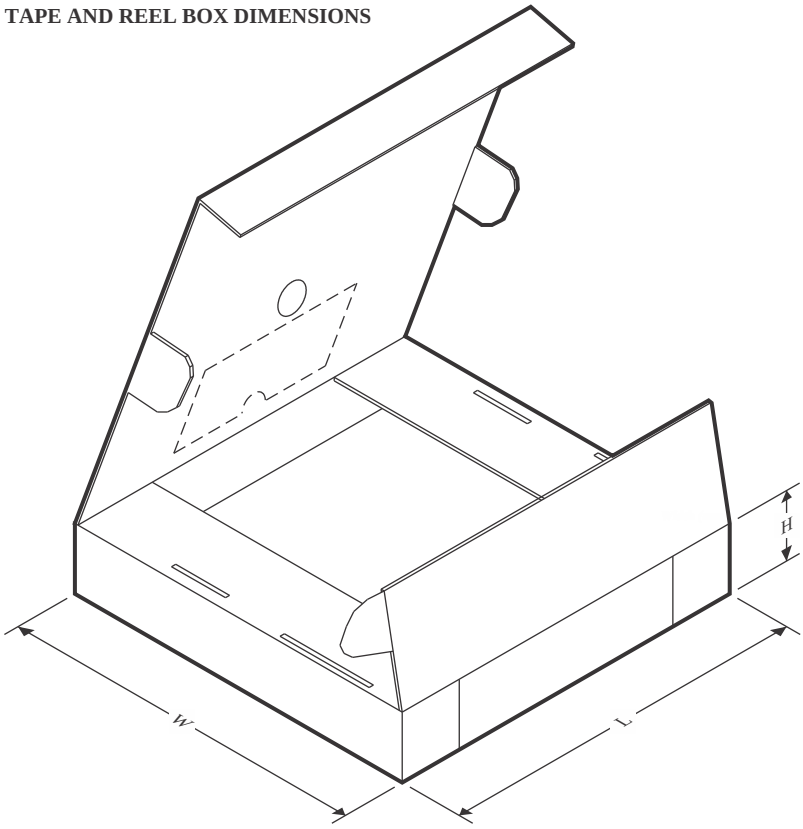
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AWR2943ABGALTRQ1	FCCSP	ALT	266	1000	330.0	24.4	12.3	12.3	1.6	20.0	24.0	Q1
AWR2944ABGALTRQ1	FCCSP	ALT	266	1000	330.0	24.4	12.3	12.3	1.6	20.0	24.0	Q1
AWR2944ALBGALTRQ1	FCCSP	ALT	266	1000	330.0	24.4	12.3	12.3	1.6	20.0	24.0	Q1

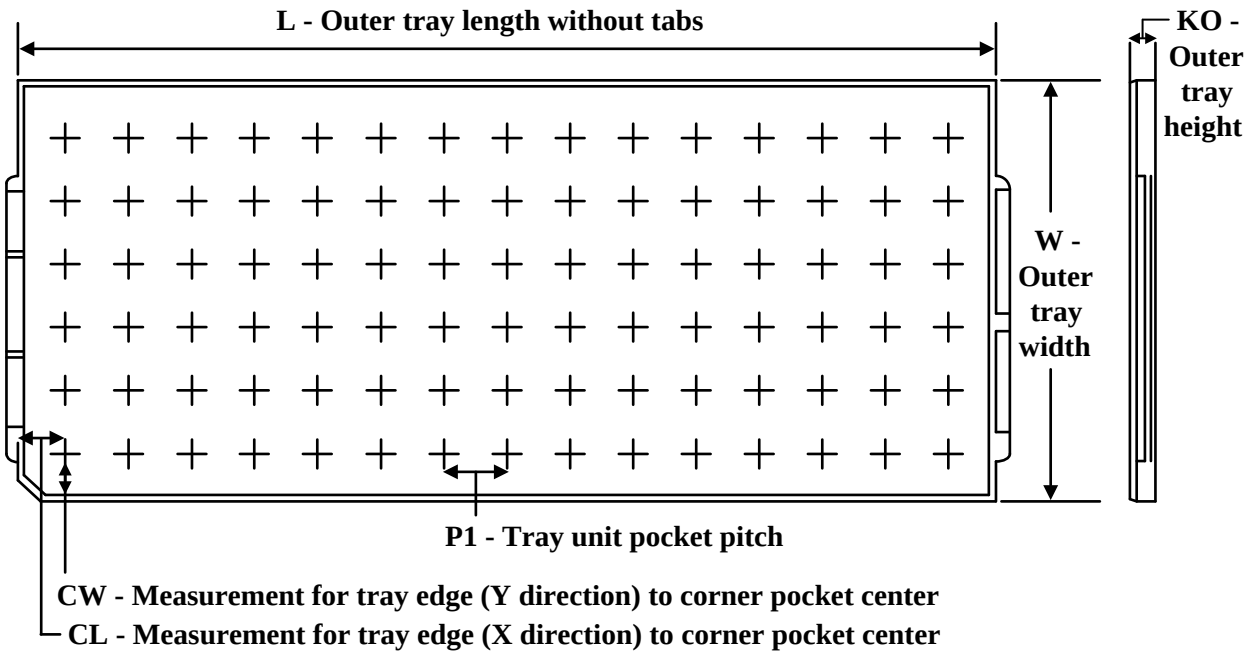
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AWR2943ABGALTRQ1	FCCSP	ALT	266	1000	336.6	336.6	41.3
AWR2944ABGALTRQ1	FCCSP	ALT	266	1000	336.6	336.6	41.3
AWR2944ALBGALTRQ1	FCCSP	ALT	266	1000	336.6	336.6	41.3

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

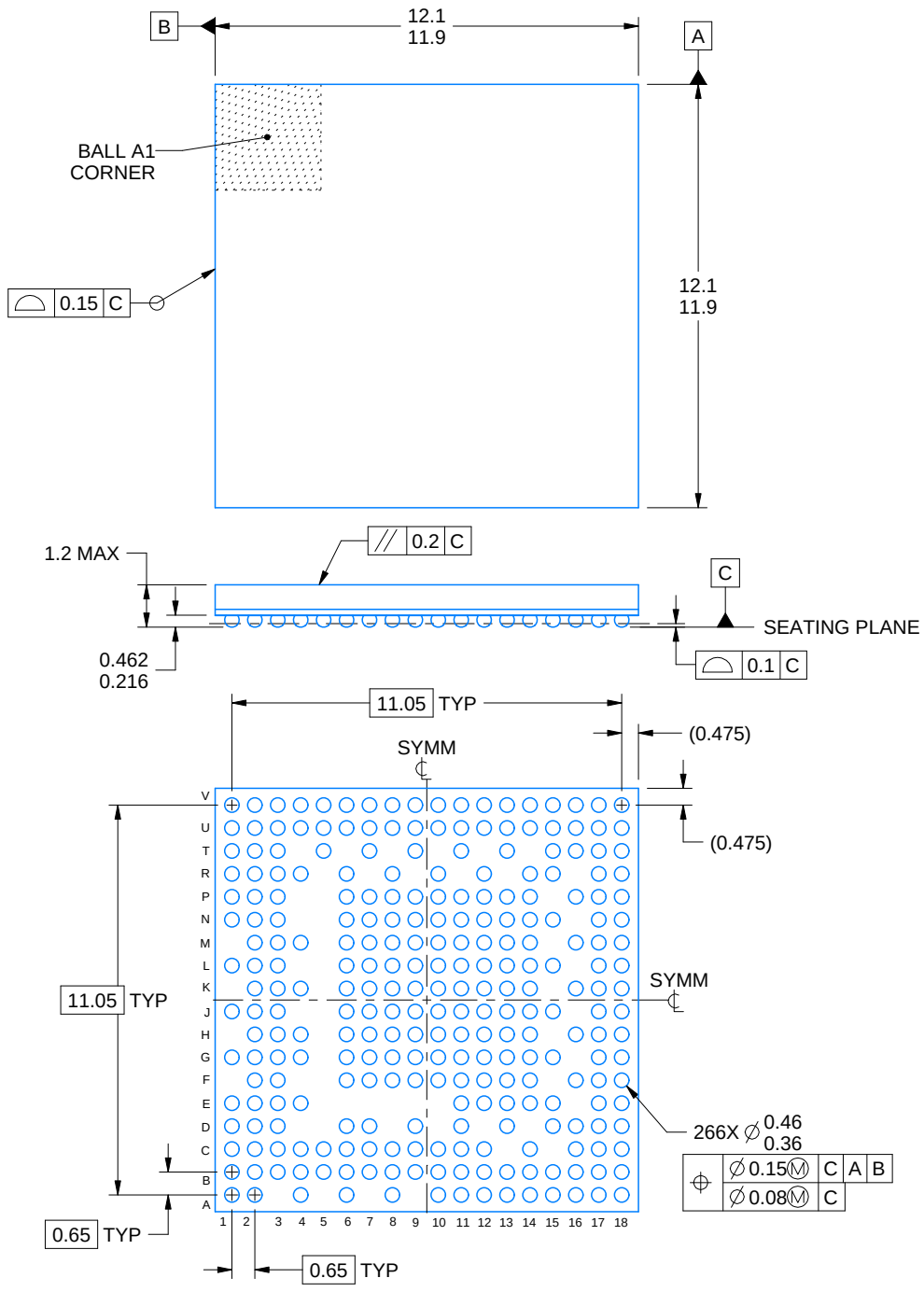
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AWR2943ABGALTQ1	ALT	FCCSP	266	168	8 X 21	150	315	135.9	7620	14.65	11	11.95
AWR2943ABGALTQ1.B	ALT	FCCSP	266	168	8 X 21	150	315	135.9	7620	14.65	11	11.95
AWR2944ABGALTQ1	ALT	FCCSP	266	168	8 X 21	150	315	135.9	7620	14.65	11	11.95
AWR2944ABGALTQ1.B	ALT	FCCSP	266	168	8 X 21	150	315	135.9	7620	14.65	11	11.95
AWR2944ALBGALTQ1	ALT	FCCSP	266	168	8 X 21	150	315	135.9	7620	14.65	11	11.95
AWR2944ALBGALTQ1.B	ALT	FCCSP	266	168	8 X 21	150	315	135.9	7620	14.65	11	11.95

PACKAGE OUTLINE

ALT0266A

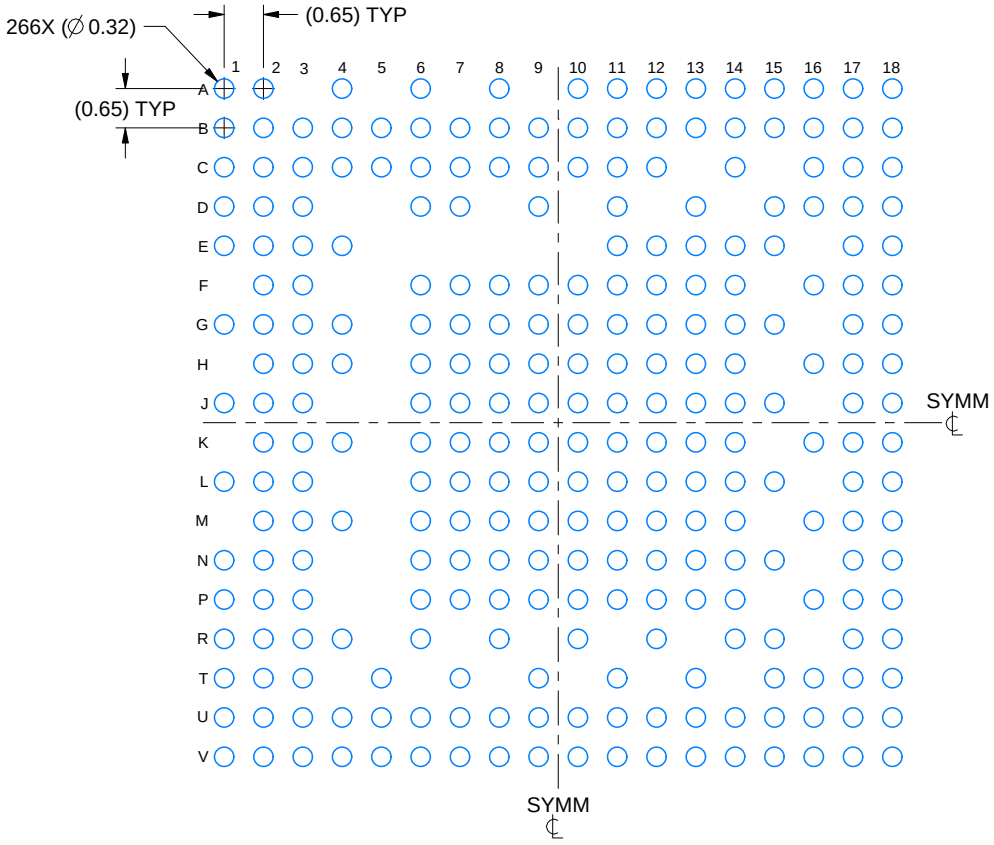
FCBGA - 1.2 mm max height

BALL GRID ARRAY

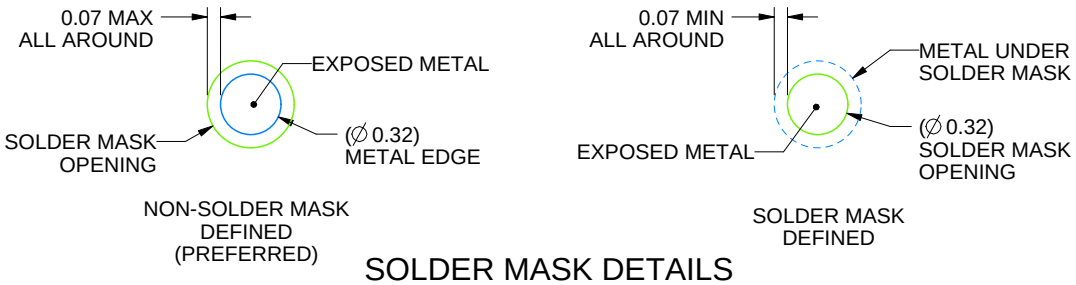


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



SOLDER MASK DETAILS
NOT TO SCALE

4226546/B 05/2023

NOTES: (continued)

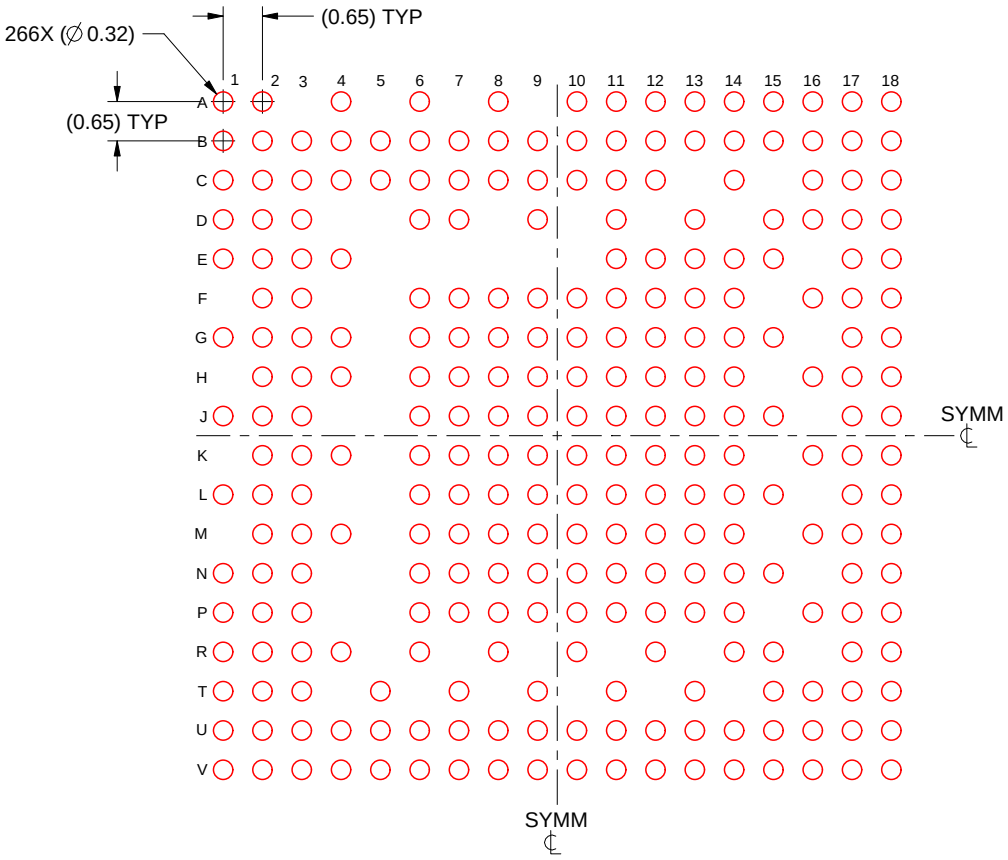
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ALT0266A

FCBGA - 1.2 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4226546/B 05/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月