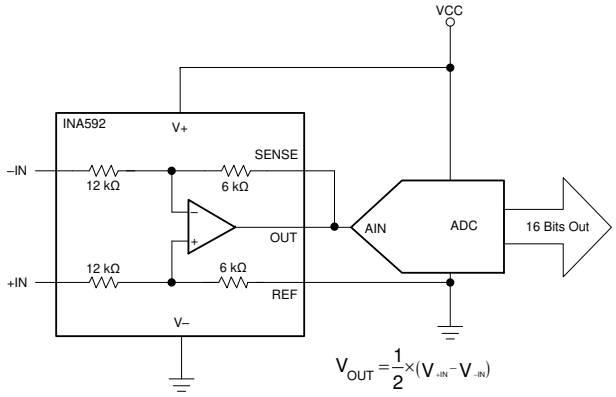
INA592 高精度、宽带宽 e-trim™ 差分放大器

1 特性

- 放大器 G = 1/2
- 放大器 G = 2
- 低失调电压：40 µ V (最大值)
- 低失调电压漂移：±2 µ V/°C (最大值)
- 低噪声：1kHz 时为 18nV/ √Hz
- 低增益误差：±0.03% (最大值)
- 高共模抑制：88 dB (最小值)
- 高带宽：2MHz GBW
- 低静态电流：每个放大器 1.1 mA
- 高压摆率：18V/ µ s
- 高容性负载驱动能力：500pF
- 宽电源电压范围：
  - 单电源：4.5V 至 36V
  - 双电源：±2.25V 至 ±18V
- 额定温度范围：
  - 40°C 至 +125°C
- 封装：8 引脚 MSOP 和 SOIC，10 引脚 VSON

2 应用

- 交流驱动器位置反馈
- 伺服驱动器位置反馈
- 状态监控模块 (电压、电流)
- 电源模块
- 半导体测试



INA592D/DGK 在差分输入数据采集应用中

3 说明

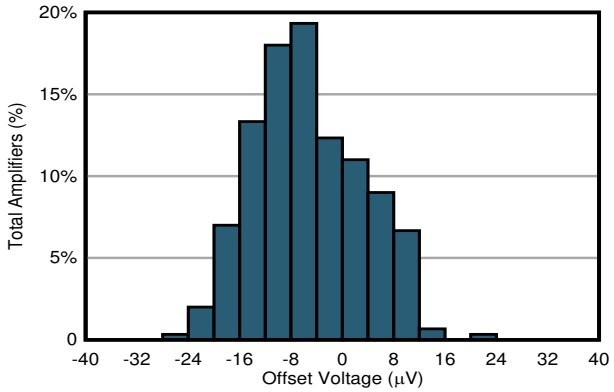
INA592 器件是一款低功耗、宽带宽差分放大器，由精密运算放大器 (op amp) 和精密电阻器网络组成。电阻器出色的跟踪性能 (TCR) 在全温度范围内保持增益精度和共模抑制。诸如低失调电压 40 µ V (最大值)、低温漂 (最大值 2 µ V/°C)、高压摆率 (18V/ µ s) 和高达 500pF 的高容性负载驱动等独特的特性，使 INA592 成为稳健的高性能差分放大器，适用于各种高压工业级应用。内部运算放大器的共模范围扩展至负电源，从而使器件能够在单电源应用中运行。该器件采用单电源 (4.5V 至 36V) 或双电源 (±2.25V 至 ±18V) 运行。

差分放大器为许多常用电路奠定了基石。INA592 提供此电路功能，而无需使用昂贵的精密电阻器网络。

器件信息

器件型号	封装(1)	封装尺寸 (标称值)
INA592	SOIC (8)	4.90mm × 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
	VSON (10)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。



失调电压的典型分布 (RTO)
G = 1/2，V_S = ±18V

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 器件比较表.....3
6 引脚配置和功能.....3
7 规格.....4
7.1 绝对最大额定值.....4
7.2 ESD 等级.....4
7.3 建议运行条件.....4
7.4 热性能信息.....4
7.5 电气特性：G = 1/2.....5
7.6 电气特性：G = 2.....6
7.7 典型特性.....8
8 详细说明.....23
8.1 概述.....23
8.2 功能方框图.....23
8.3 特性说明.....23
8.4 器件功能模式.....23
9 应用和实现.....24
9.1 应用信息.....24
9.2 典型应用.....24
10 电源相关建议.....31
11 布局.....31
11.1 布局指南.....31
11.2 布局示例.....32
12 器件和文档支持.....34
12.1 文档支持.....34
12.2 接收文档更新通知.....34
12.3 支持资源.....34
12.4 商标.....34
12.5 静电放电警告.....34
12.6 术语表.....34
13 机械、封装和可订购信息.....34

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (February 2021) to Revision F (April 2021)	Page
• 将 DRC (VSON-10) 封装从预告信息（预发布）更改为量产数据（正在供货）	1

Changes from Revision D (December 2020) to Revision E (February 2021)	Page
• 将 D (SOIC-8) 封装从预告信息（预发布）更改为量产数据（正在供货）	1

Changes from Revision C (November 2020) to Revision D (December 2020)	Page
• 添加了 DRC (VSON-10) 预告信息（预发布）封装和相关内容	1

Changes from Revision B (February 2020) to Revision C (November 2020)	Page
• 添加了 D (SOIC-8) 预告信息（预发布）封装和相关内容	1
• 更改了共模电压显示正确的公式	5
• 添加了差模和共模的输入阻抗值	5
• 更改了共模电压显示正确的公式	6
• 添加了差模和共模的输入阻抗	6
• 更改了图 6-39，*正输出电压与输出电流（拉出）间的关系 - G = ½*，Y 轴单位从 µV 更改为 V	8

Changes from Revision A (December 2018) to Revision B (February 2020)	Page
• 更改了图 79，伪接地发生器，引脚 6 上的输出从 (V+)/2 更改为 (V+)/3	28

Changes from Revision * (October 2018) to Revision A (December 2018)	Page
• 首次发布量产数据表	1

Copyright © 2022 Texas Instruments Incorporated

5 器件比较表

器件	说明	增益公式
INA592	高精度、宽带宽 e-trim™ 差分放大器	G = 0.5V/V 或 2V/V
INA159	G = 0.2V/V 的差分放大器，可实现 ±10V 至 3V 和 5V 的转换	G = 0.2V/V
INA137	音频差分线路接收器 ±6dB（G = 1/2 或 2）	G = 0.5V/V 或 2V/V
INA132	低功耗单电源差分放大器	G = 1V/V
INA819	35μV 失调电压、0.4μV/°C V_{OS} 温漂、8nV/√Hz 噪声、低功耗精密仪表放大器	G = 1 + 50kΩ/RG
INA821	35μV 失调电压、0.4μV/°C V_{OS} 温漂、7nV/√Hz 噪声、高带宽精密仪表放大器	G = 1 + 49.4kΩ/RG
INA333	25μV V_{OS}、0.1μV/°C V_{OS} 温漂、1.8V 至 5V、RRO、50μA I_Q、斩波稳定型 INA	G = 1 + 100kΩ/RG
PGA280	20mV 至 ±10V 可编程增益 IA，带 3V 或 5V 差分输出；高达 ±18V 的模拟电源	数字可编程
PGA112	带 SPI 的可编程增益精密运算放大器	数字可编程

6 引脚配置和功能

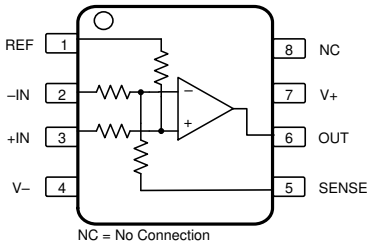


图 6-1. D（8 引脚 SOIC）和 DGK（8 引脚 VSSOP）封装，顶视图

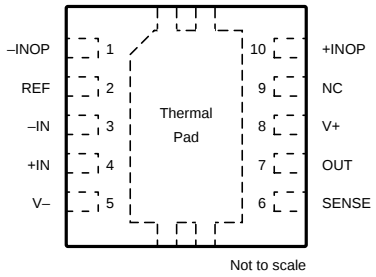


图 6-2. DRC（10 引脚 VSON，带散热焊盘）封装，顶视图

表 6-1. 引脚功能

引脚			I/O	说明
名称	编号			
	D (SOIC)、DGK (VSSOP)	DRC (VSON)		
+IN	3	4	I	12kΩ 电阻器连接至运算放大器的同相端子。 在 G = ½ 配置中用作正输入。 在 G = 2 配置中用作基准引脚。
–IN	2	3	I	12kΩ 电阻器连接至运算放大器的反相端子。 在 G = ½ 配置中用作负输入。 在 G = 2 配置中连接到输出。
+INOP	—	10	I	直接连接到运算放大器的同相端子
–INOP	—	1	I	直接连接到运算放大器的反相端子
NC	8	9	—	没有与内部电路连接（可以悬空）
OUT	6	7	O	输出
REF	1	2	I	6kΩ 电阻器连接至运算放大器的同相端子。 在 G = ½ 配置中用作基准引脚。 在 G = 2 配置中用作正输入。
SENSE	5	6	I	6kΩ 电阻器连接至运算放大器的反相端子。 在 G = ½ 配置中连接到输出。 在 G = 2 配置中用作负输入。
V+	7	8	—	正（最高）电源
V–	4	5	—	负（最低）电源

Copyright © 2022 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V±	单电源，(V+) 至 (V–)		36	V
	双电源，(V+) 至 (V–)		±18	
I_{IN}	输入电流		10	mA
I_S	输出短路（接地）	连续		
T_A	工作温度	–55	125	°C
T_J	结温	–55	125	°C
T_{stg}	贮存温度		150	℃

(1) 超出*绝对最大额定值*下列出的压力可能会对器件造成永久损坏。这些仅为压力额定值，并不表明器件在这些额定值下或者任何其它超过节 7.3 所标明的条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V±	电源电压	单电源，V_S = (V+)	4.5		36	V
		双电源，V_S = (V+) – (V–)	±2.25		±18	
T_A	额定温度		-40		125	°C

7.4 热性能信息

热指标(1)		INA592			单位
		D	DGK	DRC	
		8 引脚	8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	115	158	47.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	52.4	48.6	49.6	°C/W
$R_{\theta JB}$	结至电路板热阻	59.2	78.7	21.0	°C/W
ψ_{JT}	结至顶部特征参数	9.5	3.9	0.8	°C/W
ψ_{JB}	结至电路板特征参数	58.3	77.3	20.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	5.3	5.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2022 Texas Instruments Incorporated

7.5 电气特性：G = 1/2

T_A = 25°C，V_S = ±2.25V 至 ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 接地，REF 引脚接地（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压 (RTO)(1)							
V_{OS}	输入失调电压	RTO，V_S = ±2.25V 至 ±3V，V_{CM} = – 3V			±14	±40	μV
		RTO，V_S = ±3V 至 ±18V			±14	±40	
dV_{OS}/dT	输入失调电压漂移				±0.7	±2.0	μV/°C
PSRR	电源抑制比	V_S = ±3V 至 ±18V			±0.5	±5	μV/V
输入电压							
V_{CM}	共模电压	V_O = 0V		(V–) – 0.1] – $2V_{REF}$		(V+) – $2V_{REF}$	V
CMRR	共模抑制比	RTO，3 [(V–) – 0.1V)] ≤ V_{CM} ≤ 3 [(V+) – 3V]		88	100		dB
			T_A = – 40°C 至 +125°C	82	90		
		RTO，3 [(V+) – 1.5V)] ≤ V_{CM} ≤ 3 [(V+))]		88	100		
			T_A = – 40°C 至 +125°C	72	90		
输入阻抗(2)							
z_{id}	差分	V_O = 0V			24		kΩ
z_{ic}	共模				9		kΩ，
增益							
G	初始				1/2		V/V
GE	增益误差	V_O = – 10V 至 +10V，V_S = ±15V			±0.01	±0.03	%
	增益漂移(3)				±0.2	±0.5	ppm/ °C
	增益非线性	V_O = – 10V 至 +10V，V_S = ±15V			1		ppm
输出							
V_O	输出电压摆幅	正电源轨		(V+) – 170		(V+) – 220	mV
		负电源轨		(V–) + 190		(V–) + 220	
I_{SC}	短路电流				±65		mA
噪声							
E_n	输出电压噪声	f = 0.1Hz 至 10Hz，RTO			3		μVpp
e_n	输出电压噪声密度	f = 1kHz，RTO			18		nV/√Hz
频率响应							
BW	小信号 –3dB 带宽				2.0		MHz
SR	压摆率				18		V/μs
t_S	建立时间	至最终值的 0.1%，V_O = 10V 阶跃			1		μs
		至最终值的 0.01%，V_O = 10V 阶跃			1.3		
THD+N	总谐波失真 + 噪声	f = 1kHz，V_O = 2.8V_{RMS}			0.00038		%
	本底噪声，RTO	80kHz 带宽，V_O = 3.5V_{RMS}			– 116		dB
t_{DR}	过载恢复时间				200		ns

Copyright © 2022 Texas Instruments Incorporated

7.5 电气特性：G = 1/2 (continued)

T_A = 25°C，V_S = ±2.25V 至 ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 接地，REF 引脚接地（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
电源							
I_Q	静态电流	I_O=0mA			1.1	1.2	mA
			T_A = -40°C 至 +125°C			1.5	mA

(1) 包括放大器输入偏置和失调电流带来的影响。
(2) 电阻器比率匹配，但绝对值为 ±20%。
(3) 通过晶圆测试指定至 95% 置信水平。

7.6 电气特性：G = 2

T_A = 25°C，V_S = ±2.25V 至 ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 接地，REF 引脚接地（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压 (RTO)(1)							
V_{OS}	输入失调电压	V_S = ±2.25V 至 ±3V，V_{CM} = – 1.5V			±28	±80	μV
		V_S = ±3V 至 ±18V			±28	±80	
dV_{OS}/dT	输入失调电压漂移				±1.4	±4	μV/°C
PSRR	电源抑制比				±1	±5	μV/V
输入电压							
V_{CM}	共模电压	V_O = 0V		3/2[(V –) – 0.1] – 0.5V_{REF}		3/2(V+) – 0.5V_{REF}	V
CMRR	共模抑制比	RTO，1.5 [(V–) – 0.1V)] ≤ V_{CM} ≤ 1.5 [(V+) – 3V]		82	94		dB
			T_A = -40°C 至 +125°C	80	84		
		RTO，1.5 [(V+) – 1.5V)] ≤ V_{CM} ≤ 1.5 (V+)		82	94		
			T_A = – 40°C 至 +125°C	65	84		
输入阻抗(2)							
z_{id}	差分	V_O = 0V			12		kΩ
z_{ic}	共模				9		kΩ，
增益							
G	初始				2		V/V
GE	增益误差	V_O = – 10V 至 +10V，V_S = ±15V			±0.01	±0.03	%
	增益漂移(3)				±0.25	±0.5	ppm/ °C
	增益非线性	V_O = – 10V 至 +10V，V_S = ±15V			1		ppm
输出							
V_O	输出电压摆幅	正电源轨		(V+) – 130		(V+) – 180	mV
		负电源轨		(V–) + 140		(V–) + 180	
I_{SC}	短路电流				±65		mA
噪声							
E_n	输出电压噪声	f = 0.1Hz 至 10Hz，RTO			6		μVpp
e_n	输出电压噪声密度	f = 1kHz，RTO			36		nV/√Hz

Copyright © 2022 Texas Instruments Incorporated

7.6 电气特性：G = 2 (continued)

T_A = 25°C，V_S = ±2.25V 至 ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 接地，REF 引脚接地（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
频率响应							
BW	小信号 –3dB 带宽				0.8		MHz
SR	压摆率				18		V/μs
t_S	建立时间	至最终值的 0.1%，V_O = 10V 阶跃			1.0		μs
		至最终值的 0.01%，V_O = 10V 阶跃			1.7		
THD+N	总谐波失真 + 噪声	f = 1kHz，V_O = 2.8V_{RMS}			0.00066		%
	本底噪声，RTO	80kHz 带宽，V_O = 3.5V_{RMS}			–110		dB
t_{DR}	过载恢复时间				200		ns
电源							
I_Q	静态电流	I_O=0mA			1.1	1.2	mA
			T_A = -40°C 至 +125°C			1.5	

(1) 包括放大器输入偏置和失调电流带来的影响。
(2) 电阻器比率匹配，但绝对值为 ±20%。
(3) 通过晶圆测试指定至 95% 置信水平。

Copyright © 2022 Texas Instruments Incorporated

7.7 典型特性

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）

表 7-1. 图形表

说明	图表
失调电压的典型分布 (RTO) - G= 1/2，V_S = ±2.25V	图 7-1
失调电压的典型分布 (RTO) G= 2，V_S = ±2.25V	图 7-2
失调电压的典型分布 (RTO) G= 1/2，V_S = ±18V	图 7-3
失调电压的典型分布 (RTO) G= 2，V_S = ±18V	图 7-4
失调电压漂移的典型分布 (RTO) - G = 1/2	图 7-5
失调电压漂移的典型分布 (RTO) - G = 2	图 7-6
输出失调电压与温度间的关系 - G = 1/2	图 7-7
输出失调电压与温度间的关系 - G = 2	图 7-8
失调电压与共模电压间的关系 - G = 1/2	图 7-9
失调电压与共模电压间的关系 - G = 2	图 7-10
输入偏置电流与温度间的关系 - G = 1/2 和 G = 2	图 7-11
输入失调电流与温度间的关系	图 7-12
输入偏置电流与共模电压间的关系 - G = 1/2	图 7-13
输入偏置电流与共模电压间的关系 - G = 2	图 7-14
典型 CMRR 分布 - G = 1/2，V_S = ±2.25V	图 7-15
典型 CMRR 分布 - G = 2，V_S = ±2.25V	图 7-16
典型 CMRR 分布 - G = 1/2，V_S = ±18V	图 7-17
典型 CMRR 分布 - G = 2，V_S = ±18V	图 7-18
CMRR 与温度间的关系 - G = 1/2	图 7-19
CMRR 与温度间的关系 - G = 2	图 7-20
共模抑制比与频率间的关系 (RTI) - G = 1/2 和 2	图 7-21
最大输出电压与频率间的关系	图 7-22
PSRR 与温度间的关系 - G = 1/2	图 7-23
PSRR 与温度间的关系 - G = 2	图 7-24
PSRR 与频率间的关系 (RTI) - G = 1/2	图 7-25
PSRR 与频率间的关系 (RTI) - G = 2	图 7-26
增益误差的典型分布 - G = 1/2，Vs = ±2.25V	图 7-27
增益误差的典型分布 - G = 2，Vs = ±2.25V	图 7-28
增益误差与温度间的关系 - G = 1 /2	图 7-29
增益误差与温度间的关系 - G = 2	图 7-30
闭环增益与频率间的关系 - G = 1/2	图 7-31
闭环增益与频率间的关系 - G = 2	图 7-32
电压噪声频谱密度与频率间的关系 (RTI) - G = 1/2	图 7-33
电压噪声频谱密度与频率间的关系 (RTI) - G = 2	图 7-34
0.1Hz 至 10Hz RTI 电压噪声 - G = 1/2	图 7-35
0.1Hz 至 10Hz 电压噪声 - G = 2	图 7-36
集成输出电压噪声与噪声带宽间的关系 - G = 1/2	图 7-37
集成输出电压噪声与噪声带宽间的关系 - G = 2	图 7-38
正输出电压与输出电流（拉出）间的关系 - G = 1/2	图 7-39
正输出电压与输出电流（拉出）间的关系 G = 2	图 7-40

Copyright © 2022 Texas Instruments Incorporated

7.7 典型特性

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）

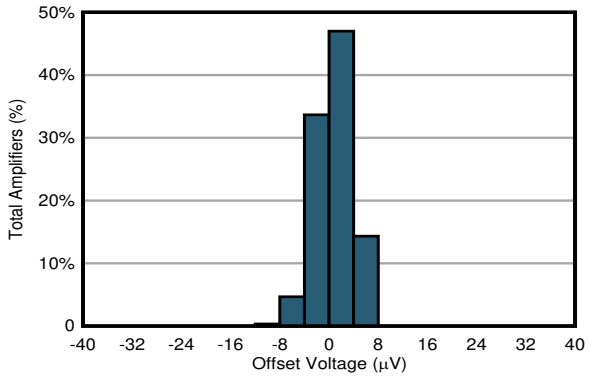
表 7-1. 图形表 (continued)

说明	图表
负输出电压与输出电流（灌入）间的关系 - G = 1/2	图 7-41
负输出电压与输出电流（灌入）间的关系 - G = 2	图 7-42
建立时间 - G = 1/2	图 7-43
建立时间 - G = 2	图 7-44
大信号阶跃响应 - G = 1/2	图 7-45
大信号阶跃响应 G =2	图 7-46
压摆率与温度间的关系	图 7-47
过载恢复（标准化为 0V）	图 7-48
小信号过冲与容性负载间的关系 - G = 1/2	图 7-49
小信号过冲与容性负载间的关系 - G = 2	图 7-50
小信号阶跃响应 - G = 1/2	图 7-51
小信号阶跃响应 - G = 2	图 7-52
THD+N 与频率间的关系 - G = 1/2	图 7-53
THD+N 与频率间的关系 - G = 2	图 7-54
THD+N 比与输出振幅间的关系 - G = 1/2	图 7-55
THD+N 比与输出振幅间的关系 - G = 2	图 7-56
电源电流与温度间的关系 - G = 1/2	图 7-57
电源电流与温度间的关系 - G = 2	图 7-58
电源电流与电源电压间的关系 - G = 1/2	图 7-59
电源电流与电源电压间的关系 - G = 2	图 7-60
短路电流与温度间的关系 - G = 1/2	图 7-61
短路电流与温度间的关系 - G = 2	图 7-62
差模 EMI 抑制比 - G = 1/2	图 7-63
差模 EMI 抑制比 - G = 2	图 7-64
共模 EMI 抑制比 - G = 1/2	图 7-65
共模 EMI 抑制比 - G = 2	图 7-66
输入共模电压与输出电压间的关系 - G = 1/2，双极电源	图 7-67
输入共模电压与输出电压间的关系 G= 2，双极电源	图 7-68
输入共模电压与输出电压间的关系 - G = 1/2，5V 电源	图 7-69
输入共模电压与输出电压间的关系 - G = 2，5V 电源	图 7-70
输入共模电压与输出电压间的关系 - G = 1/2，36V 电源	图 7-71
输入共模电压与输出电压间的关系 - G = 2，36V 电源	图 7-72
闭环输出阻抗与频率间的关系	图 7-73

Copyright © 2022 Texas Instruments Incorporated

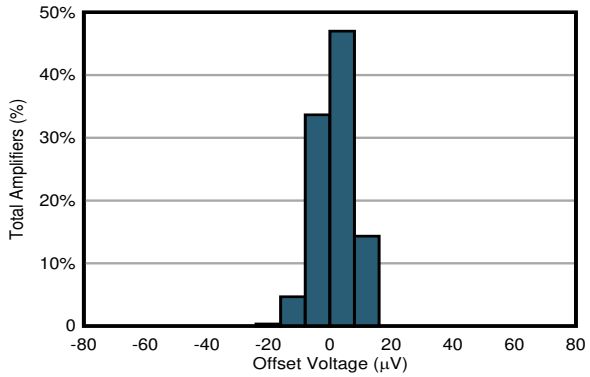
7.7 典型特性

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



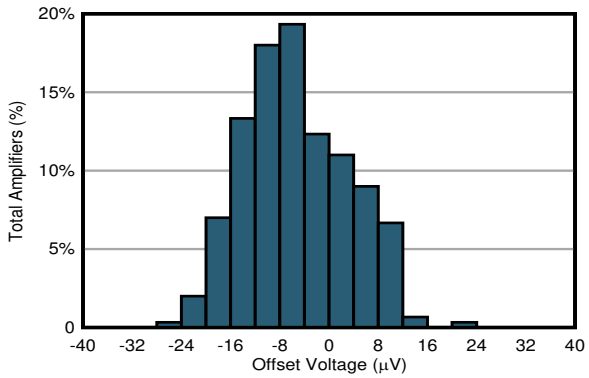
N = 470　平均值 = 0.82 µ V　标准偏差= 2.91 µ V
G = 1/2　V_S = ±2.25V　V_{CM} = -3V

图 7-1. 失调电压的典型分布 (RTO)



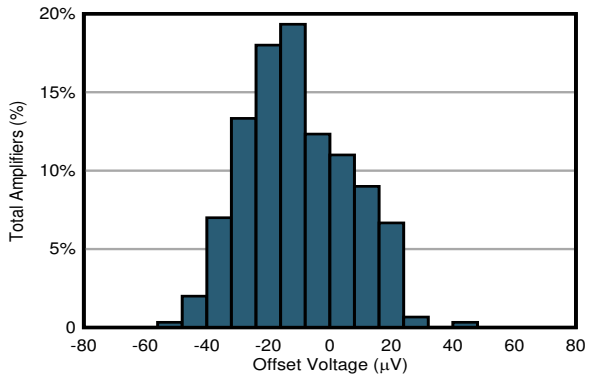
N = 470　平均值 = 1.64 µ V　标准偏差= 5.82 µ V
G = 2　V_S = ±2.25V　V_{CM} = -3V

图 7-2. 失调电压的典型分布 (RTO)



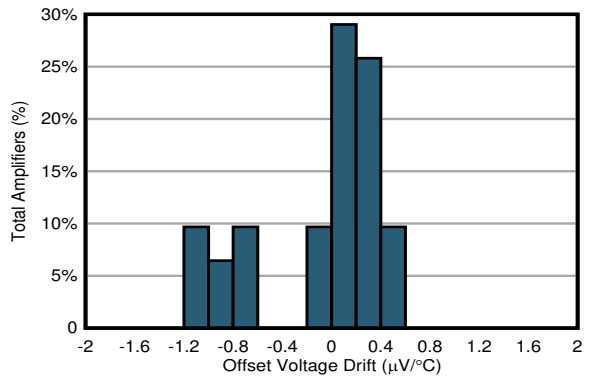
N = 470　平均值 = –5.22 µ V　标准偏差= 8.38 µ V
G = 1/2　V_S = ±18V

图 7-3. 失调电压的典型分布 (RTO)



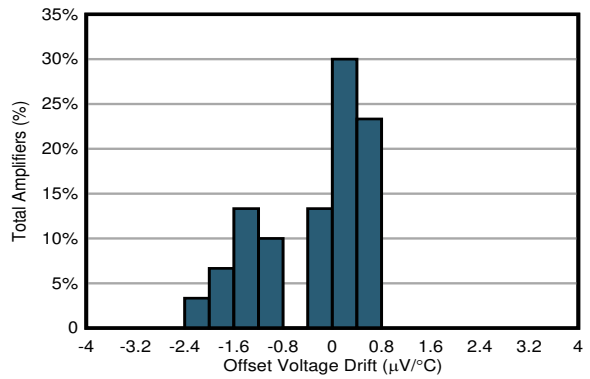
N = 470　平均值 = –10.43 µ V　标准偏差= 16.77 µ V
G = 2　V_S = ±18V

图 7-4. 失调电压的典型分布 (RTO)



N = 30　平均值 = –0.075 µ V/°C　标准偏差= 0.502 µ V/°C
G = 1/2

图 7-5. 失调电压漂移的典型分布 (RTO)



N = 30　平均值 = –0.325 µ V/°C　标准偏差= 0.887 µ V/°C
G = 2

图 7-6. 失调电压漂移的典型分布 (RTO)

Copyright © 2022 Texas Instruments Incorporated

7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）

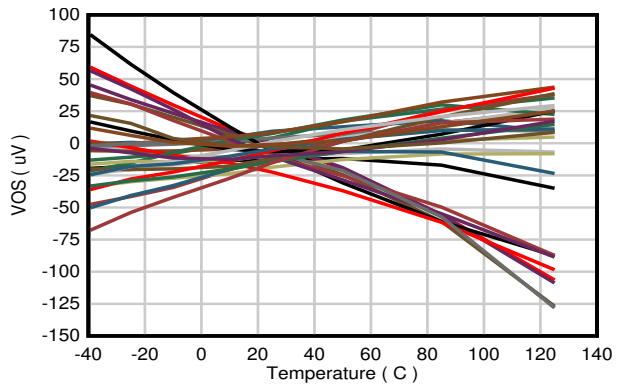


图 7-7. 输出失调电压与温度间的关系

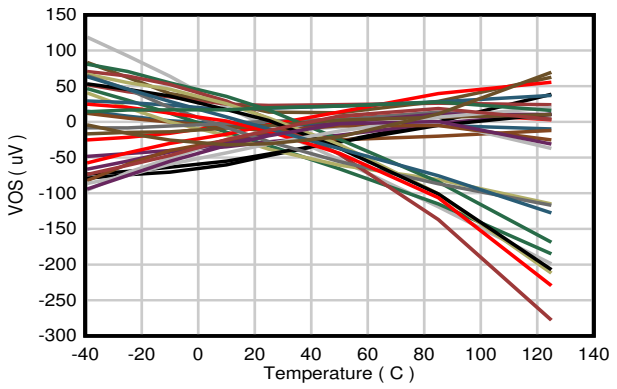


图 7-8. 输出失调电压与温度间的关系

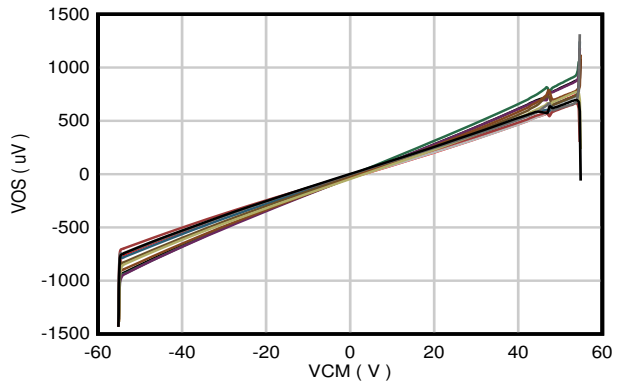


图 7-9. 失调电压与共模电压间的关系

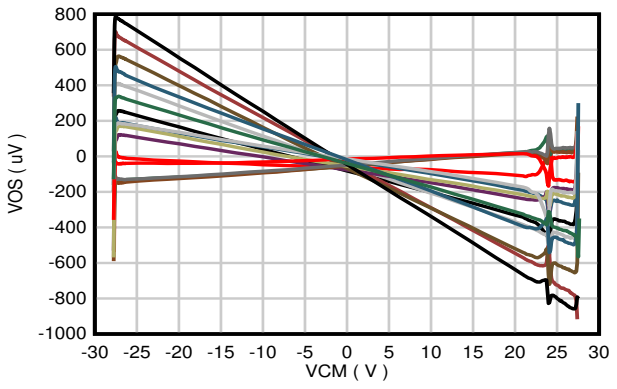


图 7-10. 失调电压与共模电压间的关系

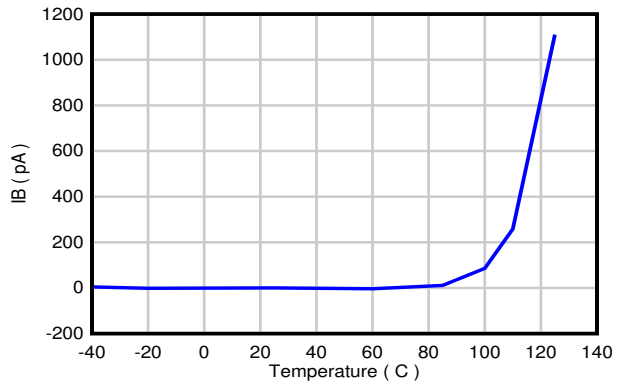


图 7-11. 输入偏置电流与温度间的关系

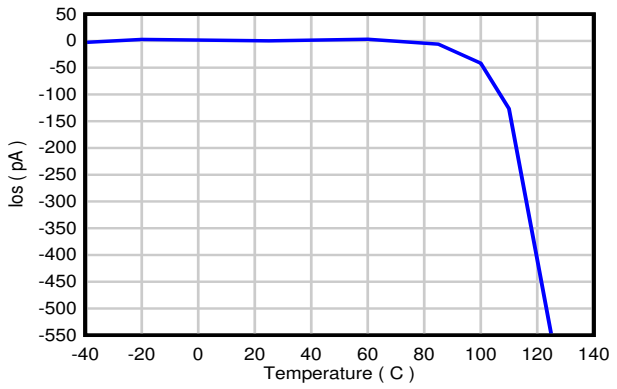
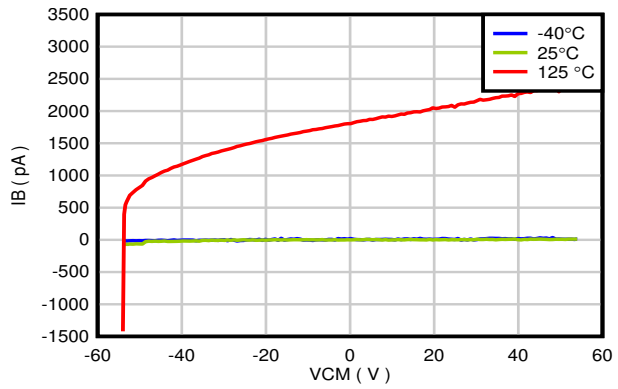


图 7-12. 输入失调电流与温度间的关系

Copyright © 2022 Texas Instruments Incorporated

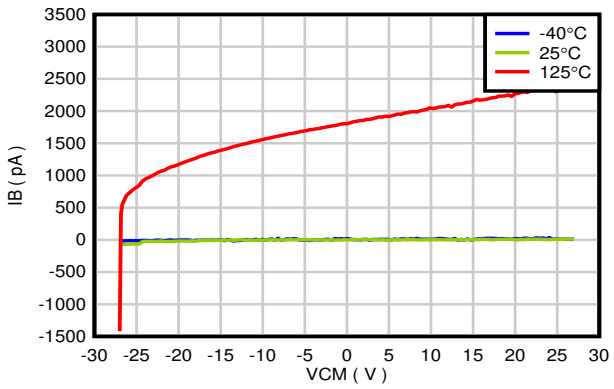
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



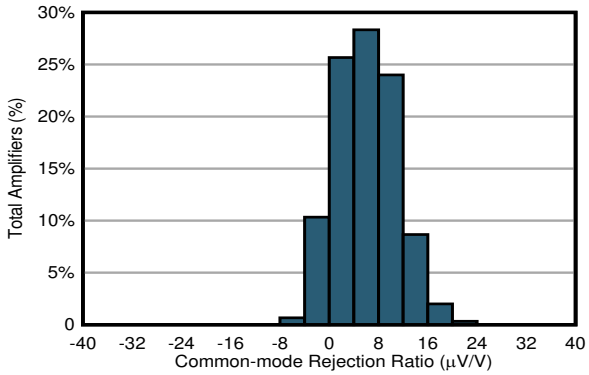
G = 1/2

图 7-13. 输入偏置电流与共模电压间的关系



G = 2

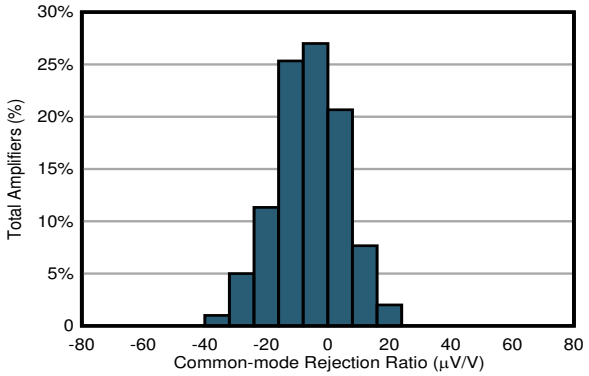
图 7-14. 输入偏置电流与共模电压间的关系



N = 470　　平均值 = 6.01 µ V/V　　标准偏差= 4.85 µ V/V

G = 1/2　　V_S = ±2.25V

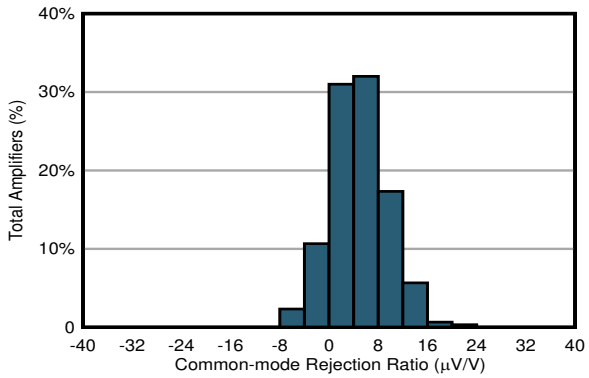
图 7-15. 典型 CMRR 分布



N = 470　　平均值 = – 6.22 µ V/V　　标准偏差= 10.74 µ V/V

G = 2　　V_S = ±2.25V

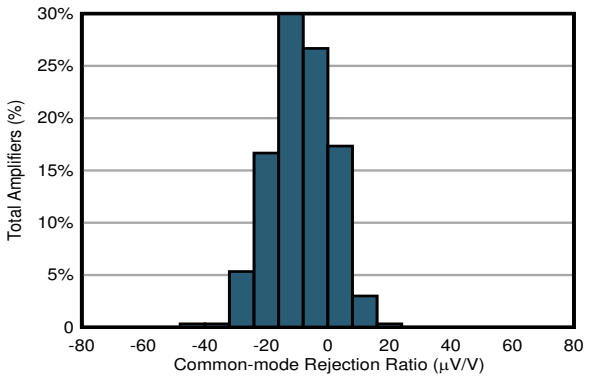
图 7-16. 典型 CMRR 分布



N = 470　　平均值 = 4.86 µ V/V　　标准偏差= 4.75 µ V/V

G = 1/2　　V_S = ±18V

图 7-17. 典型 CMRR 分布



N = 470　　平均值 = – 8.64 µ V/V　　标准偏差= 9.70 µ V/V

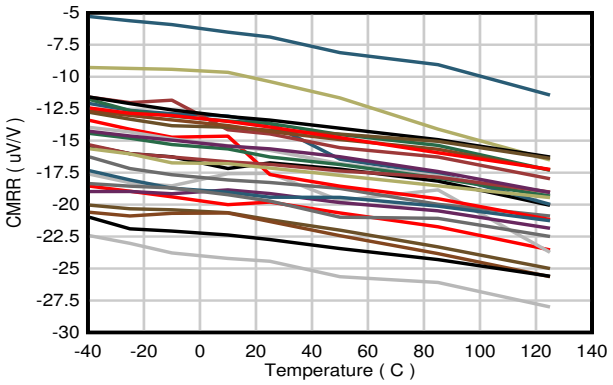
G = 2　　V_S = ±18V

图 7-18. 典型 CMRR 分布

Copyright © 2022 Texas Instruments Incorporated

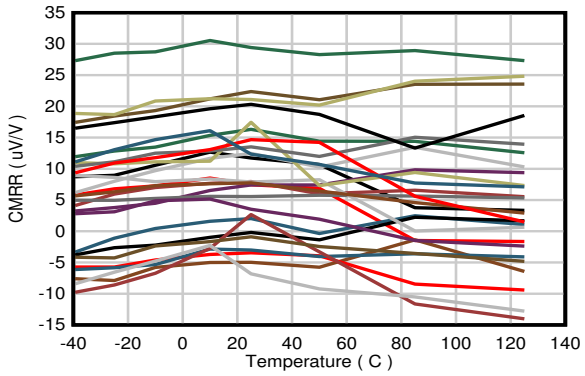
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



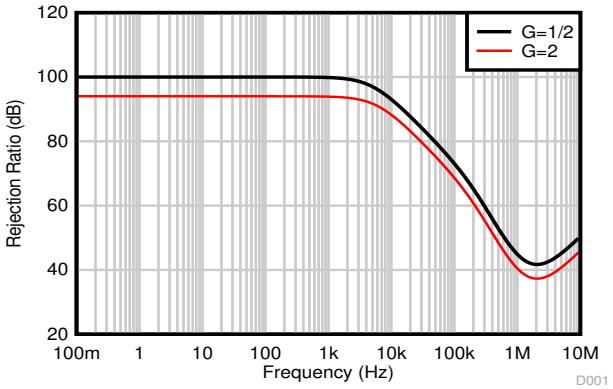
G = 1/2　　24 个单元

图 7-19. CMRR 与温度间的关系



G = 2　　24 个单元

图 7-20. CMRR 与温度间的关系



G = 1/2 和 G = 2

图 7-21. 共模抑制比与频率间的关系，以输入为基准

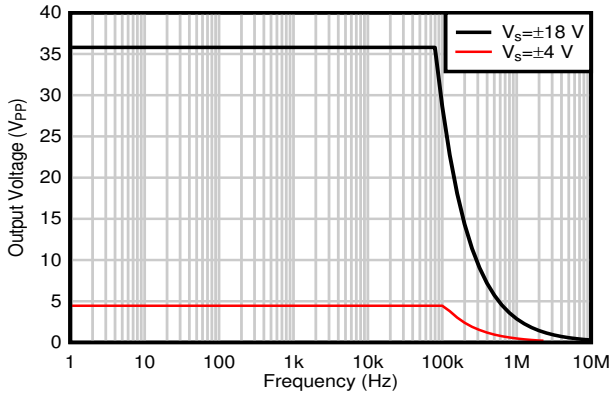
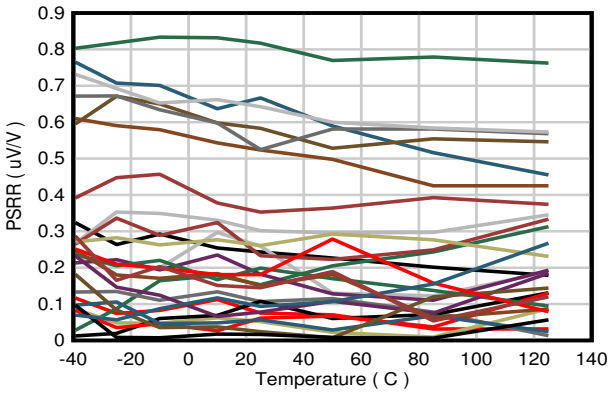
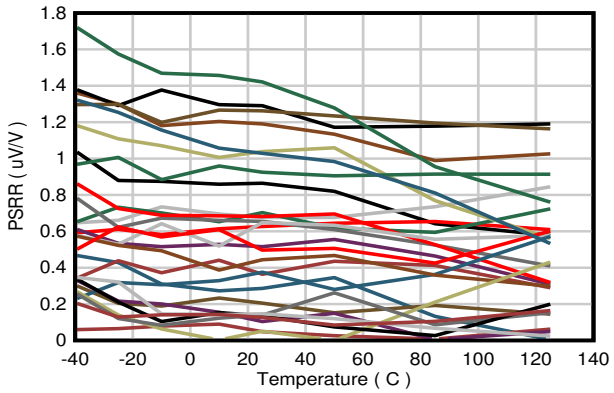


图 7-22. 最大输出电压与频率间的关系



G = 1/2　　24 个单元

图 7-23. PSRR 与温度间的关系

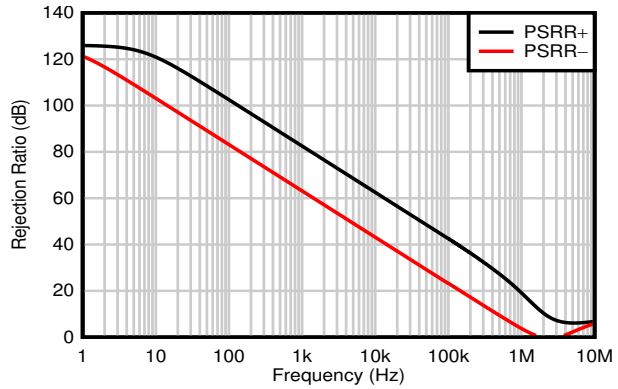


G = 2　　24 个单元

图 7-24. PSRR 与温度间的关系

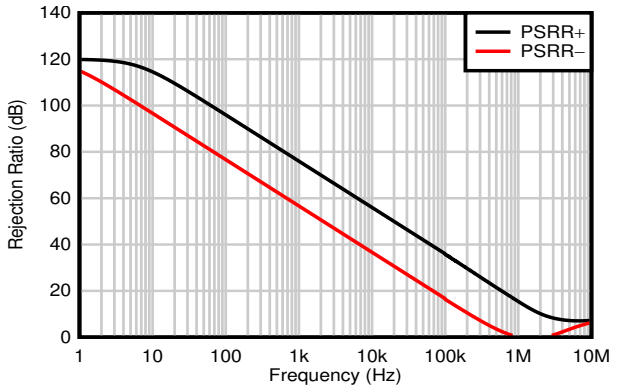
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



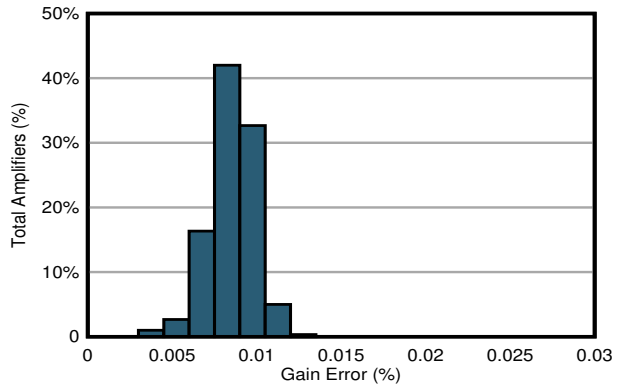
G = 1/2

图 7-25. PSRR 与频率间的关系 (RTI)



G = 2

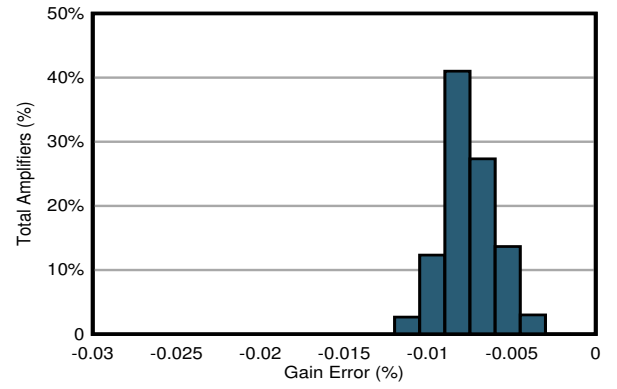
图 7-26. PSRR 与频率间的关系 (RTI)



N = 470　　平均值 = 0.0085%　　标准偏差= 0.0014%

G = 1/2

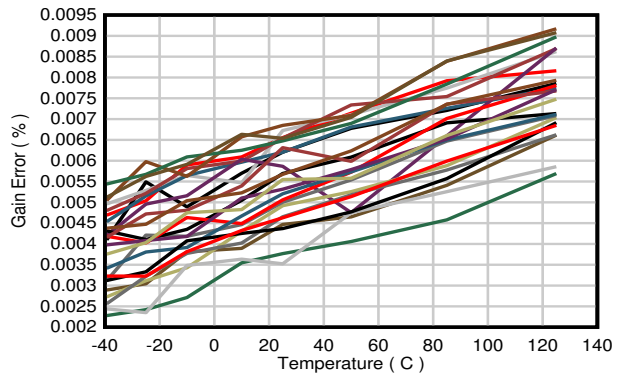
图 7-27. 增益误差的典型分布



N = 470　　平均值 = –0.0076%　　标准偏差= 0.0015%

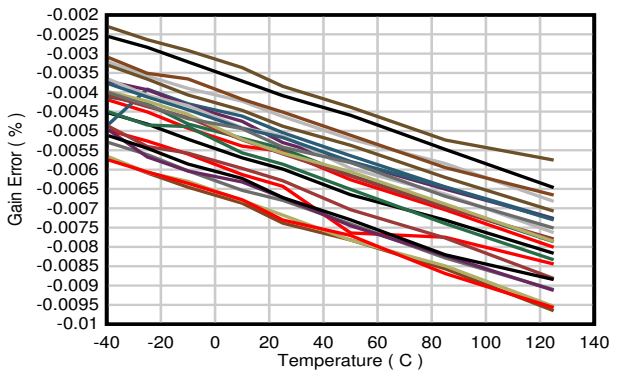
G = 2

图 7-28. 增益误差的典型分布



G = 1/2　　30 个单元

图 7-29. 增益误差与温度间的关系



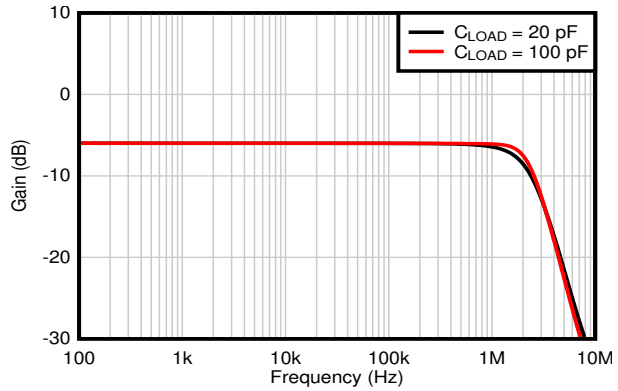
G = 2　　30 个单元

图 7-30. 增益误差与温度间的关系

Copyright © 2022 Texas Instruments Incorporated

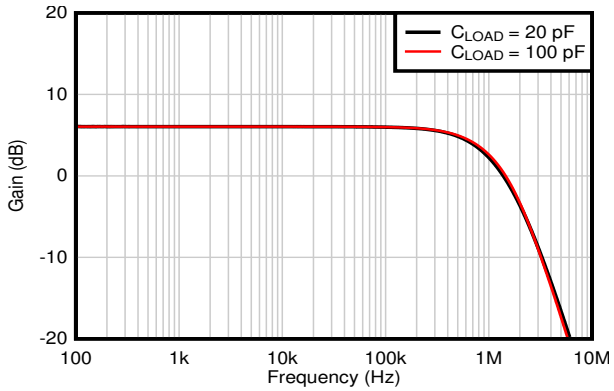
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



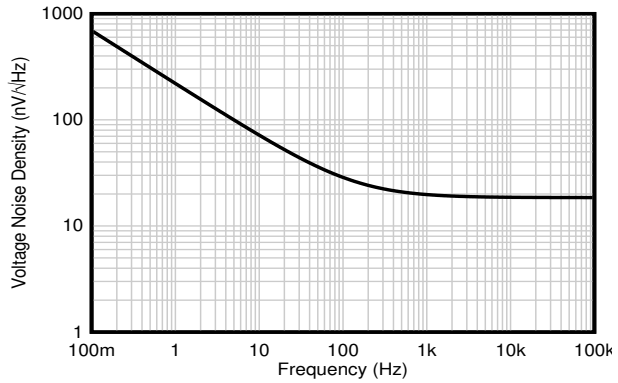
G = 1/2

图 7-31. 闭环增益与频率间的关系



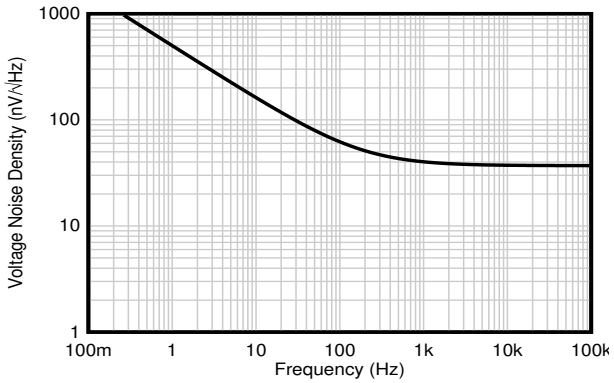
G = 2

图 7-32. 闭环增益与频率间的关系



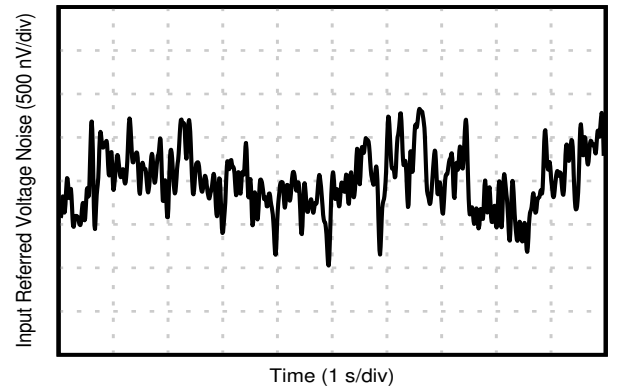
G = 1/2

图 7-33. 电压噪声频谱密度与频率间的关系 (RTI)



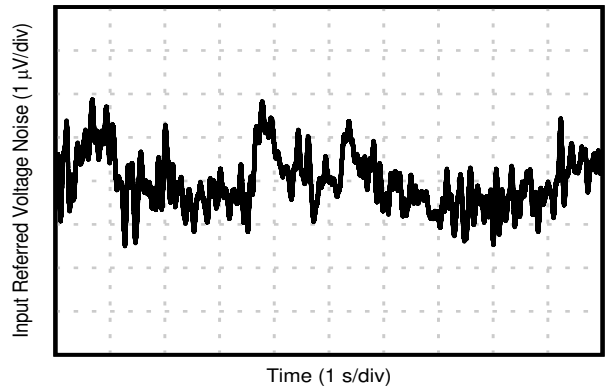
G = 2

图 7-34. 电压噪声频谱密度与频率间的关系 (RTI)



G = 1/2

图 7-35. 0.1Hz 至 10Hz RTI 电压噪声



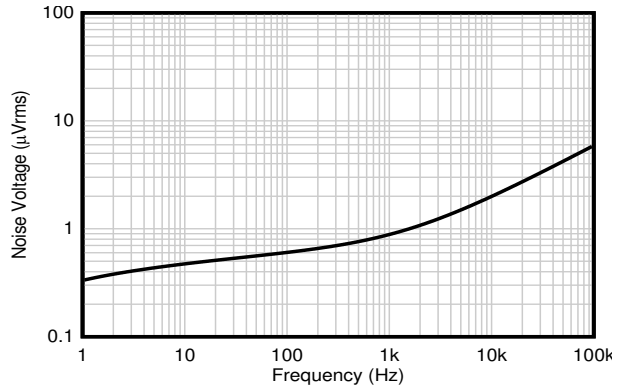
G = 2

图 7-36. 0.1Hz 至 10Hz RTI 电压噪声

Copyright © 2022 Texas Instruments Incorporated

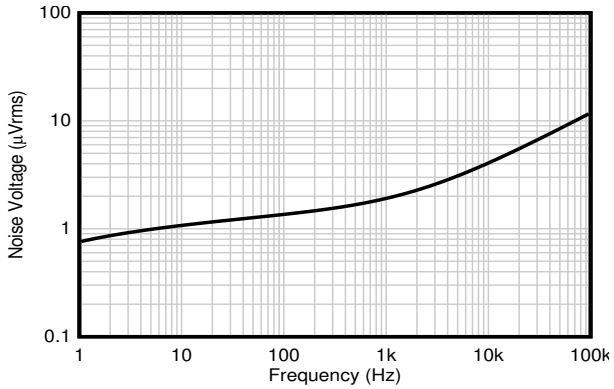
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



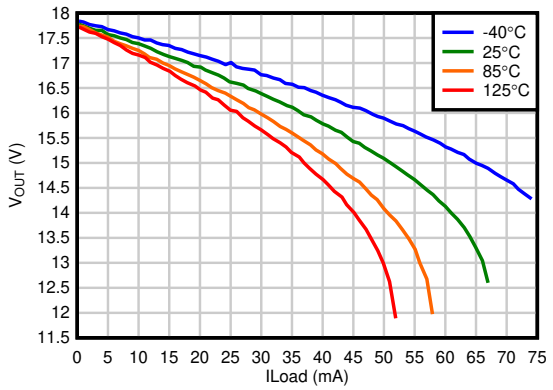
G = 1/2

图 7-37. 集成输出电压噪声与噪声带宽间的关系



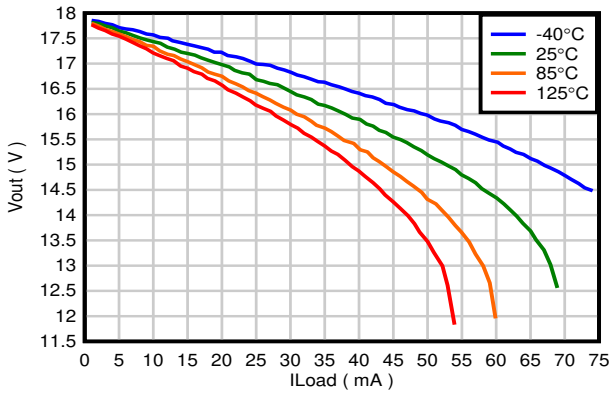
G = 2

图 7-38. 集成输出电压噪声与噪声带宽间的关系



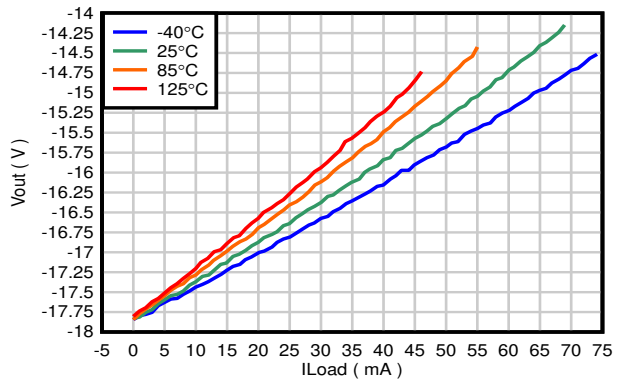
G = 1/2

图 7-39. 正输出电压与输出电流（拉出）间的关系



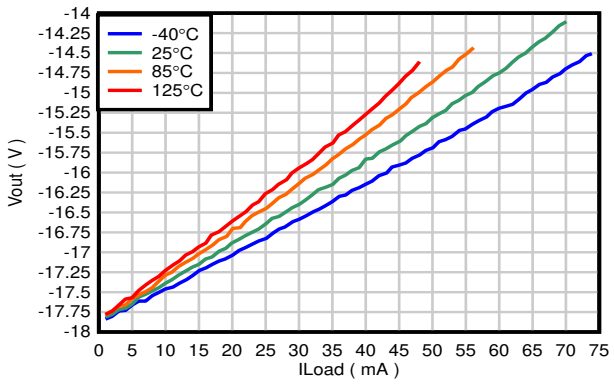
G = 2

图 7-40. 正输出电压与输出电流（拉出）间的关系



G = 1/2

图 7-41. 负输出电压与输出电流（灌入）间的关系



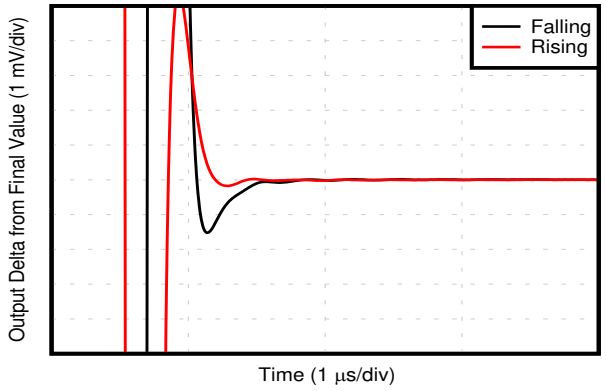
G = 2

图 7-42. 负输出电压与输出电流（灌入）间的关系

Copyright © 2022 Texas Instruments Incorporated

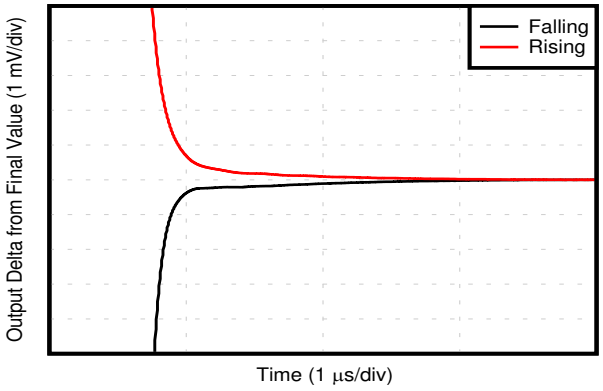
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



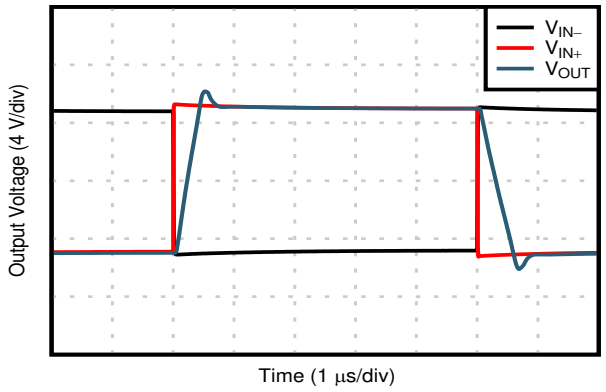
G = 1/2

图 7-43. 建立时间



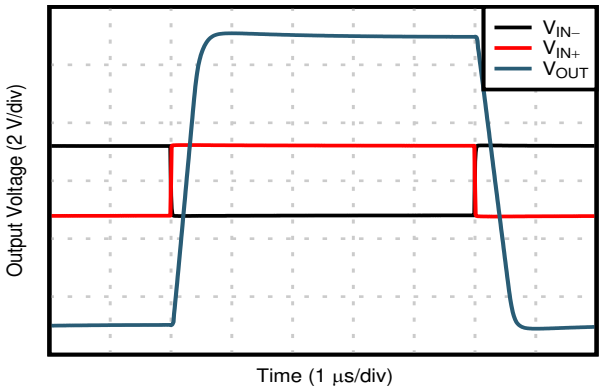
G = 2

图 7-44. 建立时间



G = 1/2

图 7-45. 大信号阶跃响应



G = 2

图 7-46. 大信号阶跃响应

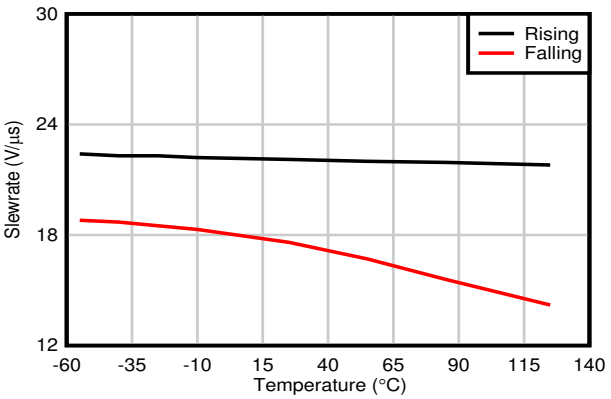


图 7-47. 压摆率与温度间的关系

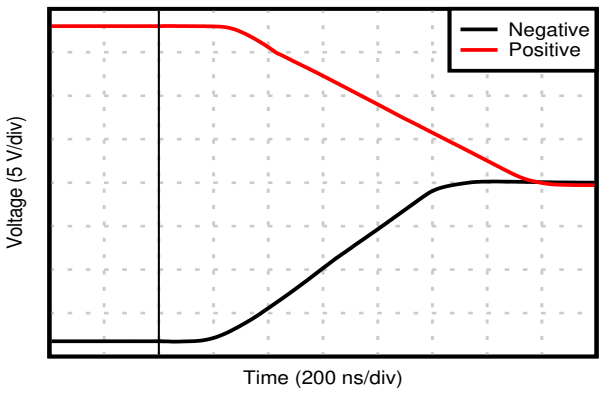
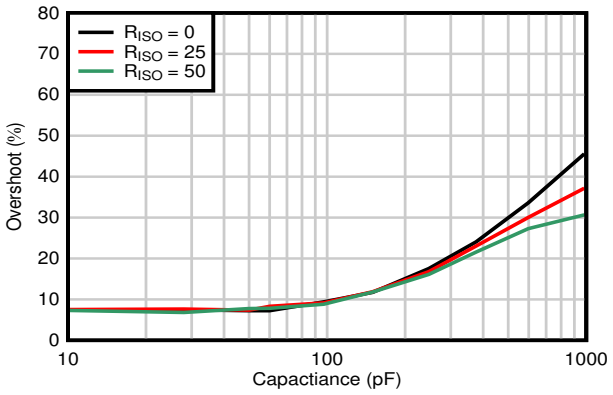


图 7-48. 过载恢复（标准化为 0V）

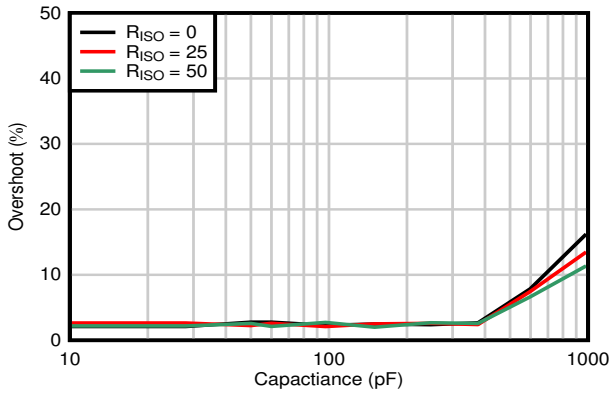
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



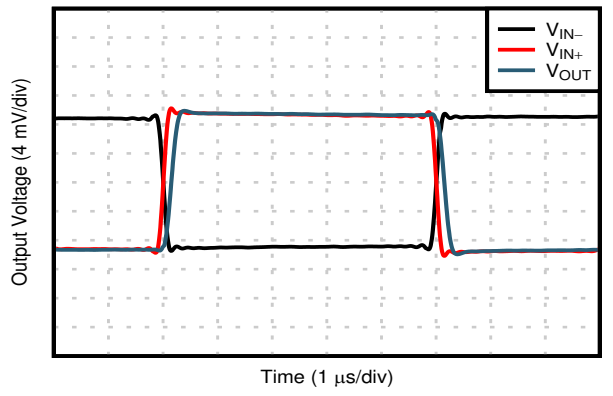
G = 1/2

图 7-49. 小信号过冲与容性负载间的关系



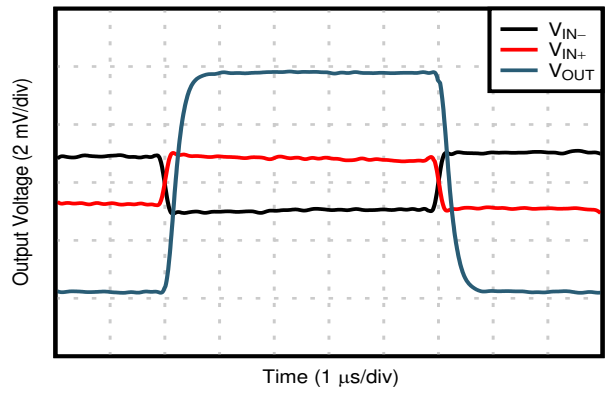
G = 2

图 7-50. 小信号过冲与容性负载间的关系



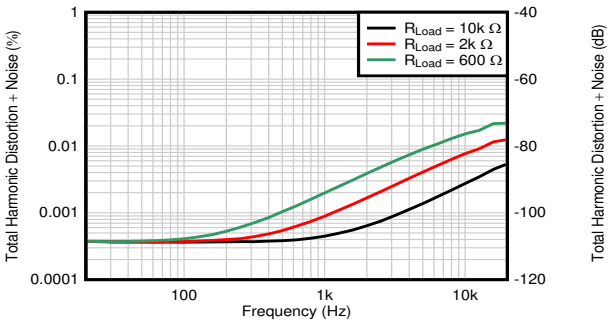
G = 1/2

图 7-51. 小信号阶跃响应



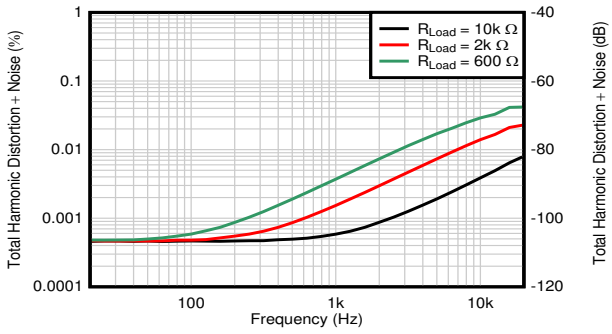
G = 2

图 7-52. 小信号阶跃响应



G = 1/2　　V_{OUT} = 3.5V_{RMS}

图 7-53. THD+N 与频率间的关系



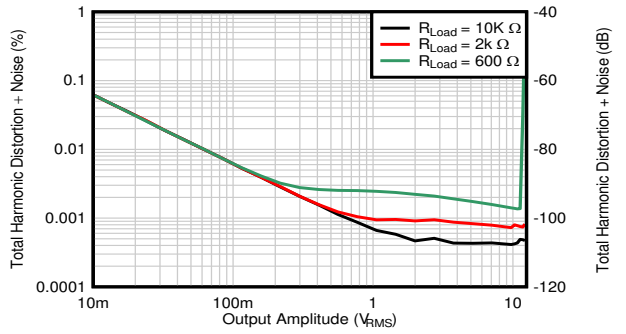
G = 2　　V_{OUT} = 3.5V_{RMS}

图 7-54. THD+N 与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

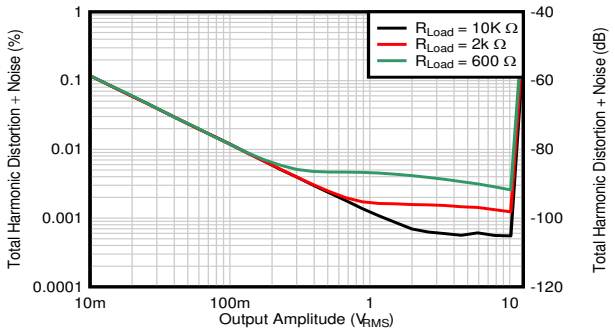
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



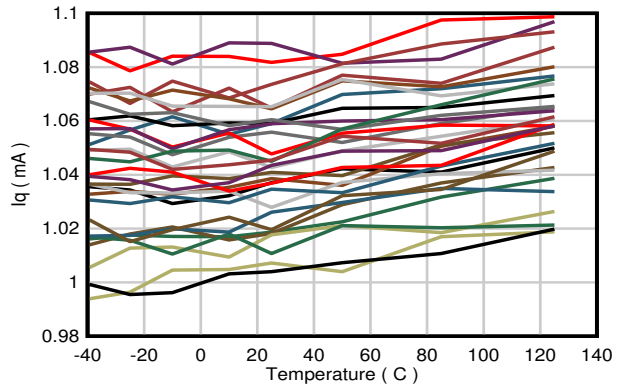
G = 1/2

图 7-55. THD+N 比与输出幅值间的关系



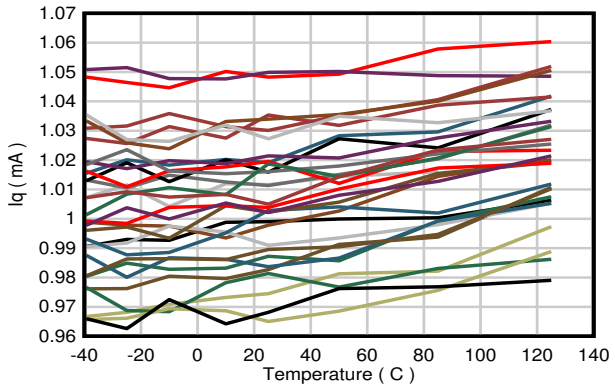
G = 2

图 7-56. THD+N 比与输出幅值间的关系



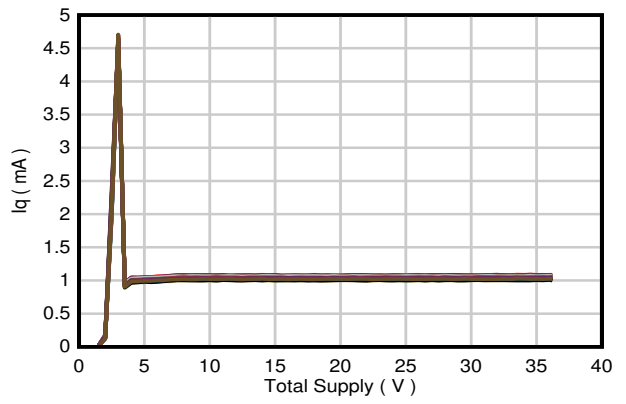
G = 1/2　　30 个单元

图 7-57. 电源电流与温度间的关系



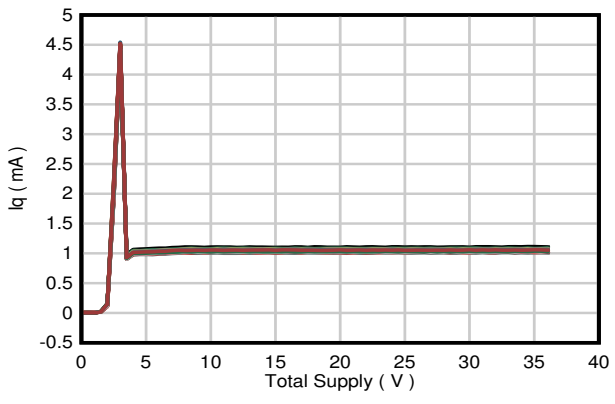
G = 2　　30 个单元

图 7-58. 电源电流与温度间的关系



G = 1/2　　30 个单元

图 7-59. 电源电流与电源电压间的关系



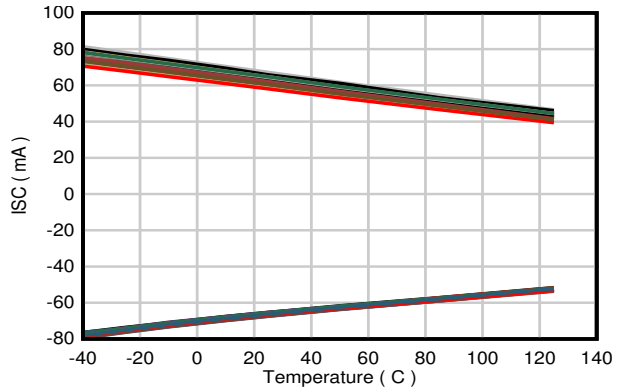
G = 2　　30 个单元

图 7-60. 电源电流与电源电压间的关系

Copyright © 2022 Texas Instruments Incorporated

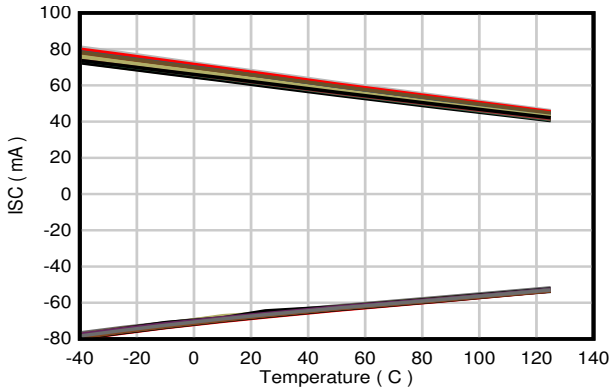
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



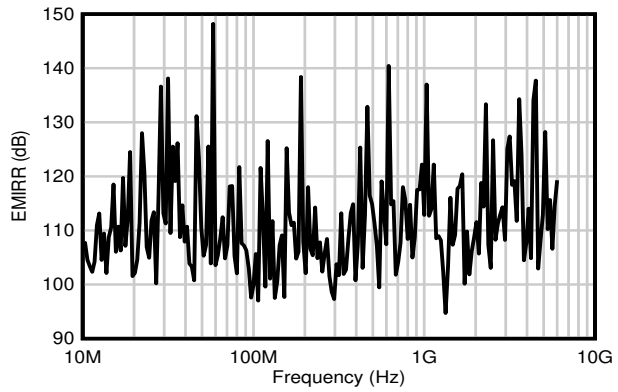
G = 1/2　　30 个单元

图 7-61. 短路电流与温度间的关系



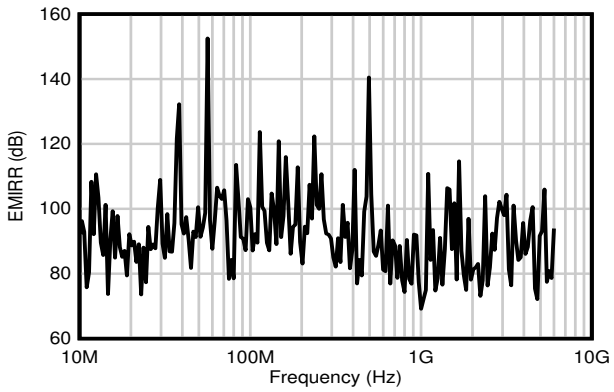
G = 2　　30 个单元

图 7-62. 短路电流与温度间的关系



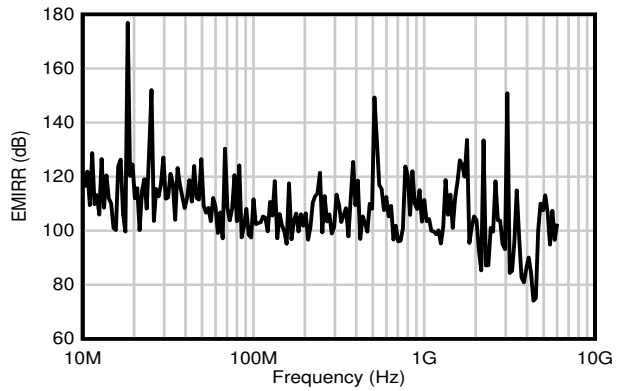
G = 1/2

图 7-63. 差模 EMI 抑制比



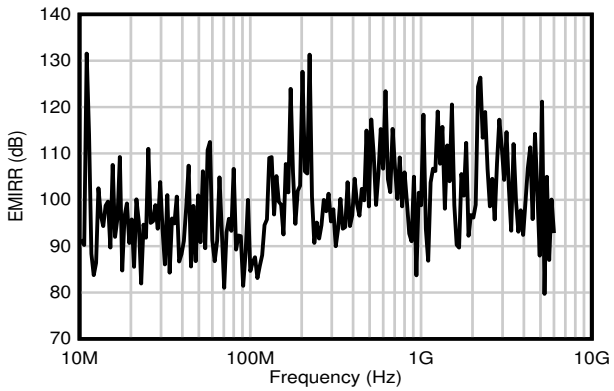
G = 2

图 7-64. 差模 EMI 抑制比



G = 1/2

图 7-65. 共模 EMI 抑制比



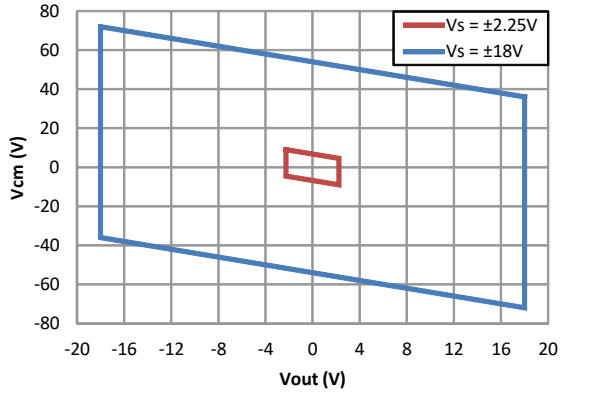
G = 2

图 7-66. 共模 EMI 抑制比

Copyright © 2022 Texas Instruments Incorporated

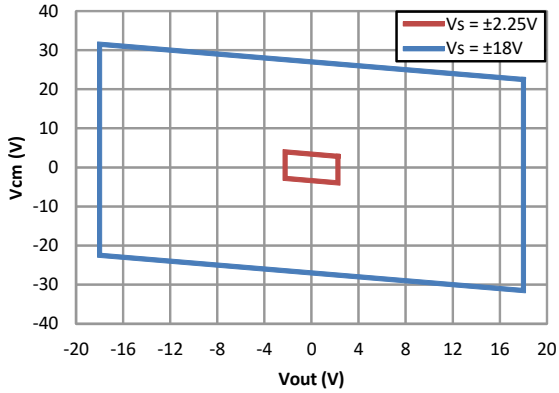
7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）



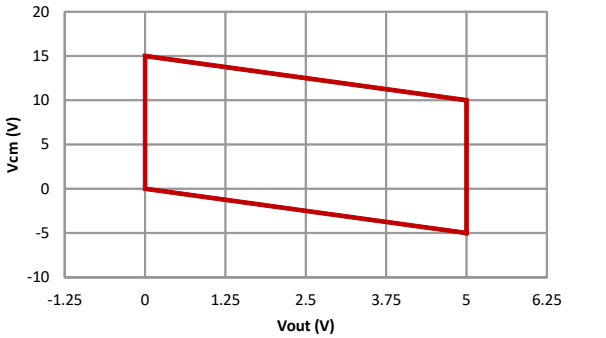
G = 1/2　　双极电源　　V_{REF} = 0V

图 7-67. 输入共模电压与输出电压间的关系



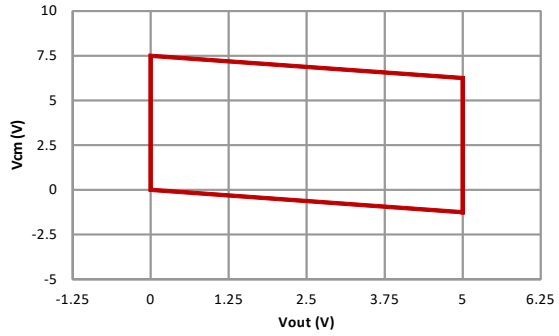
G = 2　　双极电源　　V_{REF} = 0V

图 7-68. 输入共模电压与输出电压间的关系



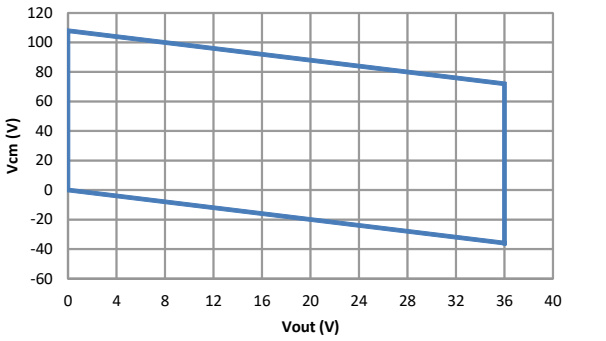
G = 1/2　　5V 电源　　V_{REF} = 0V

图 7-69. 输入共模电压与输出电压间的关系



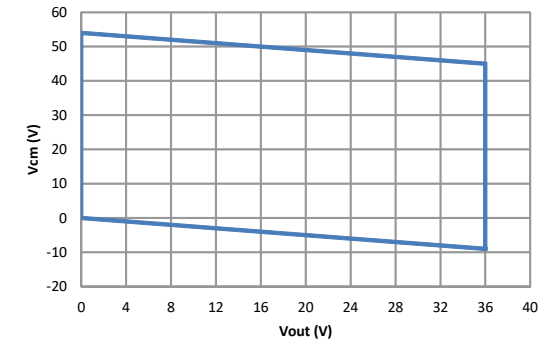
G = 2　　5V 电源　　V_{REF} = 0V

图 7-70. 输入共模电压与输出电压间的关系



G = 1/2　　36V 电源　　V_{REF} = 0V

图 7-71. 输入共模电压与输出电压间的关系



G = 2　　36V 电源　　V_{REF} = 0V

图 7-72. 输入共模电压与输出电压间的关系

7.7 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ，REF 引脚接地，且 G = 1/2（除非另有说明）

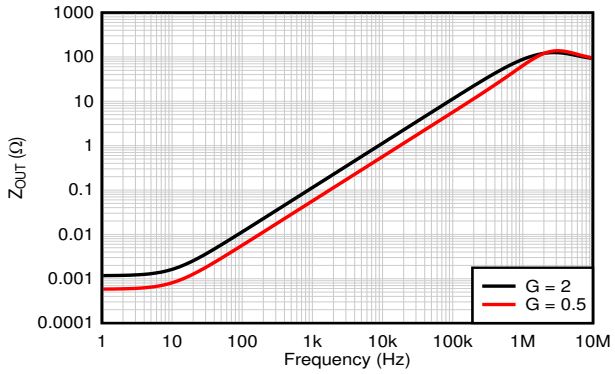


图 7-73. 闭环输出阻抗与频率间的关系

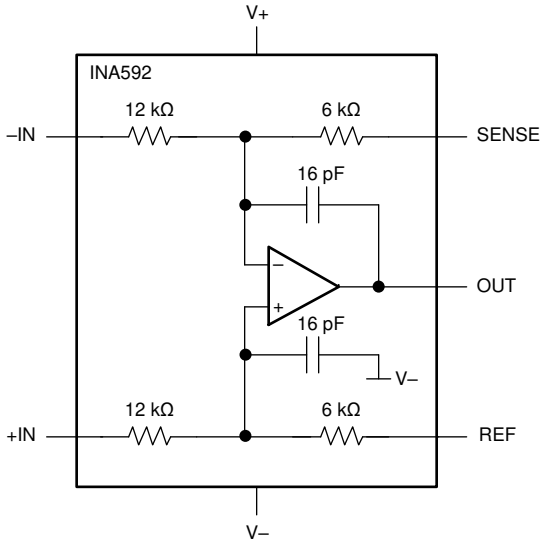
Copyright © 2022 Texas Instruments Incorporated

8 详细说明

8.1 概述

INA592 由一个高精度 e-trim™ 运算放大器和四个经调整的电阻器组成。可以将这些电阻器连接成多种放大器配置，包括差分、同相和反相配置。与分立式设计相比，INA592 的片上电阻器可为设计人员带来多项优势。INA59 还包括内部补偿电容器，如 *节 8.2* 所示。

8.2 功能方框图



8.3 特性说明

运算放大器电路的直流性能很大程度上取决于周围电阻器的精度。INA592 上的电阻器布局紧密匹配。每个器件的电阻器在片上匹配，并测试其匹配精度。由于这种调整和测试，INA592 为增益漂移、共模抑制和增益误差等规格提供了高精度。

8.4 器件功能模式

INA592 可以测量超出电源轨的电压。对于 G = ½ 和 G = 2 差分放大器配置，请参阅 *节 7.5* 和 *节 7.6* 中的输入电压范围以了解详细信息。INA592 可通过多种方式进行配置；请参阅图 9-5 至图 9-9。这些配置依赖于内部匹配的电阻器；因此，所有这些配置都具有出色的增益精度和增益漂移。

Copyright © 2022 Texas Instruments Incorporated

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

图 9-1 显示了 INA592 运行所需的基本连接。将电源旁路电容器连接到接近器件引脚的位置。

差分输入信号连接至引脚 2 和 3，如图所示。连接到输入端的源阻抗必须几乎相等，以提供良好的共模抑制。源阻抗中的 8Ω 失配会将典型器件的共模抑制降低到约 80dB。增益精度也略微受到影响。如果源端具有已知的阻抗失配，则使用一个额外的电阻器与一个输入串联，以保持良好的共模抑制。

9.2 典型应用

9.2.1 基本电源和信号连接

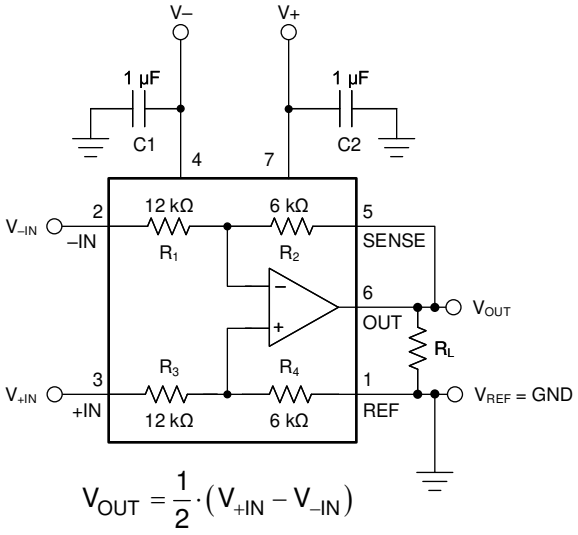


图 9-1. 基本电源和信号连接

9.2.1.1 设计要求

对于图 9-1 中显示的应用，设计要求如下：

- 增益为 G = ½
- 输出失调电压 $Vout_{OS}$ = 0V

Copyright © 2022 Texas Instruments Incorporated

9.2.1.2 详细设计过程

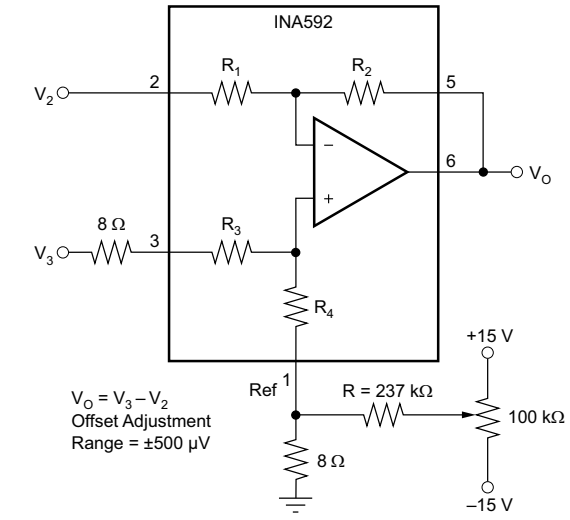
9.2.1.2.1 工作电压

INA592 由单电源（4.5V 至 36V）或双电源（±2.25V 至 ±18V）供电，具有出色的性能。可使用 5V 和 ±15V 电源针对规格进行量产测试。大多数特性在整个工作电压范围内保持不变。节 7.7 中显示了随工作电压变化而显著变化的参数。INA592 的内部运算放大器采用单电源设计。这种设计允许在运算放大器共模电压等于或略低于 V–（或单电源接地）的情况下线性运行。虽然引脚 2 和 3 上的输入电压低于负电源电压并不会损坏器件，但不建议在该区域中运行。反向输入端子处的瞬态条件小于负电源会导致正反馈条件，而这会将器件输出锁定到负电源轨。

INA592 可以准确地测量大于正电源的差分信号。例如，在 G = ½ 时，线性共模范围扩展到正电源电压的近三倍；请参阅典型特性以及 *节 9.2.1.2.3*。

9.2.1.2.2 失调电压调整

INA592 在量产时会针对失调电压和温漂进行调整。大多数应用不要求进行外部失调电压调整。图 9-2 显示了用于调整输出失调电压的可选电路。输出称为输出基准端子（引脚 1），该端子通常接地。将施加到 REF 引脚的电压与输出信号相加。此相加操作可用于使失调电压清零。为保持良好的共模抑制，施加到 REF 引脚的信号的源阻抗必须小于 8Ω。若要使 REF 引脚处保持低阻抗，可以使用运算放大器（如 OPA177）缓冲调整电压。



NOTE: For ±750 µV range, R = 158 kΩ.

Copyright © 2017, Texas Instruments Incorporated

图 9-2. 失调电压调整

9.2.1.2.3 输入电压范围

INA592 能够测量超出电源轨范围的输入电压。内部电阻器在电压到达内部运算放大器之前进行分压，并为运算放大器输入提供保护。图 9-3 显示了差分放大器配置中分压工作原理的示例。为了正确测量 INA592，内部运算放大器的输入节点处的输入电压必须一直低于正电源轨 0.1V，但可以超过负电源轨 0.1V。更多详细信息，请参阅 *节 10*。

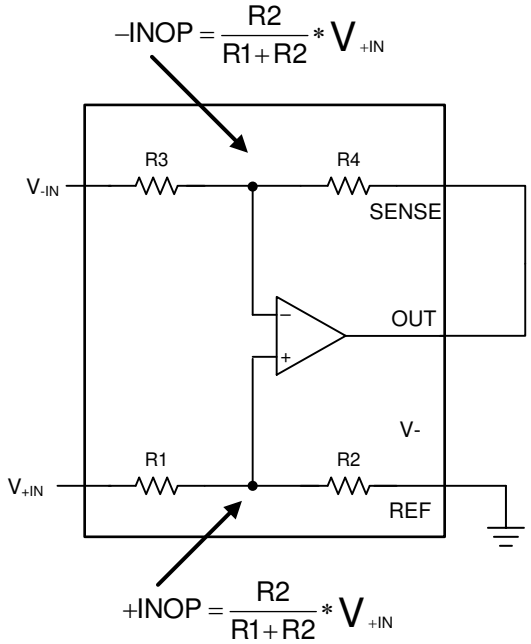


图 9-3. 差分放大器配置中的分压

INA592 在输入端集成了 ESD 二极管，可提供过压保护。有了该功能便不再需要额外的外部保护电路，因而简化了系统设计，并使系统更加稳健。在具有 ±18V 电源的 G = ½ 配置中，器件任何输入端的电压可以安全地介于 $+V_S$ − 54V 至 $−V_S$ + 54V 之间。例如，在 ±10V 电源上，输入电压可高达 ±30V。

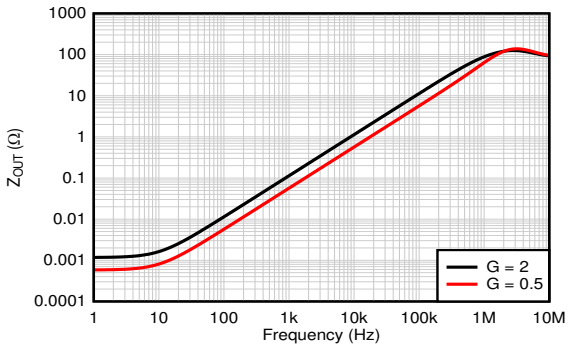
9.2.1.2.4 容性负载驱动能力

INA592 可以驱动较大的容性负载，即使在低电源条件下也是如此。器件在 500pF 负载下保持稳定；请参阅 *节 7.7*。

Copyright © 2022 Texas Instruments Incorporated

9.2.1.3 应用曲线

运算放大器的输出级与容性负载之间的相互作用会影响电路的稳定性。在整个行业中，运算放大器输出级的要求自最初诞生以来发生了巨大的变化。带有 AB 类、共发射极、双极性结型晶体管 (BJT) 的经典输出级现已被共集电极 BJT 和共漏极、互补金属氧化物半导体 (CMOS) 器件所取代。这两种技术都能够为单电源和电池供电应用提供轨至轨输出电压。更改这些输出级结构后，运算放大器开环输出阻抗 (Z_O) 从早期 BJT 运算放大器的以电阻为主的特性更改为具有电容、电阻和电感部分的频率相关 Z_O。正确理解 Z_O 随频率的变化以及由此产生的闭环输出阻抗随频率的变化，对于理解环路增益、带宽和稳定性分析至关重要。图 9-4 显示了 INA592 闭环输出阻抗如何随频率而变化。

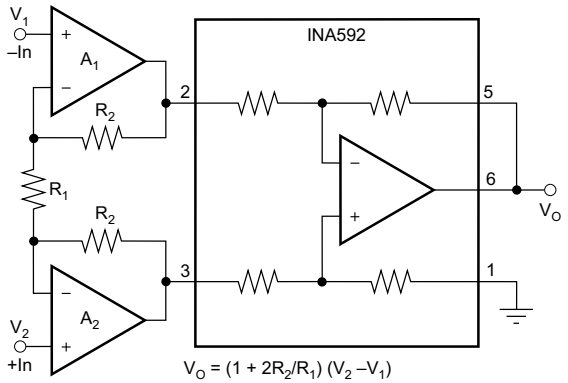


V_S = ±18V

图 9-4. 闭环输出阻抗与频率间的关系

9.2.2 其他应用

INA592 可与运算放大器相结合，形成一个具有特殊运行特性的完整仪表放大器，如图 9-5 所示。



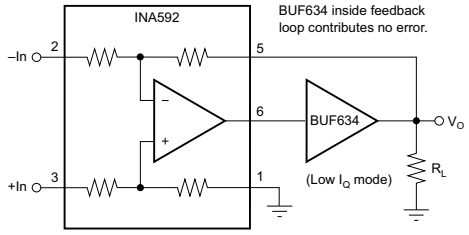
Copyright © 2017, Texas Instruments Incorporated

图 9-5. 精密仪表放大器

德州仪器 (TI) 提供许多完整的高性能仪表放大器 (IA)。如需了解具有相关性能的部分产品，请参阅表 9-1。

表 9-1. 建议与 INA592 结合使用的产品

A1、A2	特性	类似的 TI IA
OPA27	低噪声	INA103
OPA129	超低偏置电流 (fA)	INA116
OPA177	低温漂，低噪声	INA114、INA128
OPA2130	低功耗，FET 输入 (pA)	INA111
OPA2234	单电源、精密、低功耗	INA122、INA118
OPA2237	单电源、低功耗、8 引脚 MSOP	INA122、INA126



Copyright © 2017, Texas Instruments Incorporated

图 9-6. 低功耗、高输出电流精密差分放大器

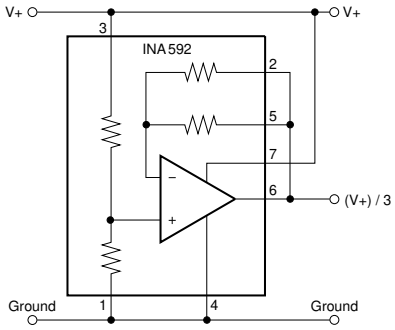


图 9-7. 伪接地发生器

Copyright © 2022 Texas Instruments Incorporated

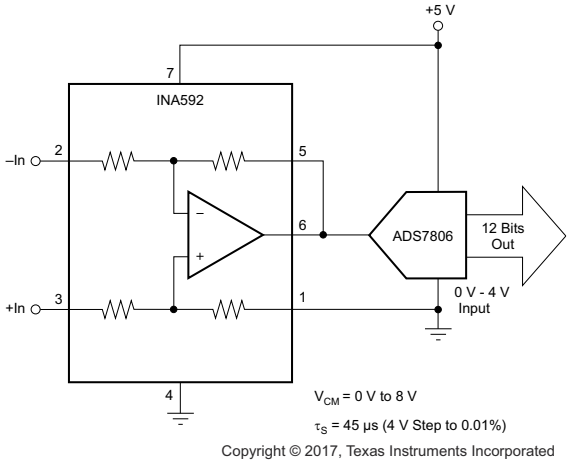


图 9-8. 差分输入数据采集

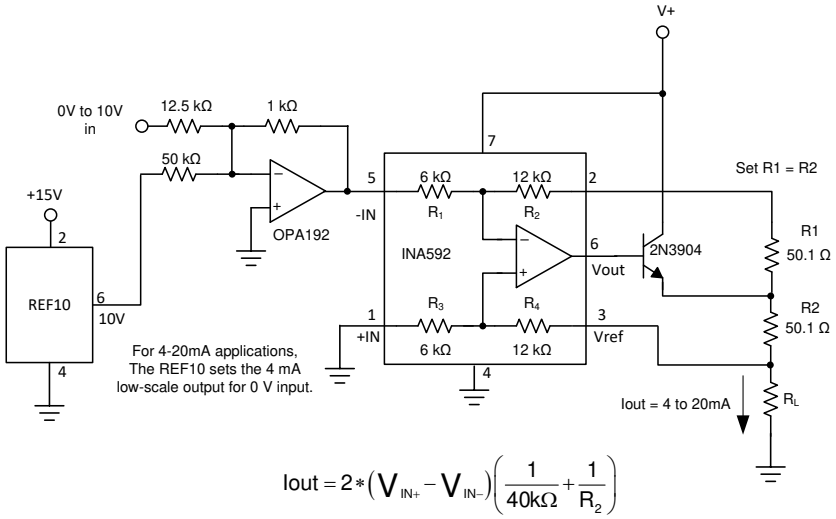


图 9-9. 精密电压至电流转换

差分放大器是一种用途极为广泛的构建块，可用于多种多样的应用。如需了解其他应用理念，请参阅 INA105 数据表，包括：

- 符合电源轨要求的电流接收器
- 精密单位增益反相放大器
- ±10V 精密电压基准
- ±5V 精密电压基准
- 精密单位增益缓冲器
- 精密平均值放大器
- G = 2 的精密放大器
- 精密加法放大器
- G = 1/2 的精密放大器
- 精密双极偏移
- 带增益的精密加法放大器
- 仪表放大器防护装置驱动发电机
- 精密加法仪表放大器
- 精密绝对值缓冲器
- 带差分输入的精密电压至电流转换器
- 实现低 IOUT 的差分输入电压至电流转换器
- 隔离电流源
- 差分输出差分放大器
- 采用缓冲放大器隔离电流源以提高精度
- 具有窗口范围和窗口中心输入的窗口比较器
- 带缓冲差分输入和增益的电压受控型精密电流源
- 增益为 ±1 的数字控制型放大器

Copyright © 2022 Texas Instruments Incorporated

10 电源相关建议

INA592 的标称性能是在 ±15V 的电源电压和 1/2Vs 基准电压下规定的。该器件还可由 ±2.25 V (4.5 V) 至 ±18V (36V) 的电源和非 1/2Vs 基准电压供电，且性能优异。*节 7.7* 中显示了随工作电压和基准电压显著变化的参数。

11 布局

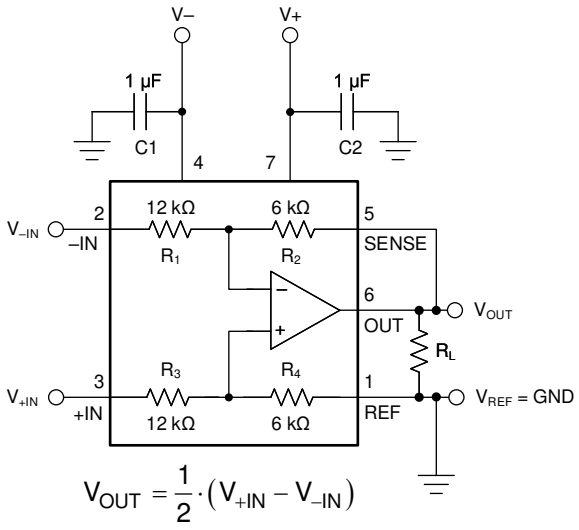
11.1 布局指南

建议用户采用优秀的布局规范。为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 确保两条输入路径在源阻抗和电容方面匹配良好，以避免将共模信号转换为差分信号。
- 噪声通过总体电路和器件的电源引脚传入模拟电路。旁路电容器为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1 µ F 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 为了减少寄生耦合，请让输入迹线尽可能远离电源或输出迹线。如果上述迹线无法分离，则让敏感性迹线与有噪声迹线垂直交叉要远优于选择平行的布线方式。
- 外部元件尽可能靠近器件放置。
- 应使迹线尽可能短。

Copyright © 2022 Texas Instruments Incorporated

11.2 布局示例



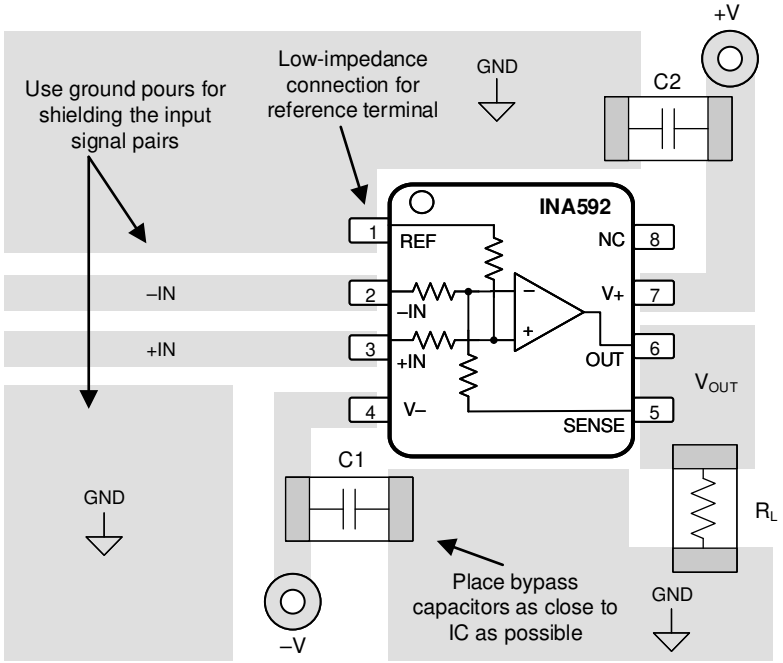
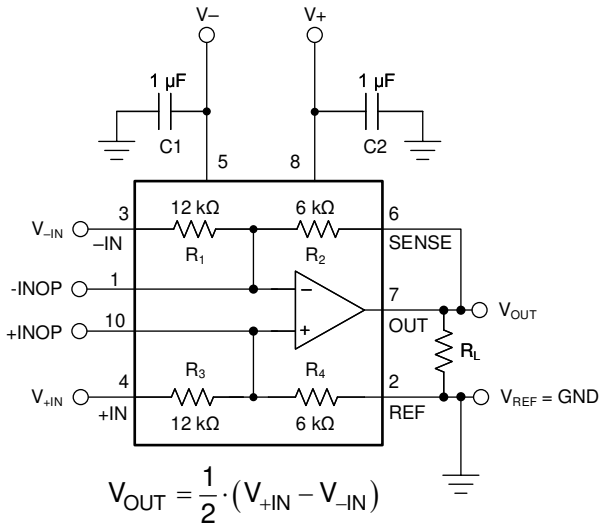


图 11-1. SOIC 和 VSSOP 封装的原理图和相关 PCB 布局示例

Copyright © 2022 Texas Instruments Incorporated



$$V_{OUT} = \frac{1}{2} \cdot (V_{+IN} - V_{-IN})$$

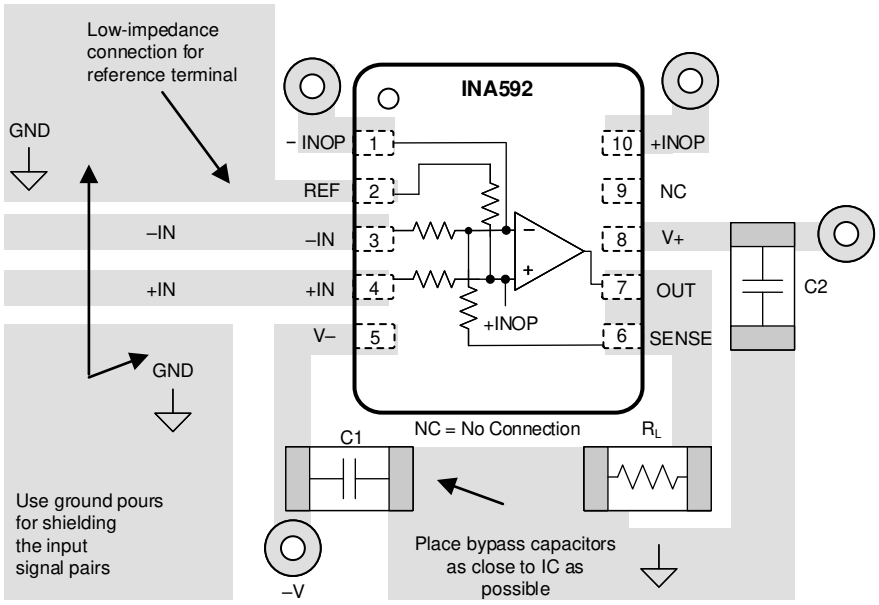


图 11-2. VSON 封装的原理图和相关 PCB 布局示例

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*《通用差分放大器评估模块》*用户指南
- 德州仪器 (TI)，*《适用于电机控制位置反馈的精密信号调节解决方案》*技术简报

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.4 商标

e-trim™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

12.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (https:www.ti.com/legal/termsofsale.html) 或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021，德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA592IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	1OK6
INA592IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1OK6
INA592IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	1OK6
INA592IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1OK6
INA592IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA592
INA592IDR.B	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA592
INA592IDRCR	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	IN592
INA592IDRCR.B	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	IN592
INA592IDRCT	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	IN592
INA592IDRCT.B	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	IN592
INA592IDRCTG4	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	IN592
INA592IDRCTG4.B	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	IN592
INA592IDT	Active	Production	SOIC (D) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA592
INA592IDT.B	Active	Production	SOIC (D) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA592

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

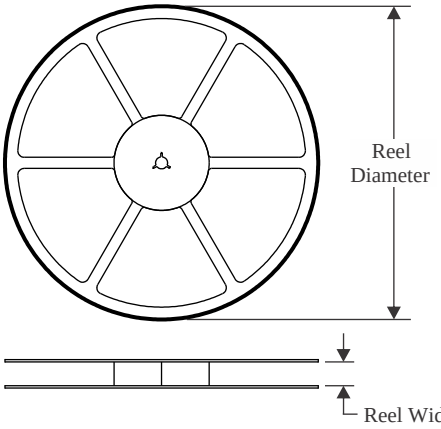
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

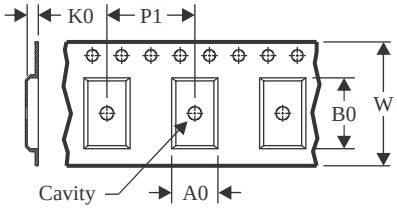
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

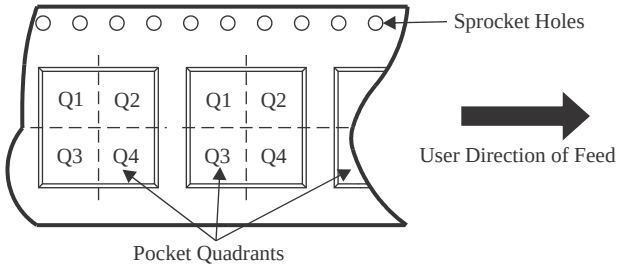


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

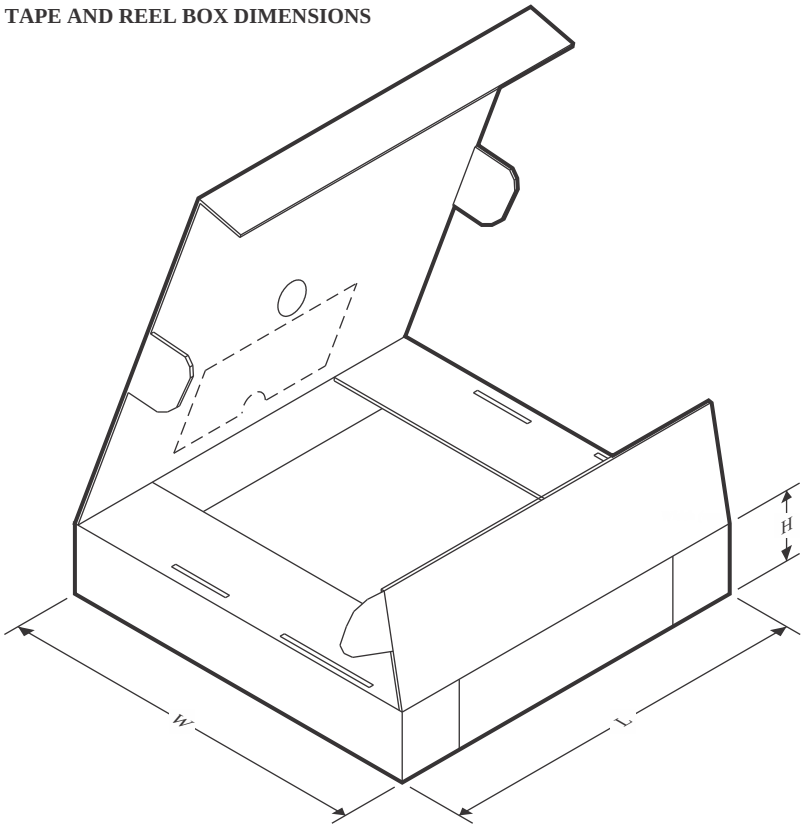
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA592IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
INA592IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
INA592IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA592IDRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
INA592IDRCT	VSON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
INA592IDRCTG4	VSON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

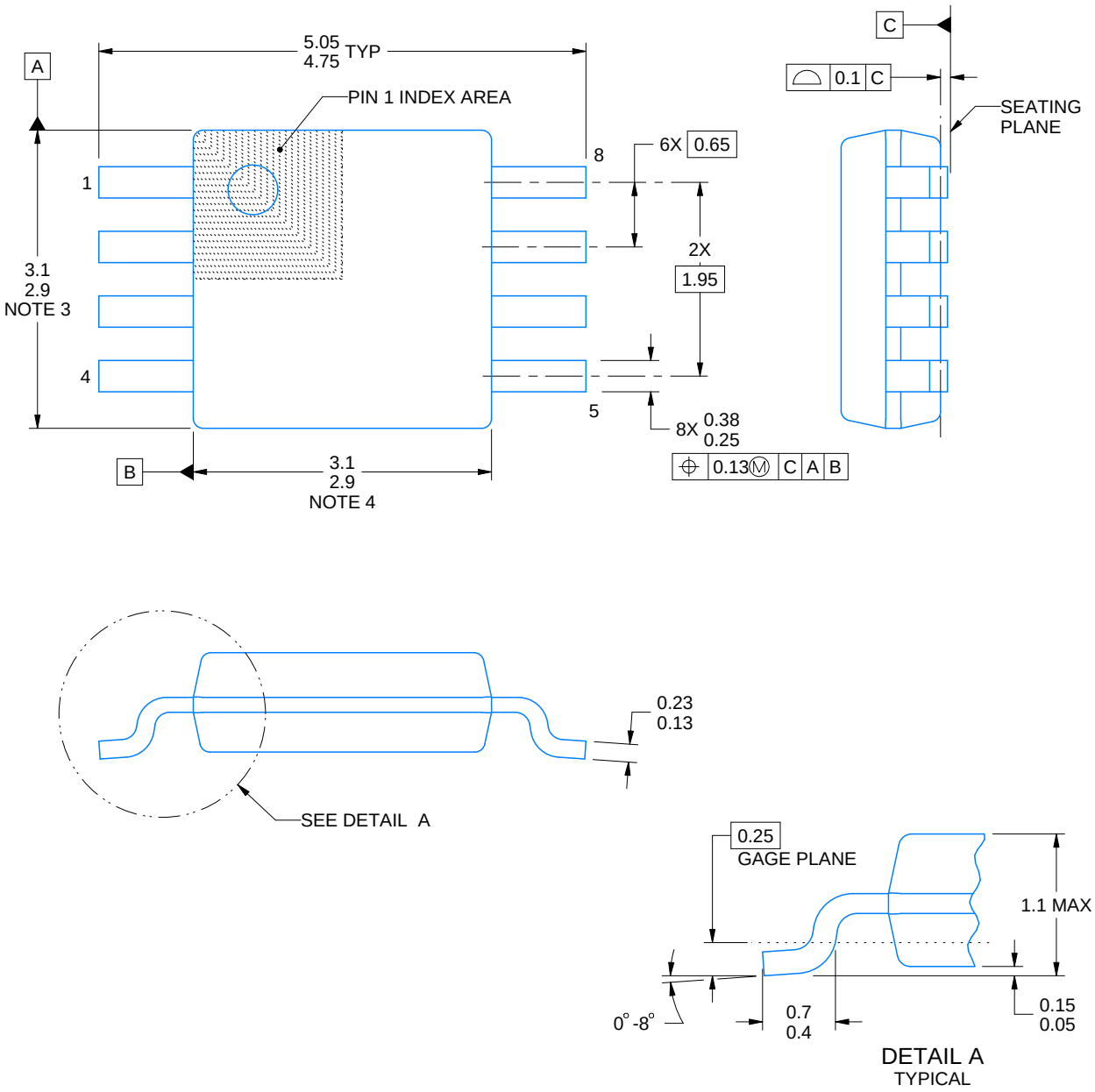
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA592IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
INA592IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
INA592IDR	SOIC	D	8	3000	353.0	353.0	32.0
INA592IDRCR	VSON	DRC	10	3000	360.0	360.0	36.0
INA592IDRCT	VSON	DRC	10	250	210.0	185.0	35.0
INA592IDRCTG4	VSON	DRC	10	250	210.0	185.0	35.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

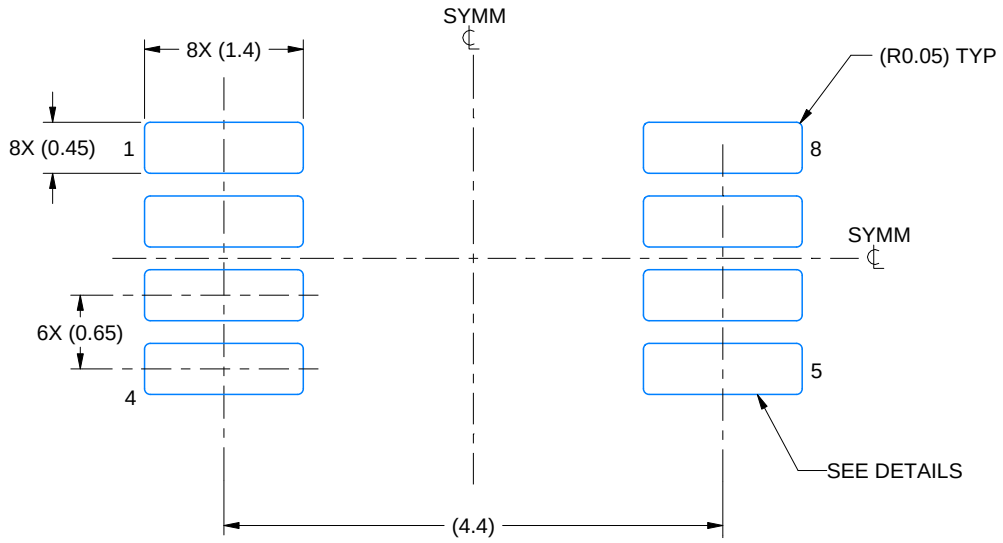
SMALL OUTLINE PACKAGE



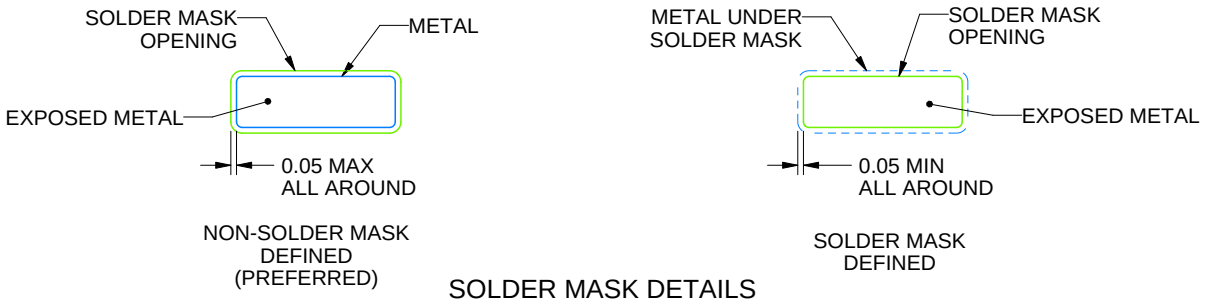
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

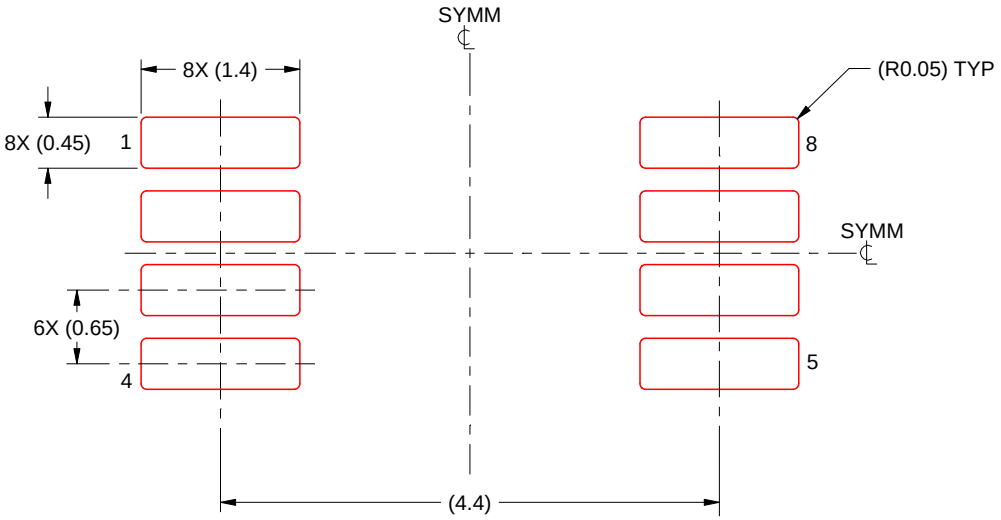


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

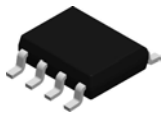


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

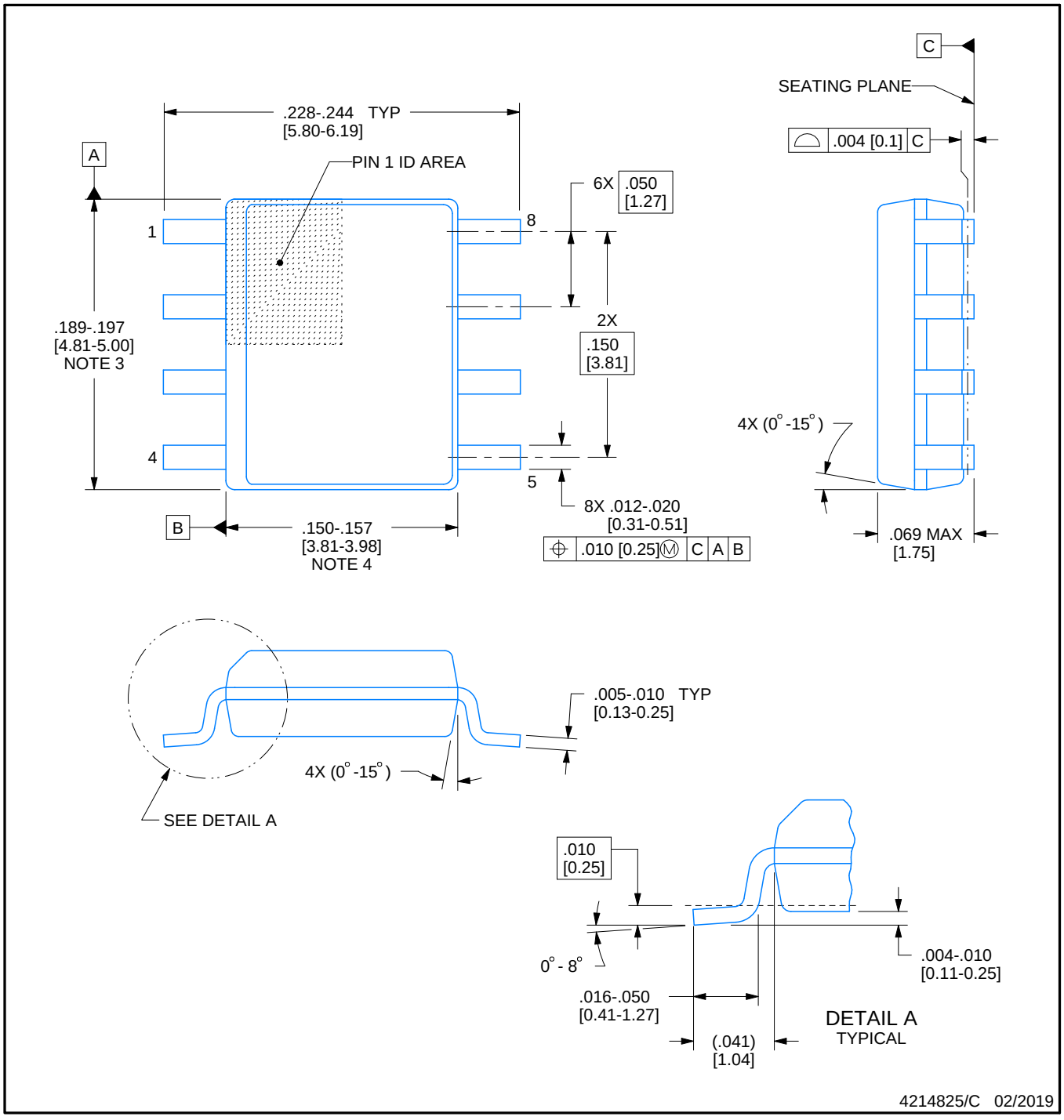


PACKAGE OUTLINE

D0008A

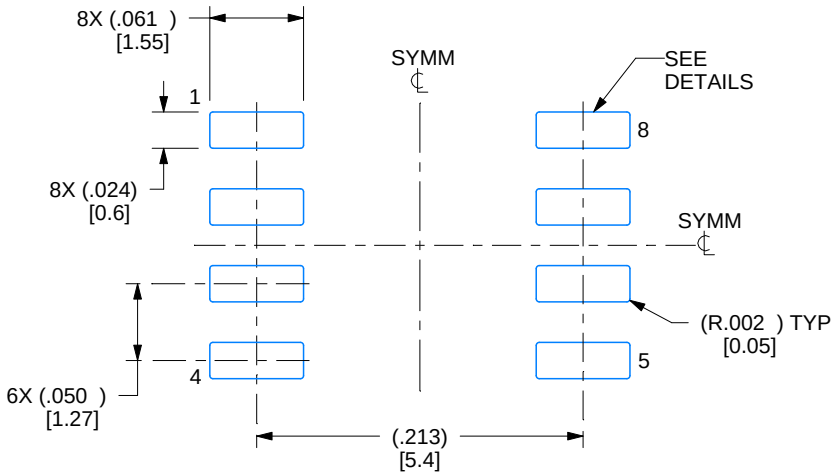
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

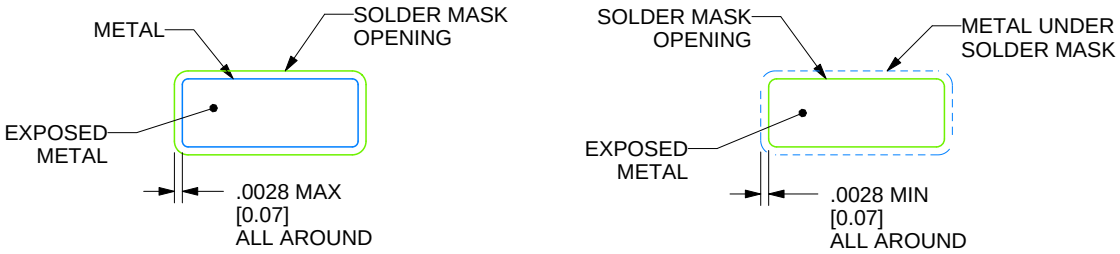


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

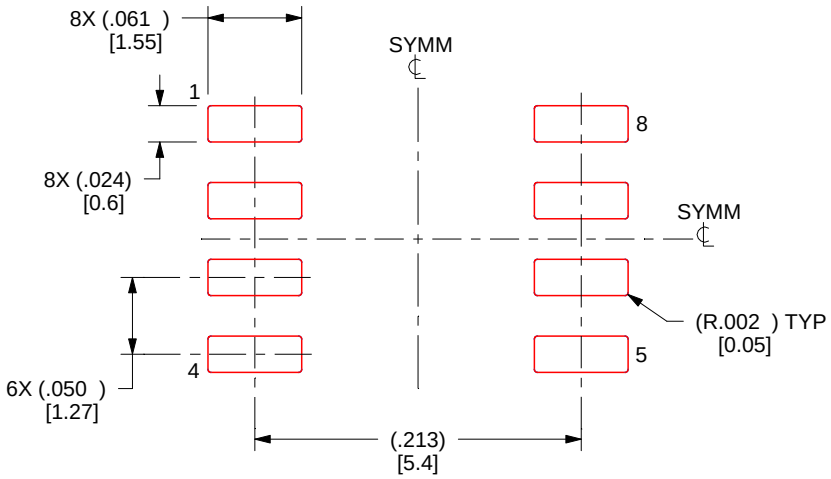
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

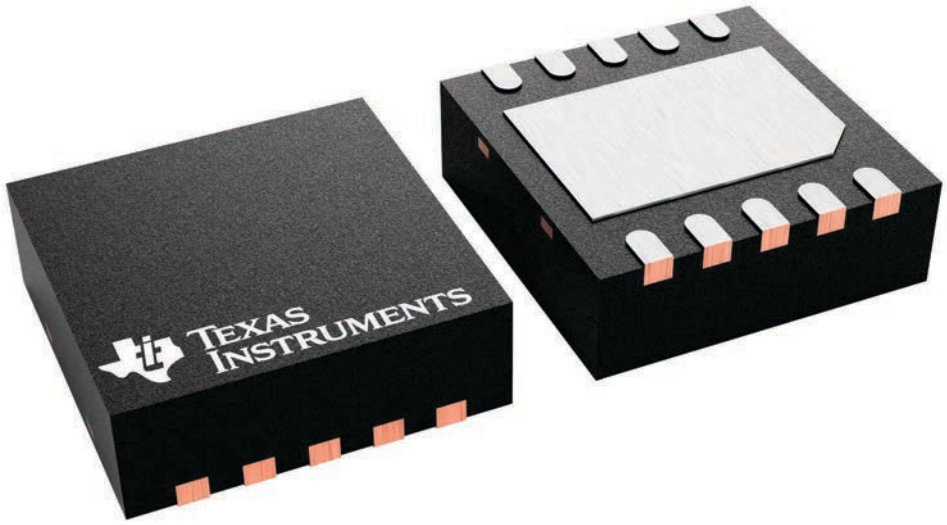
DRC 10

VSON - 1 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



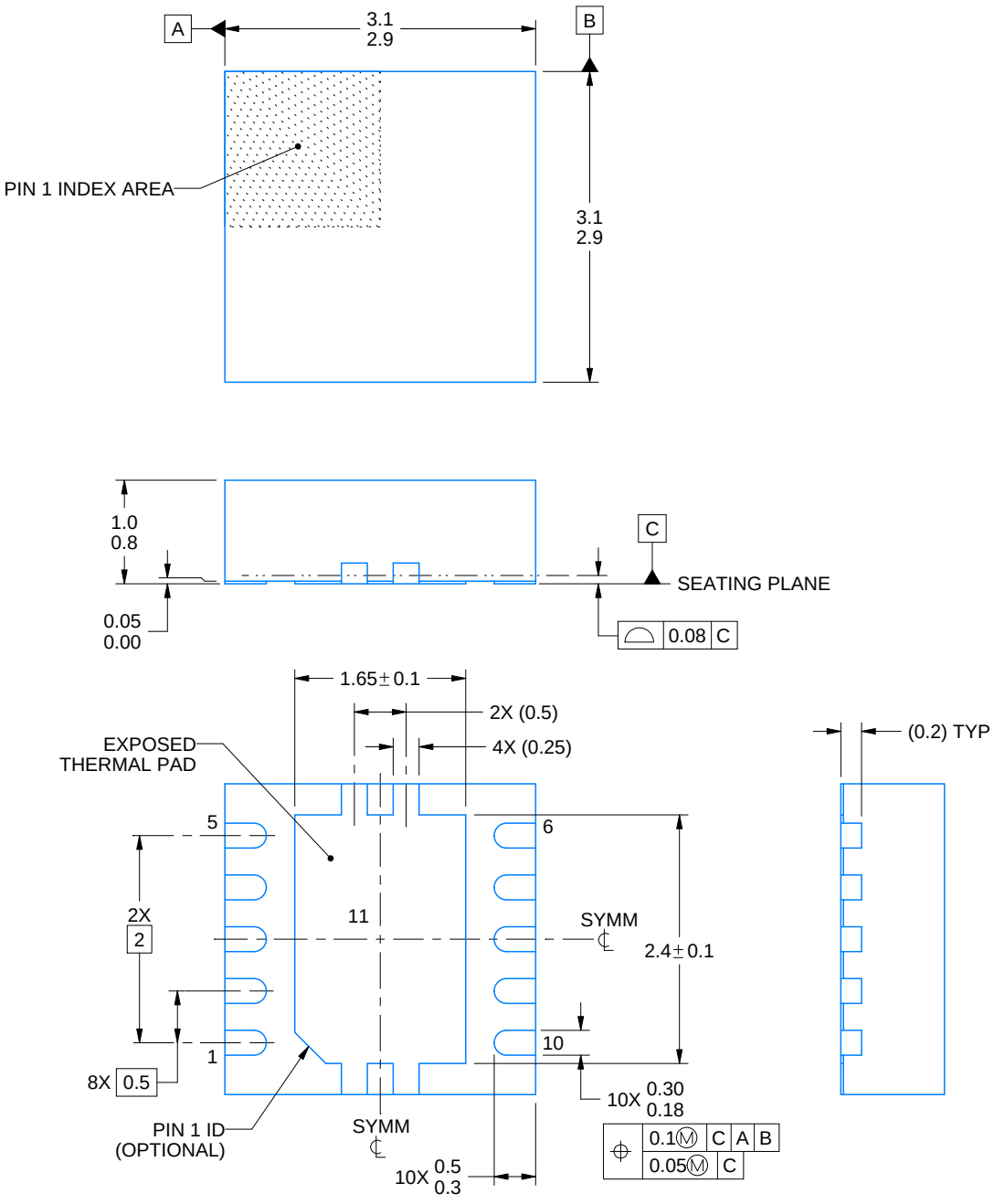
4226193/A

DRC0010J

PACKAGE OUTLINE

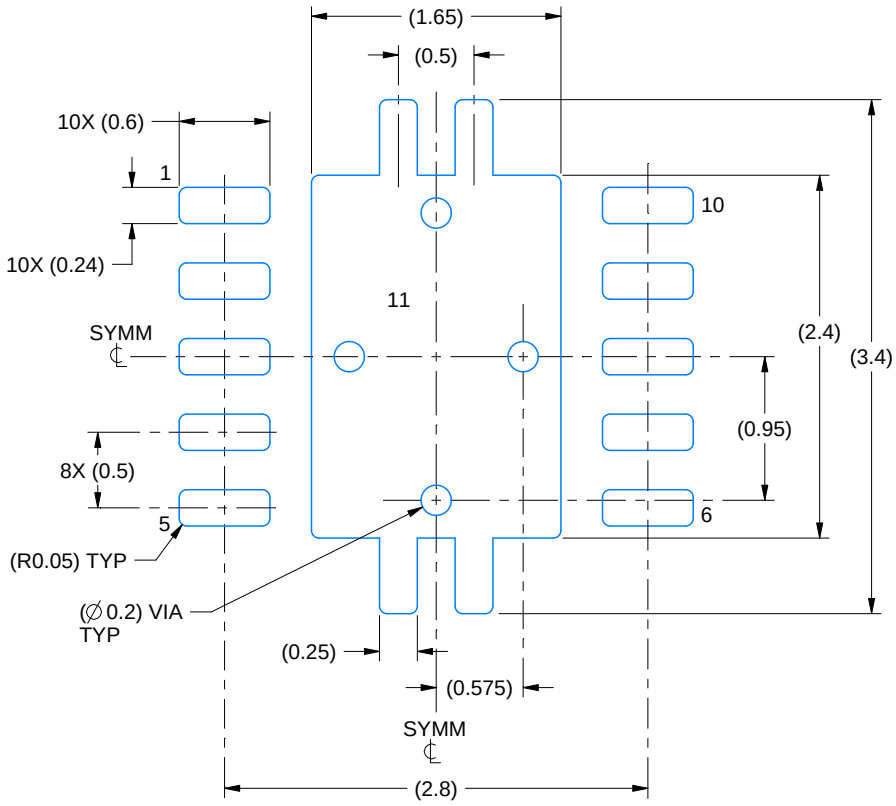
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

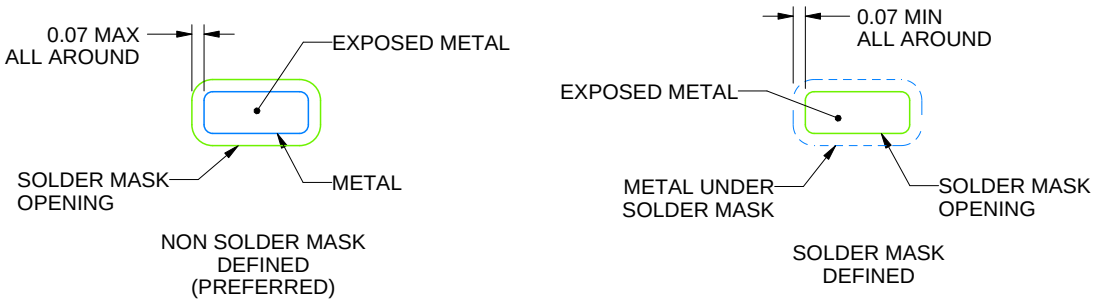


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4218878/B 07/2018

NOTES: (continued)

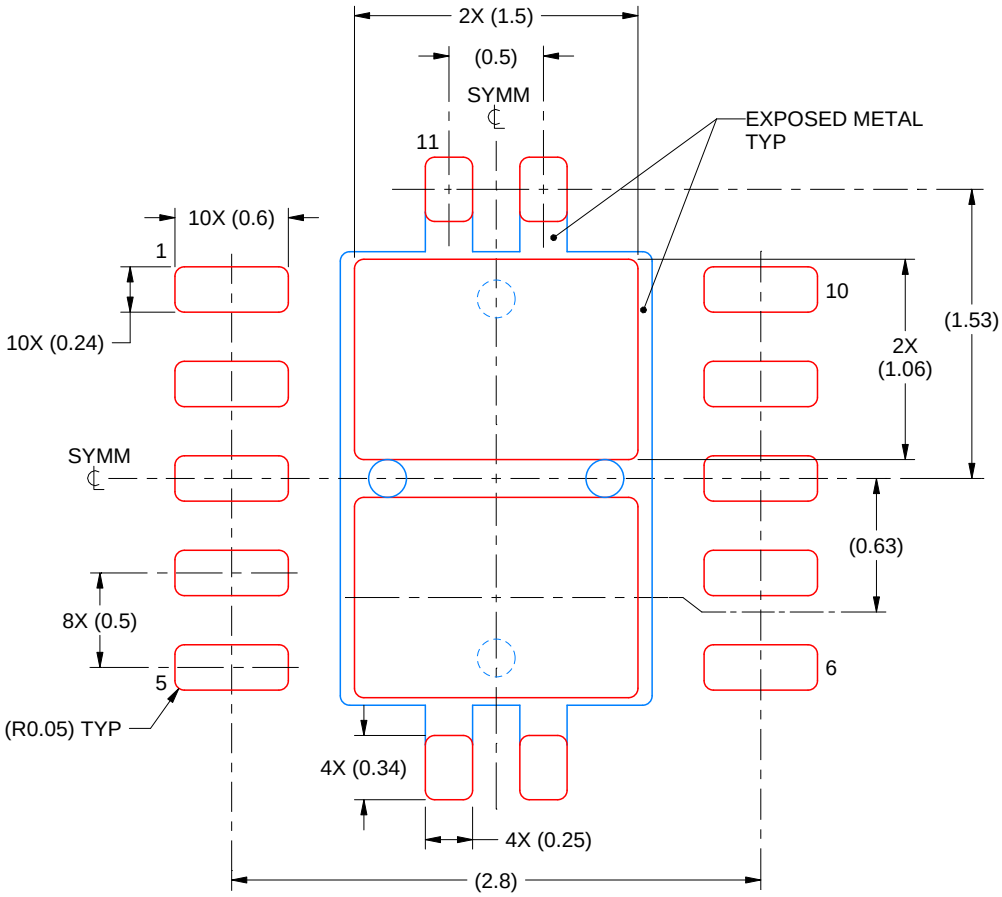
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRC0010J

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218878/B 07/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月