SN74LV4052A 双路 4 通道模拟多路复用器和多路解复用器

1 特性

- 1.65V 至 5.5V V_{CC} 运行
- 快速开关
- 高开关输出电压比
- 低开关间串扰
- 极低输入电流
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求：
  - ±4000V 人体放电模型 (A114-A)
  - ±2000V 充电器件模型 (C101)

2 应用

- 电信
- 信息娱乐系统
- 信号选通和隔离
- 家用电器
- 可编程逻辑电路
- 调制和解调

3 说明

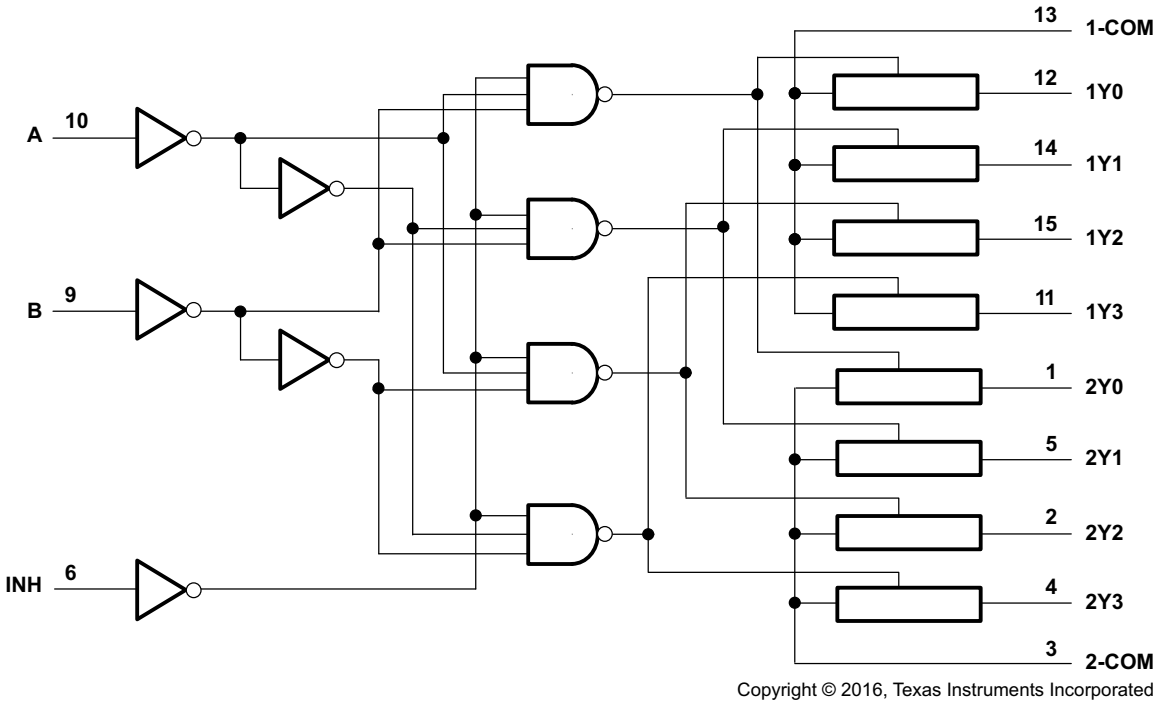
SNx4LV4052A 器件是可在 1.65V 至 5.5V V_{CC} 电压下运行的双路 4 通道 CMOS 模拟多路复用器和多路解复用器。

SNx4LV4052A 器件能够处理模拟和数字信号。每个通道允许在任意方向传输振幅高达 5.5V（峰值）的信号。

封装信息

器件型号	封装(1)	封装尺寸 (2)
SNx4LV4052A	D（SOIC，16）	9.9mm × 6mm
	PW（TSSOP，16）	5mm × 6.4mm
	RGY（VQFN，16）	4mm × 3.5mm
	DYY（SOT-23-THIN，16）	4.2mm x 3.26mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



Copyright © 2016, Texas Instruments Incorporated

逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 热性能信息：SN74LV4052A.....4
5.4 建议运行条件.....5
5.5 电气特性.....5
5.6 计时特点 V_{CC} = 2.5V ± 0.2V.....7
5.7 计时特点 V_{CC} = 3.3V ± 0.3V.....7
5.8 计时特点 V_{CC} = 5V ± 0.5V.....8
5.9 AC 特性.....9
5.10 典型特性.....9
6 参数测量信息.....10
7 详细说明.....14
7.1 概述.....14
7.2 功能方框图.....14
7.3 特性说明.....14
7.4 器件功能模式.....14
8 应用和实施.....15
8.1 应用信息.....15
8.2 典型应用.....15
8.3 电源相关建议.....16
8.4 布局.....16
9 器件和文档支持.....18
9.1 文档支持.....18
9.2 接收文档更新通知.....18
9.3 支持资源.....18
9.4 商标.....18
9.5 静电放电警告.....18
9.6 术语表.....18
10 修订历史记录.....19
11 机械、封装和可订购信息.....19

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

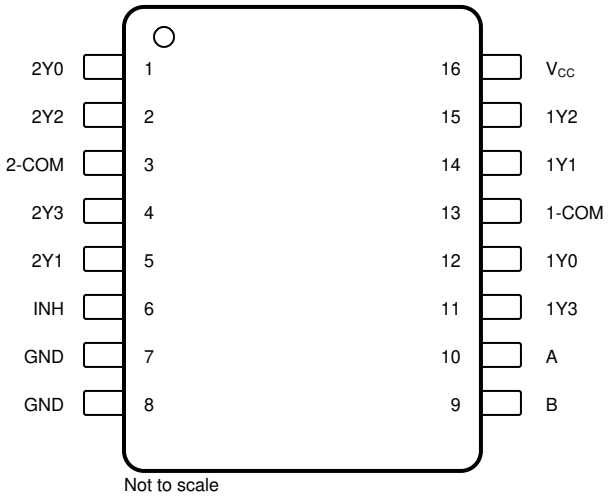


图 4-1. D、PW 或 DYY 封装，16 引脚 SOIC、TSSOP 或 SOT-23-THIN（顶视图）

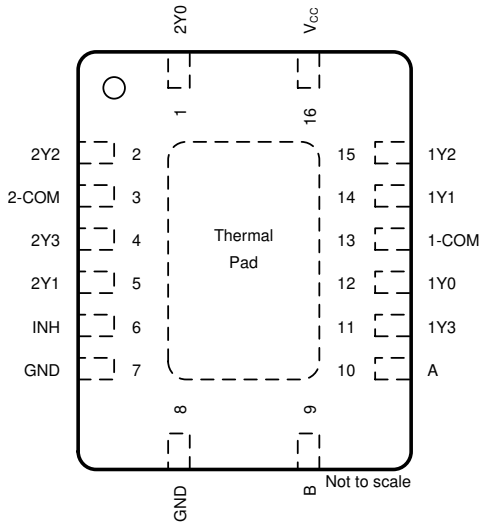


图 4-2. RGY 封装，16 引脚带散热焊盘的 VQFN（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
2Y0	1	I/O	端口 2 通道 0
2Y2	2	I/O	端口 2 通道 2
2-COM	3	I/O	端口 2 公共通道
2Y3	4	I/O	端口 2 通道 3
2Y1	5	I/O	端口 2 通道 1
INH	6	I	抑制输入
GND	7	—	器件接地
GND	8	—	器件接地
B	9	I	逻辑输入选择器 B
A	10	I	逻辑输入选择器 A
1Y3	11	I/O	端口 1 通道 3
1Y0	12	I/O	端口 1 通道 0
1-COM	13	I/O	端口 1 公共通道
1Y1	14	I/O	端口 1 通道 1
1Y2	15	I/O	端口 1 通道 2
V_{CC}	16	—	器件电源。

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (3)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	7.0	V
V_I	逻辑输入电压范围		-0.5	7.0	V
V_{IO}	开关 I/O 电压范围 (2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < 0	-20		mA
I_{IOK}	开关 IO 二极管钳位电流	V_{IO} < 0 或 V_{IO} > V_{CC}	-50	50	mA
I_T	切换连续电流	V_{IO} = 0 至 V_{CC}		±25	mA
	通过 V_{CC} 或 GND 的持续电流			±50	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 引脚被二极管钳制至电源轨。过压信号的电压和电流必须限制在最大额定值内。
(3) 该值的上限为 5.5V

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准 (1)	所有引脚	±4000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±2000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 热性能信息：SN74LV4052A

热指标 (1)		SN74LV4052A D (SOIC) 16 引脚	SN74LV4052A PW (TSSOP) 16 引脚	SN74LV4052A RGY (VQFN) 16 引脚	SN74LV4052A DYY (SOT) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	115.2	140.2	89.4	199.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	75.0	72.6	89.7	121.2	°C/W
$R_{\theta JB}$	结至电路板热阻	76.6	98.7	65.4	129.0	°C/W
Ψ_{JT}	结至顶部特征参数	31.3	13.4	25.0	24.6	°C/W
Ψ_{JB}	结至电路板特征参数	75.7	97.3	65.2	126.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	48.9	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	标称值	最大值	单位
V_{CC}	电源电压		1(2)		5.5	V
V_{IH}	高电平输入电压，逻辑控制输入	V_{CC} = 1.65	1.2		5.5	V
		V_{CC} = 2V	1.5		5.5	
		V_{CC} = 2.3V 至 2.7V	V_{CC} x 0.7		5.5	
		V_{CC} = 3V 至 3.6V	V_{CC} x 0.7		5.5	
		V_{CC} = 4.5V 至 5.5V	V_{CC} x 0.7		5.5	
V_{IL}	低电平输入电压，逻辑控制输入	V_{CC} = 1.65	0		0.4	V
		V_{CC} = 2V	0		0.5	
		V_{CC} = 2.3V 至 2.7V	0		V_{CC} x 0.3	
		V_{CC} = 3V 至 3.6V	0		V_{CC} x 0.3	
		V_{CC} = 4.5V 至 5.5V	0		V_{CC} x 0.3	
V_I	逻辑控制输入电压		0		5.5	V
V_{IO}	开关输入或输出电压		0		V_{CC}	V
$\Delta t/\Delta V$	逻辑输入转换上升或下降速率	V_{CC} = 2.3V 至 2.7V			200	ns/V
		V_{CC} = 3V 至 3.6V			100	
		V_{CC} = 4.5V 至 5.5V			20	
T_A	环境温度		-40		125	°C

(1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND，以确保器件正常运行。请参阅 TI 应用报告 *慢速或浮点 CMOS 输入的影响*，SCBA004。

(2) 当使用 ≤1.2V 的 V_{CC} 时，建议仅将这些器件用于传输数字信号。当电源电压接近 1.2V 时，模拟开关导通电阻会变得非常非线性

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数		条件	T_A	V_{CC}	最小值	典型值	最大值	单位
r_{ON}	导通状态开关电阻	I_T = 2mA，V_I = V_{CC} 或 GND，V_{INH} = V_{IL}	25°C	1.65V		60	150	Ω
r_{ON}	导通状态开关电阻	I_T = 2mA，V_I = V_{CC} 或 GND，V_{INH} = V_{IL}	-40°C 至 85°C	1.65V			225	Ω
r_{ON}	导通状态开关电阻	I_T = 2mA，V_I = V_{CC} 或 GND，V_{INH} = V_{IL}	-40°C 至 125°C	1.65V			225	Ω
r_{ON}	导通状态开关电阻	I_T = 2mA，V_I = V_{CC} 或 GND，V_{INH} = V_{IL}	25°C	2.3V		38	180	Ω
			-40°C 至 85°C				225	
			-40°C 至 125°C				225	
			25°C	3V		30	150	Ω
			-40°C 至 85°C				190	
			-40°C 至 125°C				190	
			25°C	4.5V		22	75	Ω
			-40°C 至 85°C				100	
			-40°C 至 125°C				100	

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数		条件	T_A	V_{CC}	最小值	典型值	最大值	单位
$r_{ON(p)}$	峰值导通状态电阻	I_T = 2mA，V_I = GND 至 V_{CC}，V_{INH} = V_{IL}	25°C	1.65V		220	600	Ω
$r_{ON(p)}$	峰值导通状态电阻	I_T = 2mA，V_I = GND 至 V_{CC}，V_{INH} = V_{IL}	-40°C 至 85°C	1.65V			700	Ω
$r_{ON(p)}$	峰值导通状态电阻	I_T = 2mA，V_I = GND 至 V_{CC}，V_{INH} = V_{IL}	-40°C 至 125°C	1.65V			700	Ω
$r_{ON(p)}$	峰值导通状态电阻	I_T = 2mA，V_I = GND 至 V_{CC}，V_{INH} = V_{IL}	25°C	2.3V		113	500	Ω
			-40°C 至 85°C				600	
			-40°C 至 125°C				600	
			25°C	3V		54	180	Ω
			-40°C 至 85°C				225	
			-40°C 至 125°C				225	
			25°C	4.5V		31	100	Ω
			-40°C 至 85°C				125	
			-40°C 至 125°C				125	
Δr_{ON}	开关之间导通状态电阻的差异	I_T = 2mA，V_I = GND 至 V_{CC}，V_{INH} = V_{IL}	25°C	1.65V		3	40	Ω
Δr_{ON}	开关之间导通状态电阻的差异	I_T = 2mA，V_I = GND 至 V_{CC}，V_{INH} = V_{IL}	-40°C 至 85°C	1.65V			50	Ω
Δr_{ON}	开关之间导通状态电阻的差异	I_T = 2mA，V_I = GND 至 V_{CC}，V_{INH} = V_{IL}	-40°C 至 85°C	1.65V			50	Ω
Δr_{ON}	开关之间导通状态电阻的差异	I_T = 2mA，V_I = GND 至 V_{CC}，V_{INH} = V_{IL}	25°C	2.3V		2.1	30	Ω
			-40°C 至 85°C				40	
			-40°C 至 125°C				40	
			25°C	3V		1.4	20	Ω
			-40°C 至 85°C				30	
			-40°C 至 125°C				30	
			25°C	4.5V		1.3	15	Ω
			-40°C 至 85°C				20	
			-40°C 至 125°C				20	
I_{IH} I_{IL}	控制输入电流	V_I = 5.5V 或 GND	25°C	0to 5.5V			0.1	μA
			-40°C 至 85°C				1	
			-40°C 至 125°C				2	
$I_{S(off)}$	关断状态开关漏电流	V_I = V_{CC} 且 V_O = GND，或 V_I = GND 且 V_O = V_{CC}，V_{INH} = V_{IH}	25°C	5.5V			0.1	μA
			-40°C 至 85°C				1	
			-40°C 至 125°C				2	
$I_{S(on)}$	导通状态开关漏电流	V_I = V_{CC} 或 GND，V_{INH} = V_{IL}（请参阅图 4）	25°C	5.5V			0.1	μA
			-40°C 至 85°C				1	
			-40°C 至 125°C				2	

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数		条件	T_A	V_{CC}	最小值	典型值	最大值	单位
I_{CC}	电源电流	$V_I = V_{CC}$ 或 GND V_{INH} = 0V	25°C	5.5V		0.01		μA
			-40°C 至 85°C				20	
			-40°C 至 125°C				40	
C_{IC}	控制输入电容	f = 10MHz	25°C	3.3V		2		pF
C_{OS} 之间的差异	开关端电容	f = 10MHz	25°C	3.3V		5		pF
C_{IS}	普通端子电容	f = 10MHz	25°C	3.3V		13.2		pF
$C_{OS(on)}$	普通端子导通电容	f = 10MHz	25°C	3.3V		17		pF
C_F	馈通电容	f = 10MHz	25°C	3.3V		0.5		pF
C_{PD}	功率耗散电容	C_L = 50pF，f = 10MHz	25°C	3.3V		6		pF

5.6 计时特点 V_{CC} = 2.5V ± 0.2V

参数		从（输入）	至（输出）	条件	T_A	最小值	典型值	最大值	单位
t_{PLH} t_{PHL}	传播延迟时间	COM 或 Yn	Yn 或 COM	C_L = 15pF	25°C		1.9	10	ns
					-40°C 至 85°C			16	
					-40°C 至 125°C			18	
t_{PZH} t_{PZL}	启用延迟时间	INH	COM 或 Yn	C_L = 15pF	25°C		6.6	18	ns
					-40°C 至 85°C			23	
					-40°C 至 125°C			25	
t_{PHZ} t_{PLZ}	禁用延迟时间	INH	COM 或 Yn	C_L = 15pF	25°C		7.4	18	ns
					-40°C 至 85°C			23	
					-40°C 至 125°C			25	
t_{PLH} t_{PHL}	传播延迟时间	COM 或 Yn	Yn 或 COM	C_L = 50pF	25°C		3.8	12	ns
					-40°C 至 85°C			18	
					-40°C 至 125°C			20	
t_{PZH} t_{PZL}	启用延迟时间	INH	COM 或 Yn	C_L = 50pF	25°C		7.8	28	ns
					-40°C 至 85°C			35	
					-40°C 至 125°C			35	
t_{PHZ} t_{PLZ}	禁用延迟时间	INH	COM 或 Yn	C_L = 50pF	25°C		11.5	28	ns
					-40°C 至 85°C			35	
					-40°C 至 125°C			35	

5.7 计时特点 V_{CC} = 3.3V ± 0.3V

参数		从（输入）	至（输出）	条件	T_A	最小值	典型值	最大值	单位
t_{PLH} t_{PHL}	传播延迟时间	COM 或 Yn	Yn 或 COM	C_L = 15pF	25°C		1.2	6	ns
					-40°C 至 85°C			10	
					-40°C 至 125°C			12	
t_{PZH} t_{PZL}	启用延迟时间	INH	COM 或 Yn	C_L = 15pF	25°C		4.7	12	ns
					-40°C 至 85°C			15	
					-40°C 至 125°C			18	

Copyright © 2025 Texas Instruments Incorporated

5.7 计时特点 V_{CC} = 3.3V ± 0.3V （续）

参数		从（输入）	至（输出）	条件	T_A	最小值	典型值	最大值	单位
t_{PHZ} t_{PLZ}	禁用延迟时间	INH	COM 或 Yn	C_L = 15pF	25°C		5.7	12	ns
					-40°C 至 85°C			15	
					-40°C 至 125°C			18	
t_{PLH} t_{PHL}	传播延迟时间	COM 或 Yn	Yn 或 COM	C_L = 50pF	25°C		2.5	9	ns
					-40°C 至 85°C			12	
					-40°C 至 125°C			14	
t_{PZH} t_{PZL}	启用延迟时间	INH	COM 或 Yn	C_L = 50pF	25°C		5.5	20	ns
					-40°C 至 85°C			25	
					-40°C 至 125°C			25	
t_{PHZ} t_{PLZ}	禁用延迟时间	INH	COM 或 Yn	C_L = 50pF	25°C		8.8	20	ns
					-40°C 至 85°C			25	
					-40°C 至 125°C			25	

5.8 计时特点 V_{CC} = 5V ± 0.5V

参数		从（输入）	至（输出）	条件	T_A	最小值	典型值	最大值	单位
t_{PLH} t_{PHL}	传播延迟时间	COM 或 Yn	Yn 或 COM	C_L = 15pF	25°C		0.6	4	ns
					-40°C 至 85°C			7	
					-40°C 至 125°C			10	
t_{PZH} t_{PZL}	启用延迟时间	INH	COM 或 Yn	C_L = 15pF	25°C		3.5	8	ns
					-40°C 至 85°C			10	
					-40°C 至 125°C			12	
t_{PHZ} t_{PLZ}	禁用延迟时间	INH	COM 或 Yn	C_L = 15pF	25°C		4.4	10	ns
					-40°C 至 85°C			11	
					-40°C 至 125°C			12	
t_{PLH} t_{PHL}	传播延迟时间	COM 或 Yn	Yn 或 COM	C_L = 50pF	25°C		1.5	6	ns
					-40°C 至 85°C			8	
					-40°C 至 125°C			10	
t_{PZH} t_{PZL}	启用延迟时间	INH	COM 或 Yn	C_L = 50pF	25°C		4	14	ns
					-40°C 至 85°C			18	
					-40°C 至 125°C			18	
t_{PHZ} t_{PLZ}	禁用延迟时间	INH	COM 或 Yn	C_L = 50pF	25°C		6.2	14	ns
					-40°C 至 85°C			18	
					-40°C 至 125°C			18	

Copyright © 2025 Texas Instruments Incorporated

5.9 AC 特性

参数	从（输入）	至（输出）	器件	条件		最小值	典型值	最大值	单位
频率响应（开关导通）	COM 或 Yn	Yn 或 COM	SN74LV4052	C_L = 50pF, R_L = 600Ω, F_{in} = 1MHz (正弦波)（请参阅图 7）(1)	V_{CC} = 2.3V		30		MHz
					V_{CC} = 3V		35		
					V_{CC} = 4.5V		50		
电荷注入（控制输入至信号输出）	INH	COM 或 Yn		C_L = 50pF，R_L = 600Ω，F_{in} = 1MHz（正弦波）（请参阅图 9）	V_{CC} = 2.3V		20		mV
					V_{CC} = 3V		35		
					V_{CC} = 4.5V		60		
馈通衰减（开关关闭）	COM 或 Yn	Yn 或 COM		C_L = 50pF，R_L = 600Ω，F_{in} = 1MHz（正弦波）（请参阅图 10）(2)	V_{CC} = 2.3V		-45		dB
					V_{CC} = 3V		-45		
					V_{CC} = 4.5V		-45		
串扰（任意开关间）	COM 或 Yn	Yn 或 COM		C_L = 50pF，R_L = 600Ω，F_{in} = 1MHz（正弦波）（请参阅图 8）(2)	V_{CC} = 2.3V		-45		dB
					V_{CC} = 3V		-45		
					V_{CC} = 4.5V		-45		
正弦波失真	COM 或 Yn	Yn 或 COM		C_L = 50pF，R_L = 10kΩ，F_{in} = 1kHz（正弦波）（请参阅图 11）	V_I = 2V_{p-p} V_{CC} = 2.3V		0.1		%
					V_I = 2.5V_{p-p} V_{CC} = 3V		0.1		
					V_I = 4V_{p-p} V_{CC} = 4.5V		0.1		

5.10 典型特性

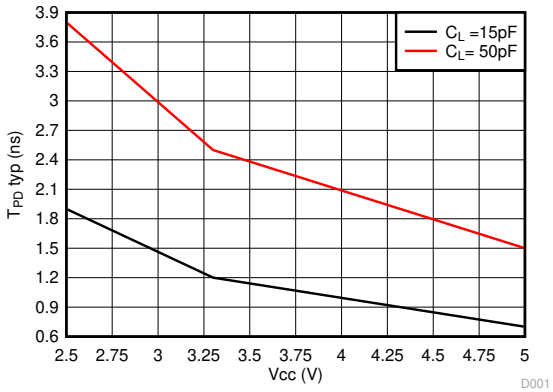


图 5-1. 典型传播延迟与 V_{CC} 间的关系

6 参数测量信息

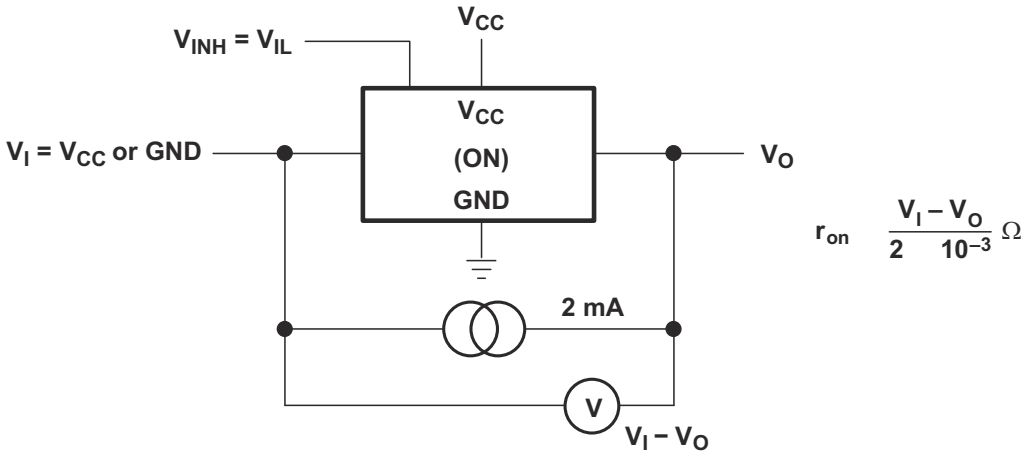
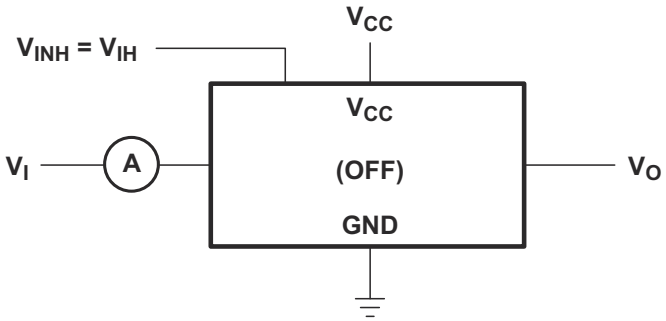
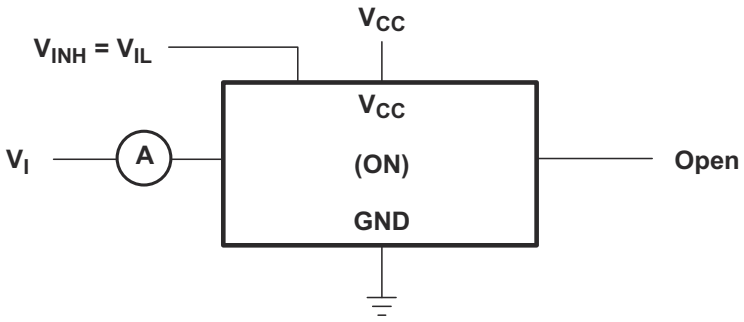


图 6-1. 导通电阻测试电路



Condition 1: V_I = 0, V_O = V_{CC}
Condition 2: V_I = V_{CC}, V_O = 0

图 6-2. 关断状态开关漏电流测试电路



V_I = V_{CC} or GND

图 6-3. 导通状态开关漏电流测试电路

Copyright © 2025 Texas Instruments Incorporated

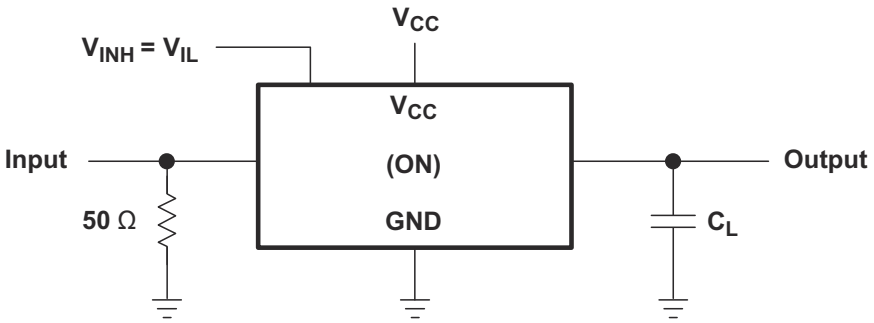
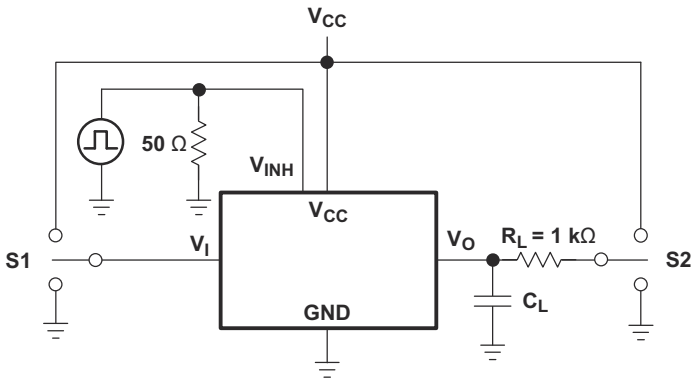
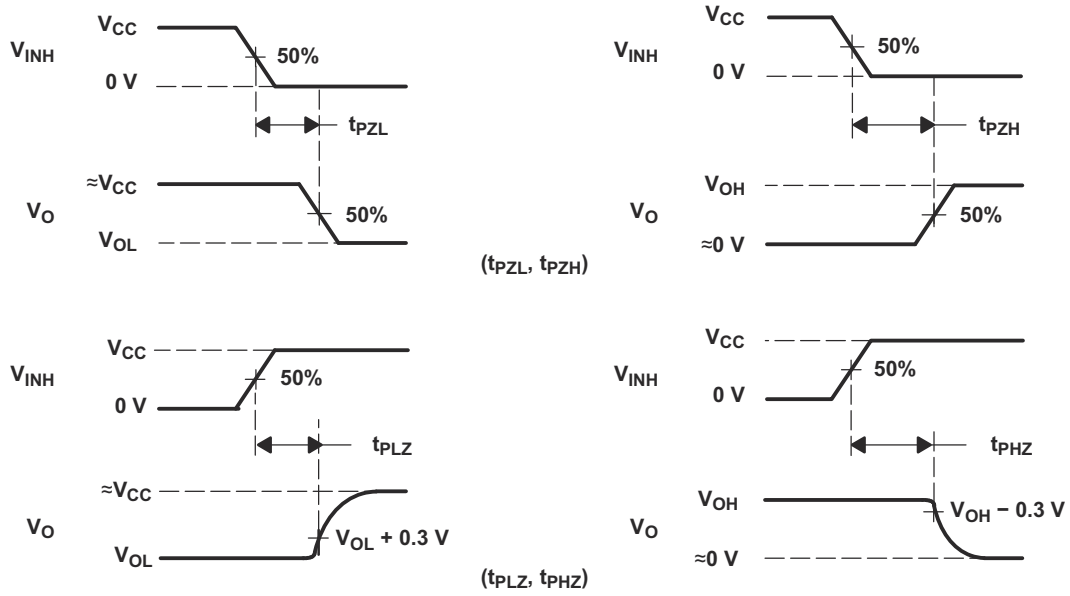


图 6-4. 传播延迟时间，信号输入到信号输出



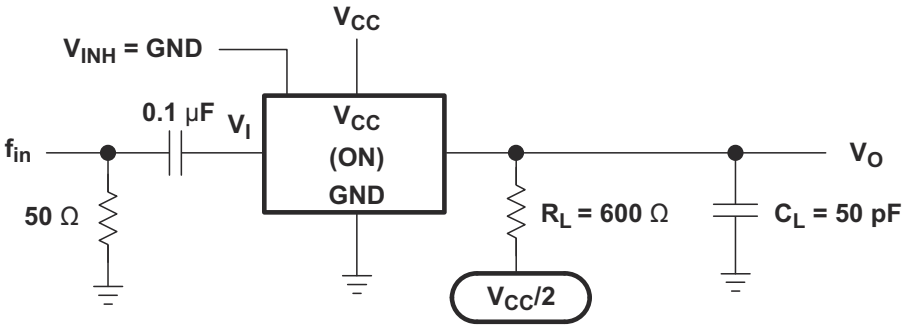
TEST	S1	S2
t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	GND V_{CC}	V_{CC} GND

TEST CIRCUIT



VOLTAGE WAVEFORMS

图 6-5. 切换时间（t_{PZL}、t_{PLZ}、t_{PZH}、t_{PHZ}），对信号输出的控制



NOTE A: f_{in} is a sine wave.

图 6-6. 频率响应（开关导通）

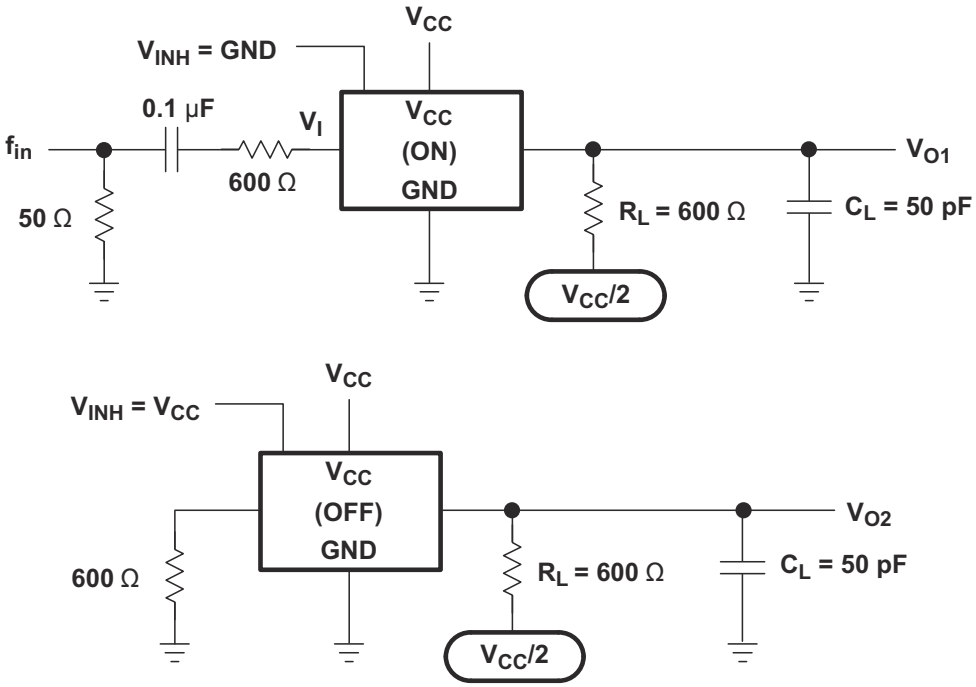


图 6-7. 任何两个开关之间的串扰电阻

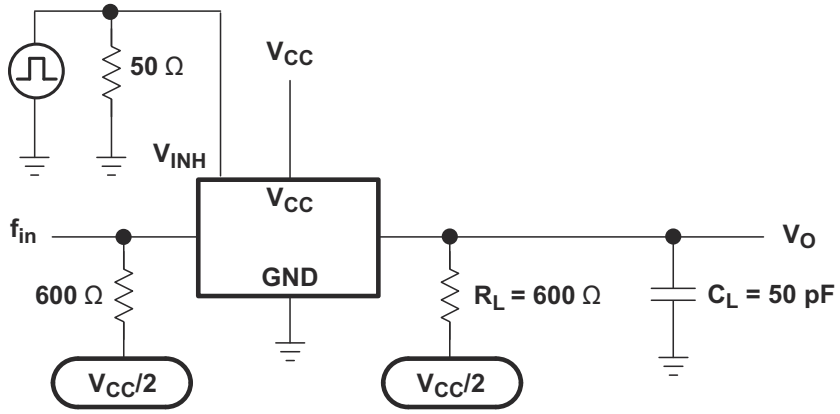


图 6-8. 控制输入和开关输出之间的串扰

Copyright © 2025 Texas Instruments Incorporated

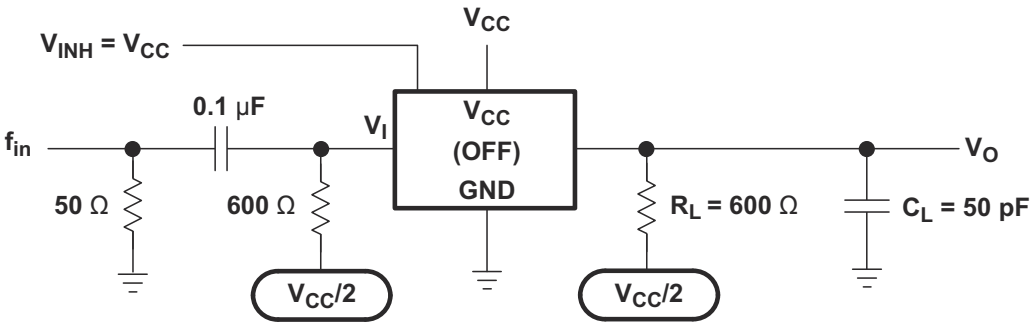


图 6-9. 馈通衰减（开关关闭）

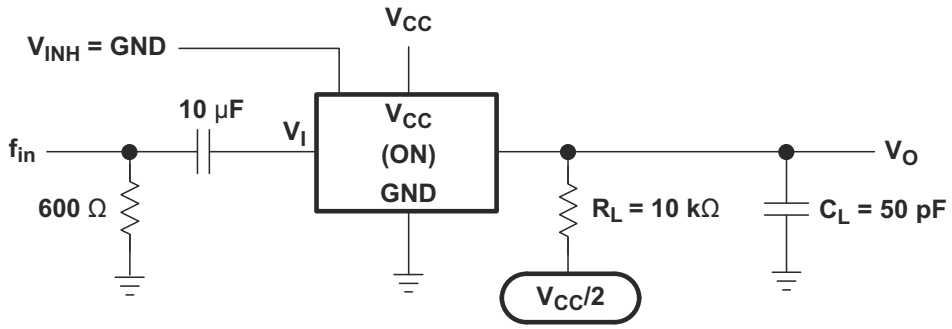


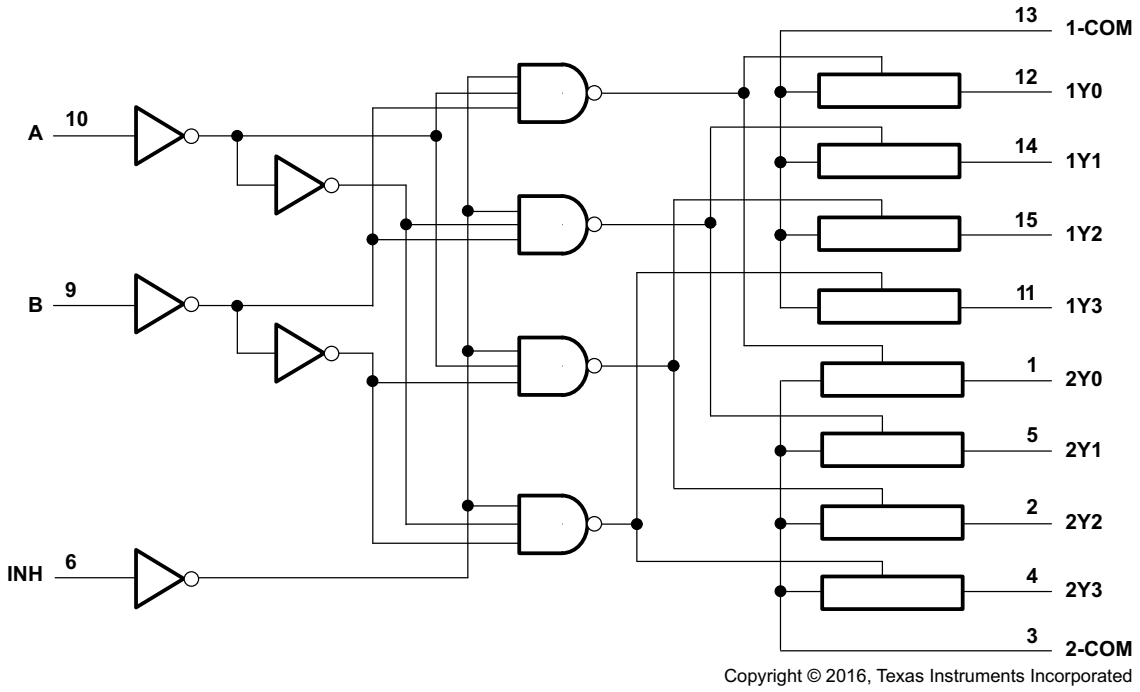
图 6-10. 正弦波失真

7 详细说明

7.1 概述

SNx4LV4052A 器件是可在 2V 至 5.5V V_{CC} 电压下运行的双路 4 通道 CMOS 模拟多路复用器和多路解复用器。它在数字输入引脚上具备低输入电流消耗，并且开关间串扰较低。低电平有效抑制 (INH) 三态的所有通道处于高电平和低电平时，根据 A 和 B 输入，四个独立输入/输出 (nY0 - nY3) 中的一个会连接到 COM 通道。SNx4LV4052A 提供多种封装选项，包括 TSSOP (PW)、SOIC (D)、DYY (SOT-23-THIN) 和 QFN (RGY)。

7.2 功能方框图



Copyright © 2016, Texas Instruments Incorporated

图 7-1. 逻辑图（正逻辑）

7.3 特性说明

- SNx4LV4052A 在 2V 至 5.5V V_{CC} 电压范围内运行，且 A、B 和 INH 的 CMOS 输入引脚具有超低的输入电流消耗。
- SNx4LV4052A 能够以低开关间串扰实现快速开关。允许通过模拟信号或数字信号进行 5.5V 峰值电平双向传输。

7.4 器件功能模式

表 7-1 列出了 SNx4LV4052A 的功能模式。

表 7-1. 功能表

输入			导通通道
INH	B	A	
L	L	L	1Y0、2Y0
L	L	H	1Y1、2Y1
L	H	L	1Y2、2Y2
L	H	H	1Y3、2Y3
H	X	X	无

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

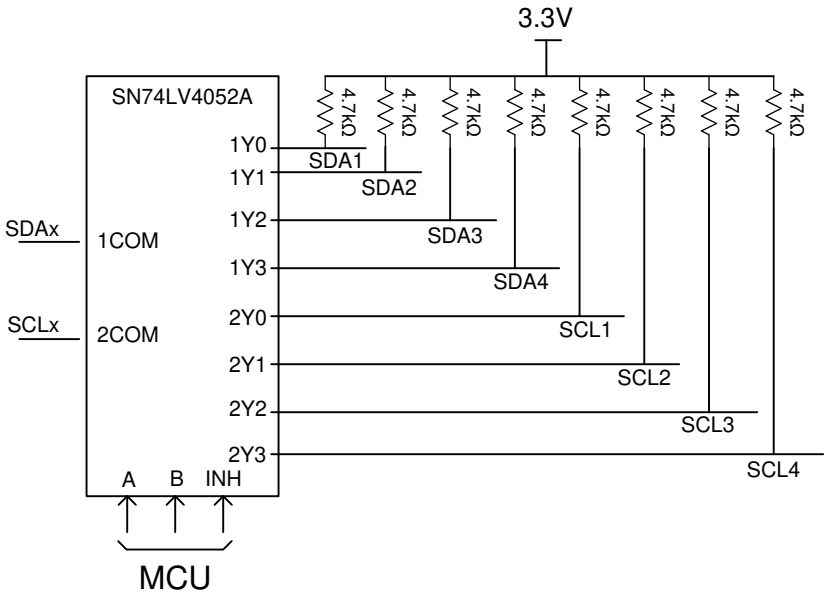
备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SNx4LV4052A 的常见应用包括用于模数和数模转换系统的信号选通、斩波、调制/解调（调制解调器）以及信号多路复用。

8.2 典型应用



Copyright © 2016, Texas Instruments Incorporated

图 8-1. 典型的 I²C 多路复用应用

8.2.1 设计要求

使用 SNx4LV4052A 器件进行设计需要 2V 至 5.5V 之间的稳定输入电压（有关详细信息，请参阅*建议运行条件*）。另一个重要的设计注意事项是多路复用信号的特性，即确保不会因时序或与此器件不兼容而丢失重要信息。

8.2.2 详细设计过程

SNx4LV4052A 双路 1 至 4 通道多路复用器非常适合用来选择 I²C。I²C 数据和时钟线使用 MCU 中的 A、B 选择线进行选择。根据驱动程序的功能选择上拉电阻器。低电平上拉电阻器可加快上升时间；然而，它会在低电平状态期间为驱动程序产生额外的电流。有关 CMOS 输入的输入切换速率（V_{IH} 和 V_{IL}），请参阅*建议运行条件*。

8.2.3 应用曲线

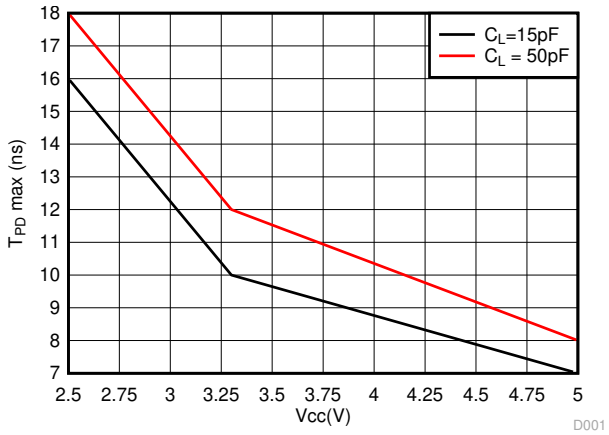


图 8-2. 最大传播延迟与 V_{CC} 间的关系

8.3 电源相关建议

大多数系统有一个常见的 3.3V 或 5V 电源轨，可为该器件的 V_{CC} 引脚供电。如果此导轨不可用，则可以使用开关模式电源 (SMPS) 或低压降稳压器 (LDO)，通过另一个电压更高的导轨为该器件供电。

请参阅*建议运行条件*，了解有关该器件的工作电压范围。强烈建议配置 0.1μF 的旁路电容器。

8.4 布局

8.4.1 布局指南

TI 建议信号线路应尽可能短且直（请参阅 图 8-3）。如果信号线长度超过 1 英寸，也建议采用微波传输带或带状线技术。根据应用的要求，这些布线的特征阻抗必须设计为 50Ω 或 75Ω。

不要将此器件放置在离高压开关元件太近的地方，因为它们可能会产生干扰。并非所有 PCB 布线都是直线，因此某些布线必须拐角。图 8-4 展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大限度地减少反射。

8.4.2 布局示例

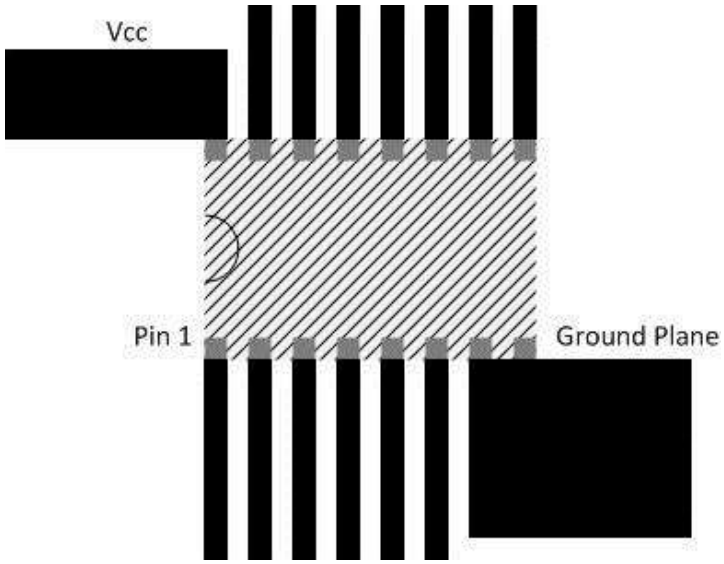


图 8-3. 布局原理图

Copyright © 2025 Texas Instruments Incorporated

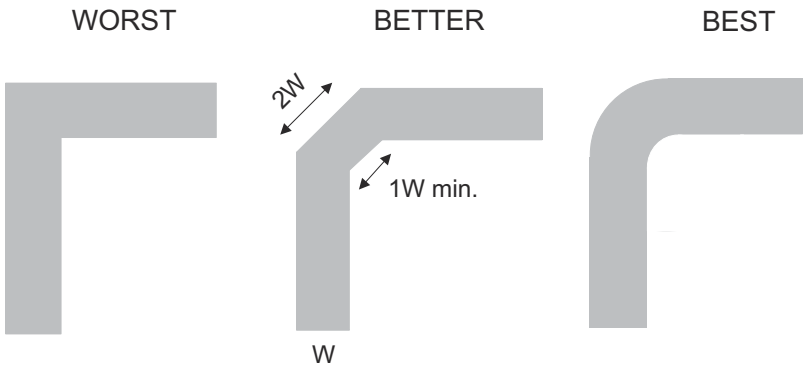


图 8-4. 布线示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*CMOS 输入缓慢变化或悬空的影响*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision N (September 2024) to Revision O (July 2025)	Page
• 已将 ESD 保护更新为 ±4000V 和 ±2000V	1
• 已将 ESD 等级更新为 ±4000V 和±2000V	4
• 已更新 CIS 和 COS 导通	5

Changes from Revision M (September 2024) to Revision N (September 2024)	Page
• 添加了 DYY 封装和尺寸	1
• 添加了 DYY 封装	3
• 已更新 CIS 和 COS 导通	5

Changes from Revision L (June 2024) to Revision M (September 2024)	Page
• 已更新 ±1500V 和 ±2000V 的 ESD 等级 CDM	4

Changes from Revision K (November 2016) to Revision L (June 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 添加了 1.65V Vcc 下的新 VIH 和 VIL 规范	5
• 将最高环境温度增加至最高 125°C	5
• 添加了 1.65V Vcc 下的 Ron、Ron Peak 和 Delta Ron 规格	5
• 添加了 125°C 下的 Ron、Ron Peak 和 Delta Ron 规格	5
• 已更新 CIS 和 COS 导通	5
• 添加了 125°C 时的计时技术规格	7

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV4052AD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	LV4052A
SN74LV4052ADBR	NRND	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LW052A
SN74LV4052ADBR.A	NRND	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LW052A
SN74LV4052ADBRE4	NRND	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LW052A
SN74LV4052ADGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LW052A
SN74LV4052ADGVR.A	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LW052A
SN74LV4052ADR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV4052A
SN74LV4052ADR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV4052A
SN74LV4052ADYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV4052
SN74LV4052ADYYR.A	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV4052
SN74LV4052AN	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74LV4052AN
SN74LV4052AN.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74LV4052AN
SN74LV4052ANSR	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV4052A
SN74LV4052ANSR.A	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV4052A
SN74LV4052APW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	LW052A
SN74LV4052APWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LW052A
SN74LV4052APWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LW052A
SN74LV4052APWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	LW052A
SN74LV4052ARGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LW052A
SN74LV4052ARGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LW052A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV4052A :

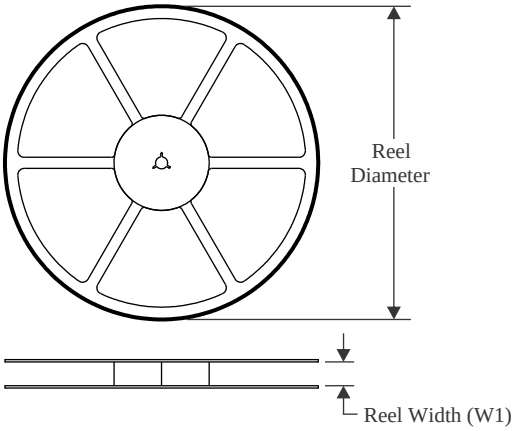
- Automotive : SN74LV4052A-Q1
- Enhanced Product : SN74LV4052A-EP

NOTE: Qualified Version Definitions:

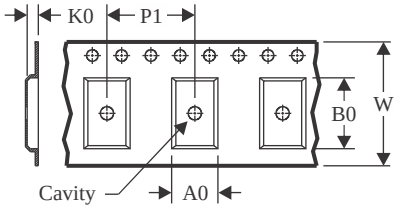
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

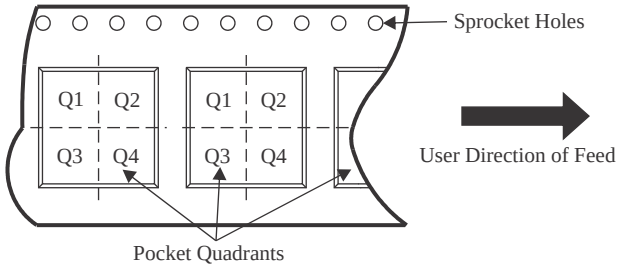


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

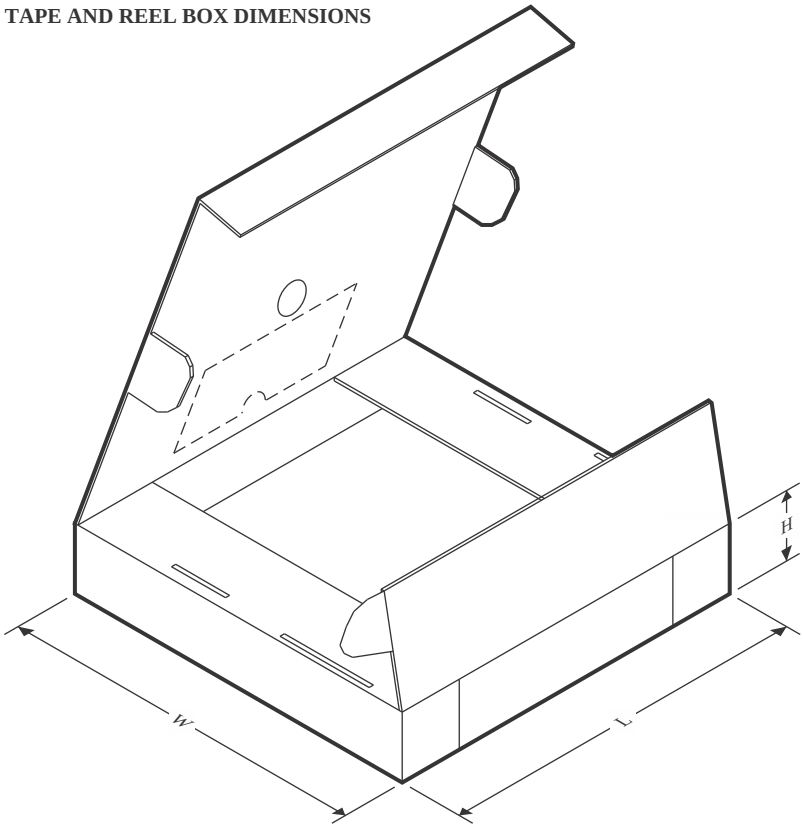
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV4052ADBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LV4052ADGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LV4052ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74LV4052ADYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
SN74LV4052ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LV4052APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV4052APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV4052ARGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

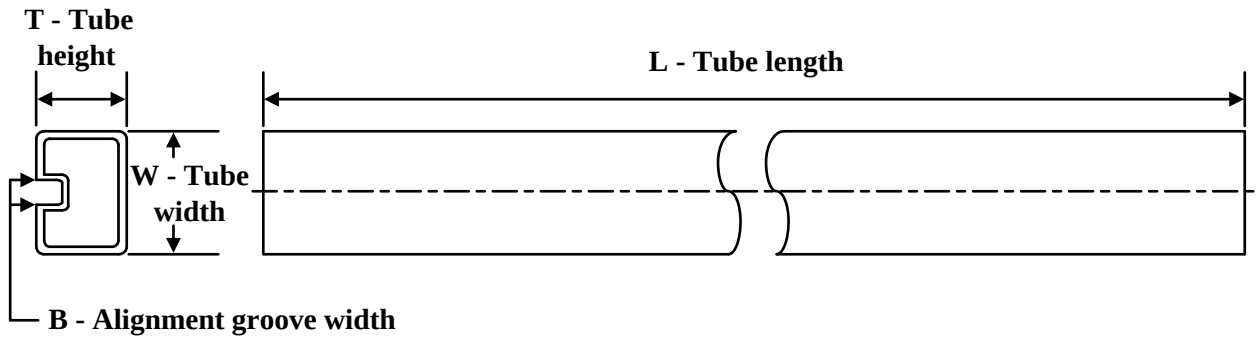
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV4052ADBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74LV4052ADGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74LV4052ADR	SOIC	D	16	2500	353.0	353.0	32.0
SN74LV4052ADYYR	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
SN74LV4052ANSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74LV4052APWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74LV4052APWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LV4052ARGYR	VQFN	RGY	16	3000	360.0	360.0	36.0

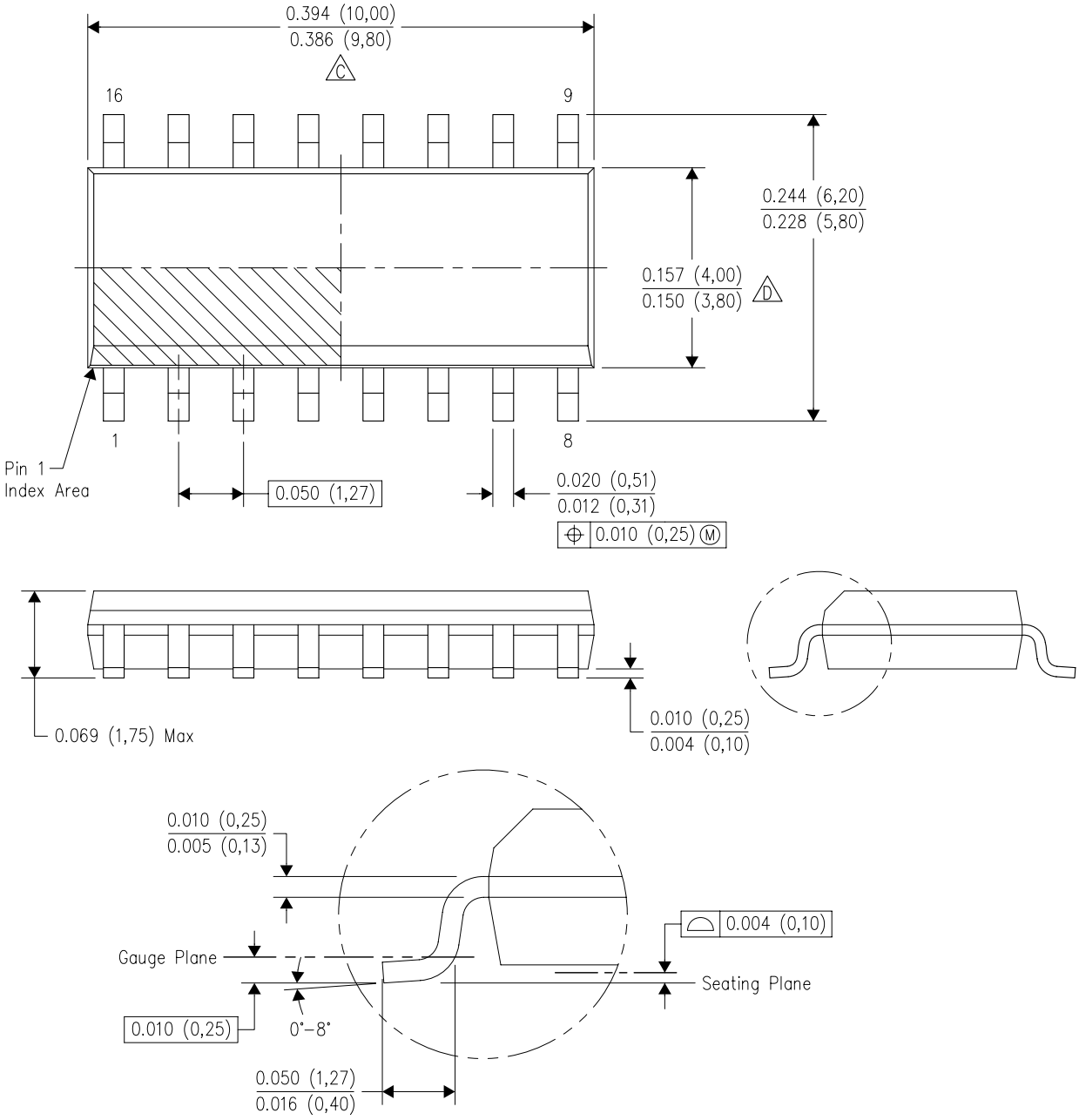
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74LV4052AN	N	PDIP	16	25	506	13.97	11230	4.32
SN74LV4052AN	N	PDIP	16	25	506	13.97	11230	4.32
SN74LV4052AN.A	N	PDIP	16	25	506	13.97	11230	4.32
SN74LV4052AN.A	N	PDIP	16	25	506	13.97	11230	4.32

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



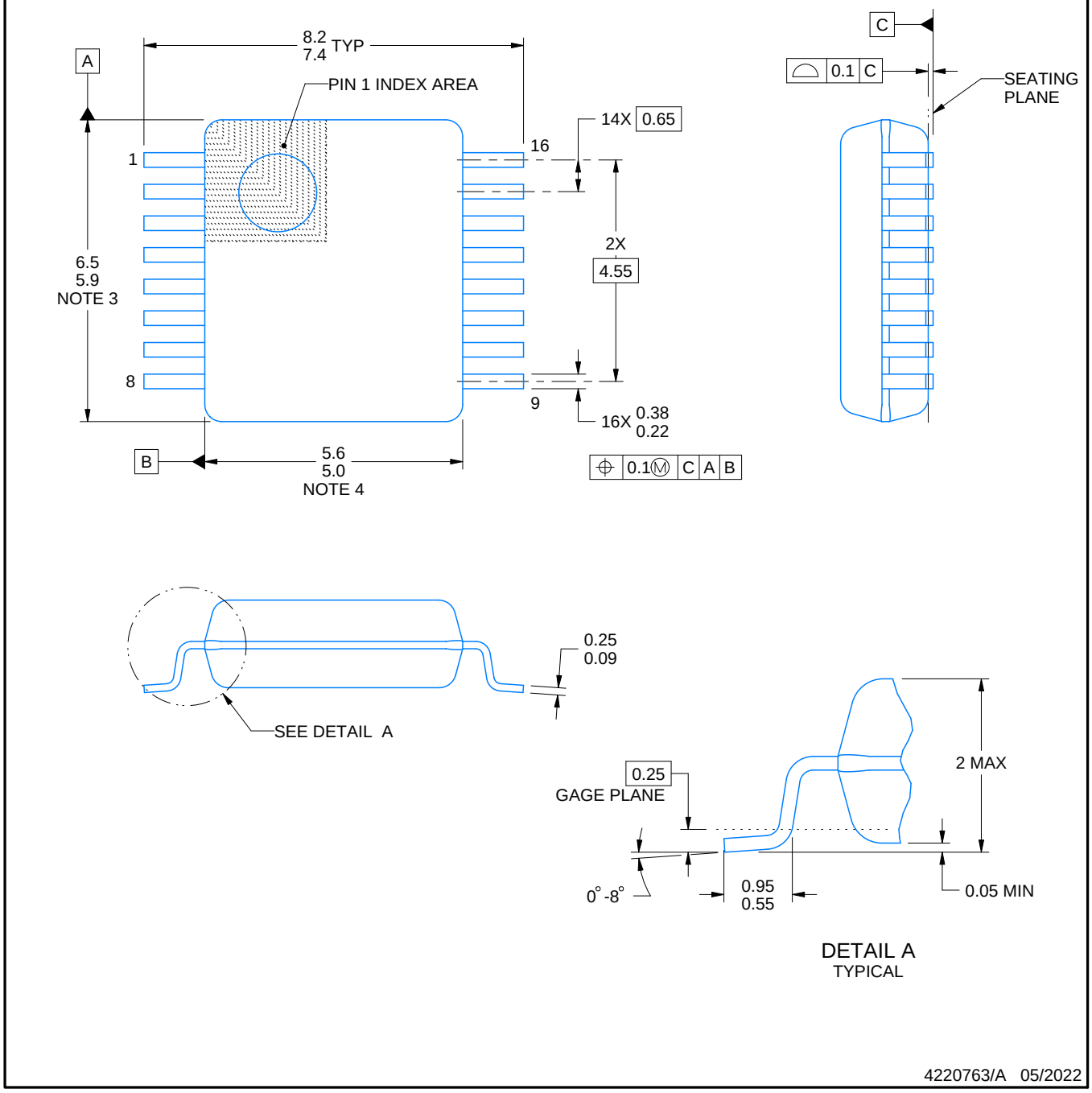
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

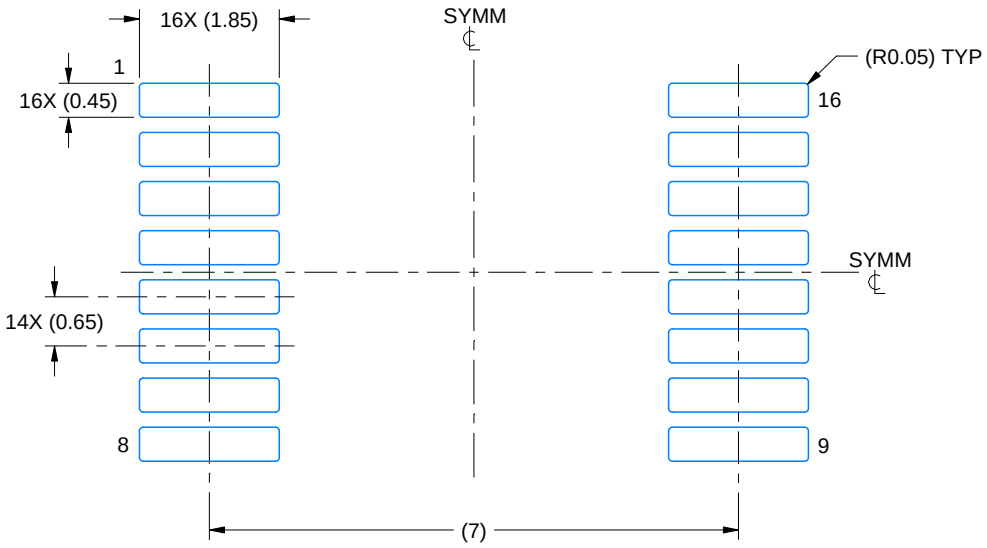
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

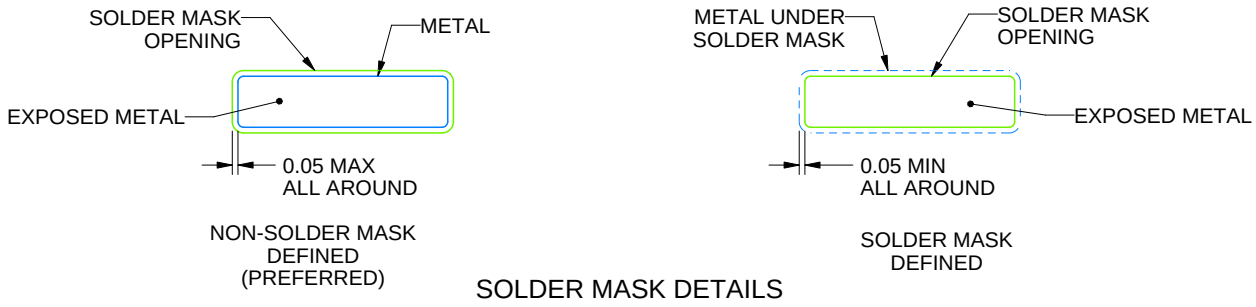


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

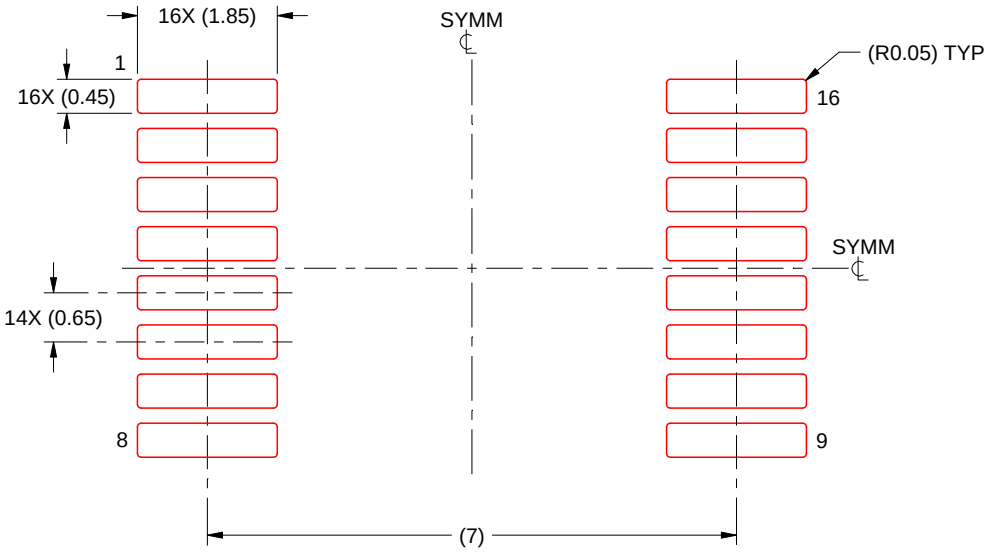


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

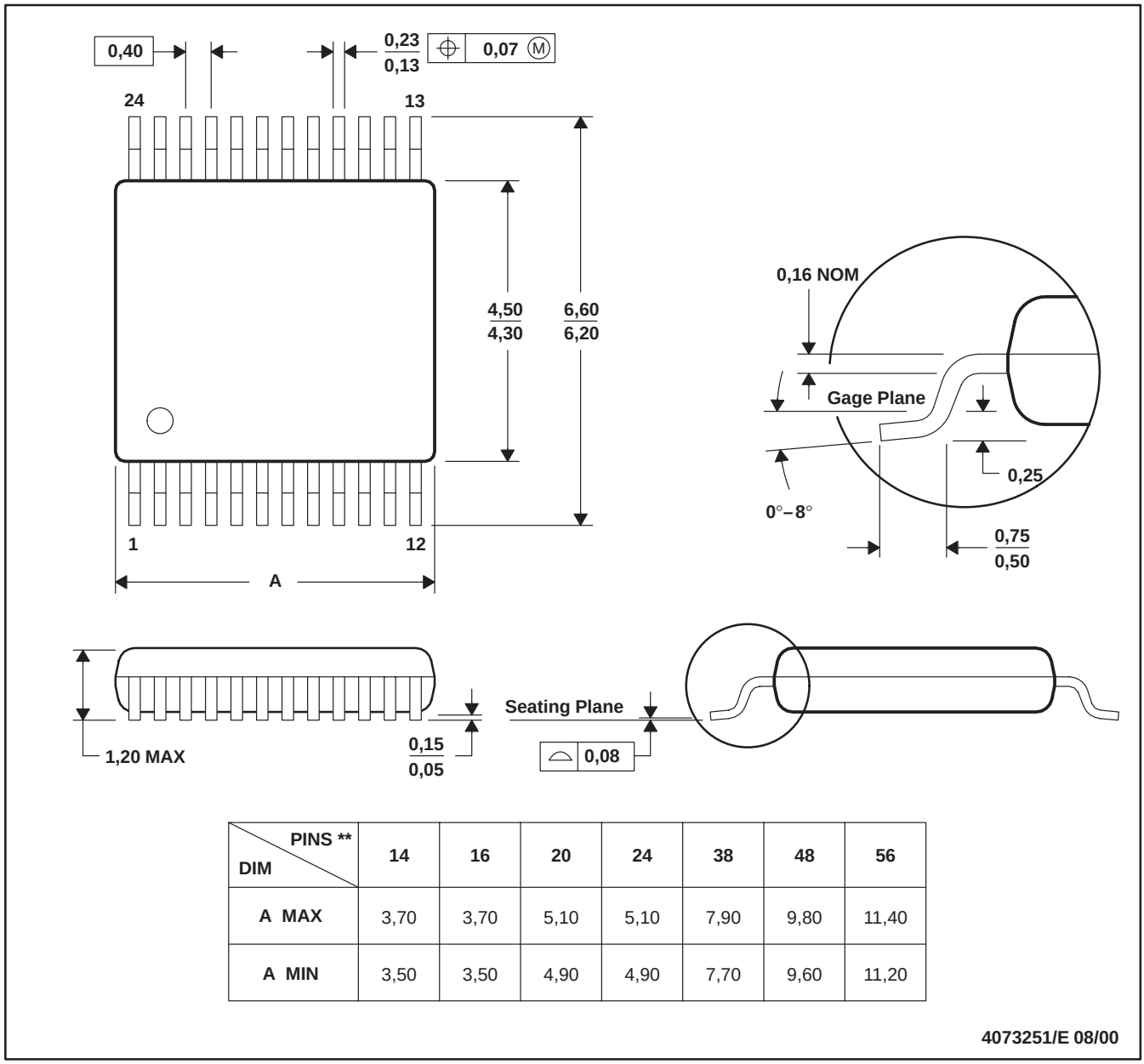
4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

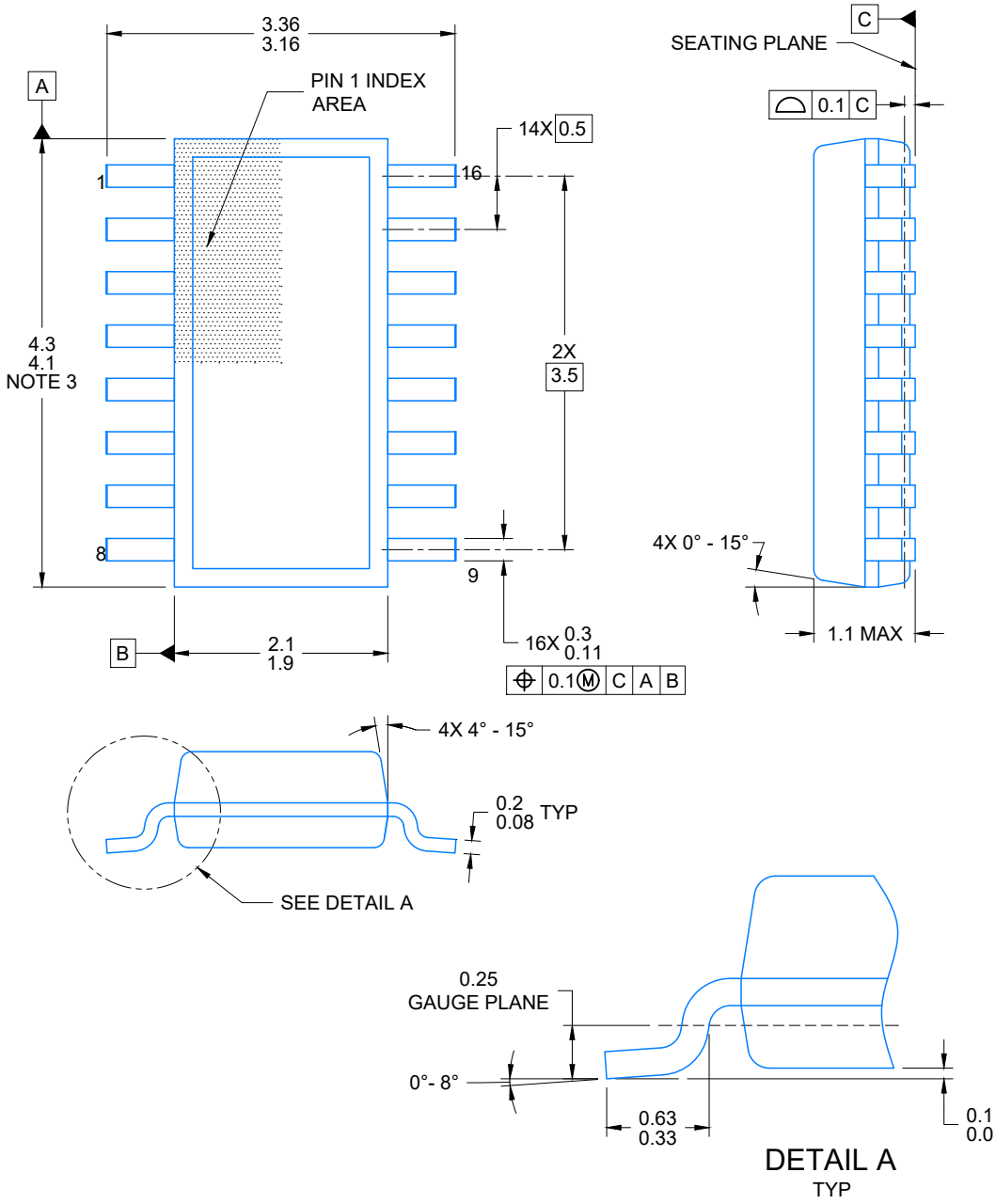
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

DYY0016A

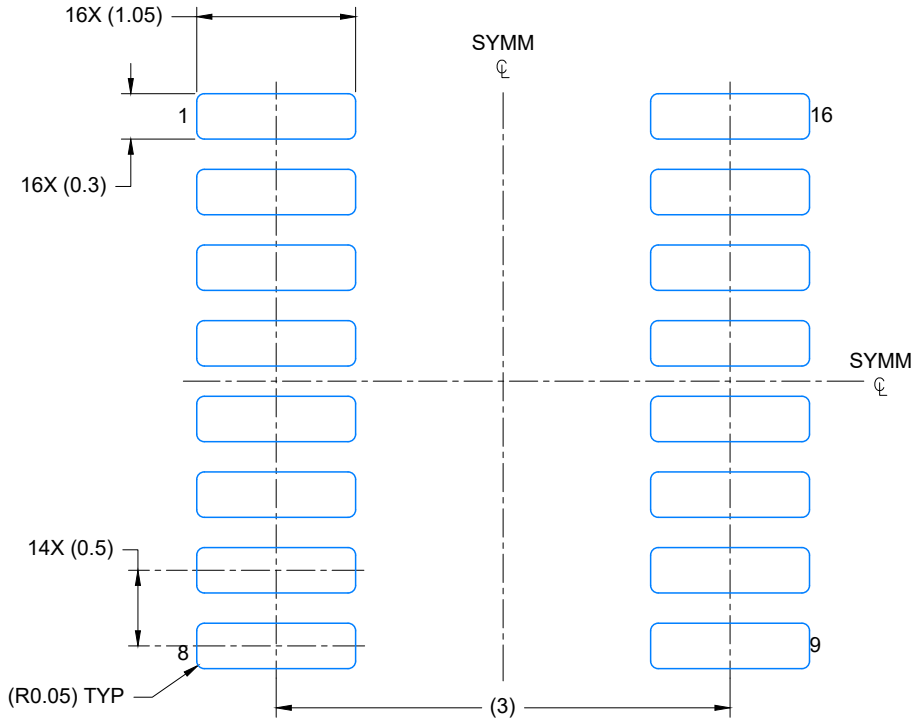
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

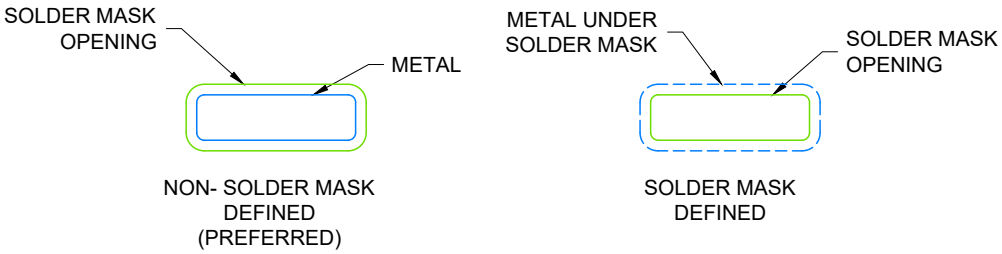


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/D 07/2024

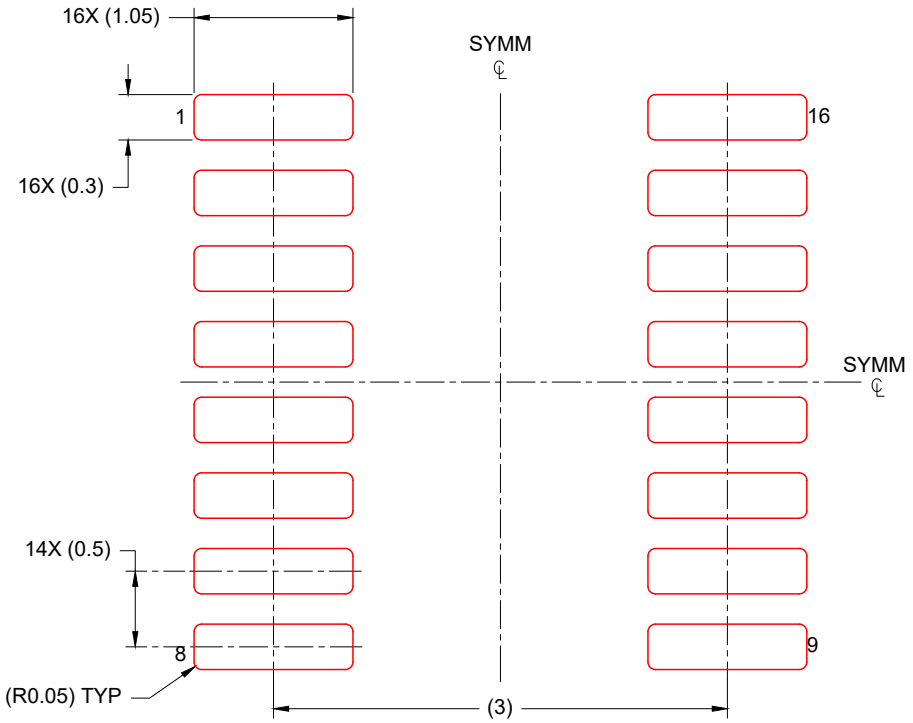
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

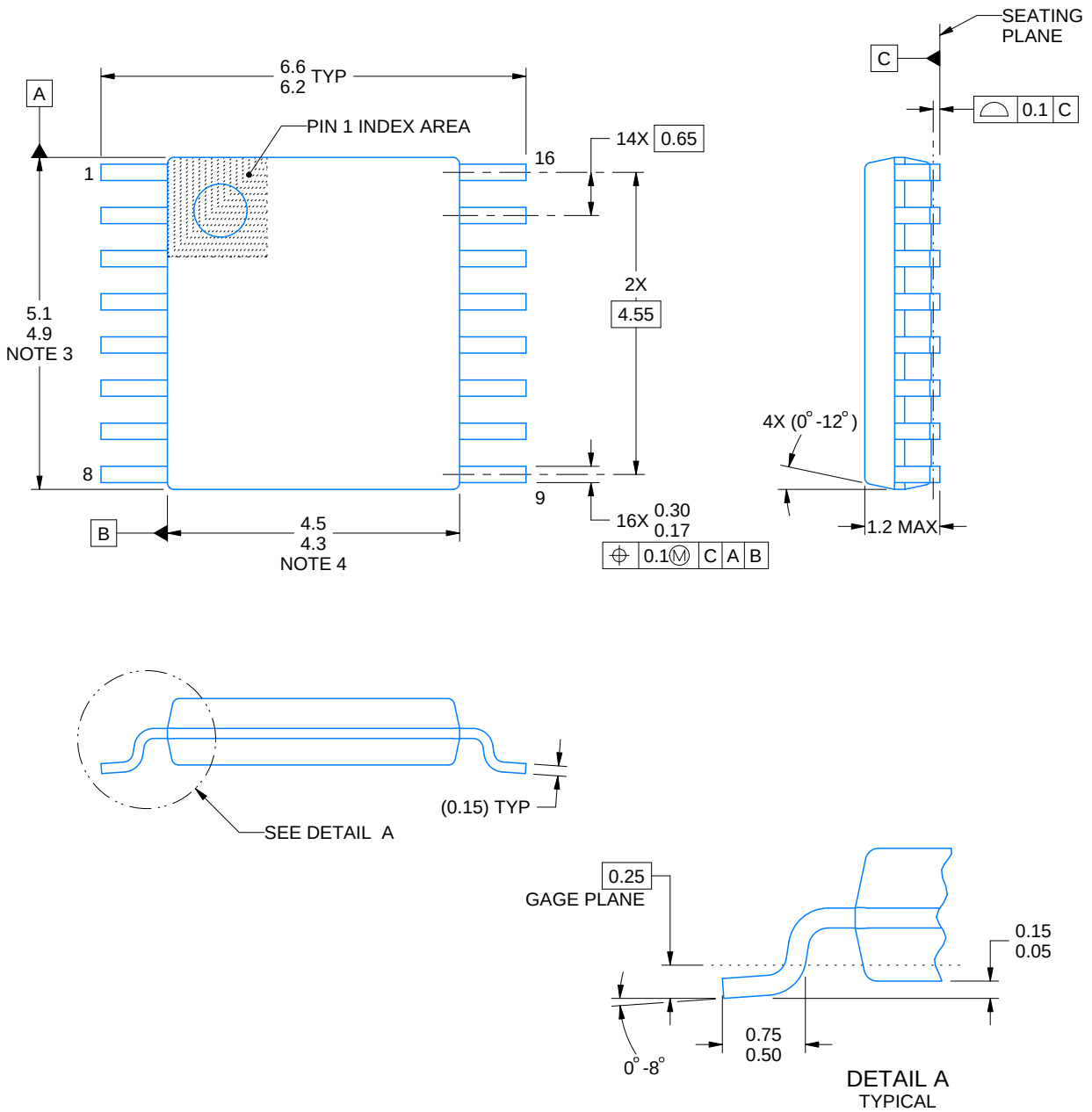
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0016A

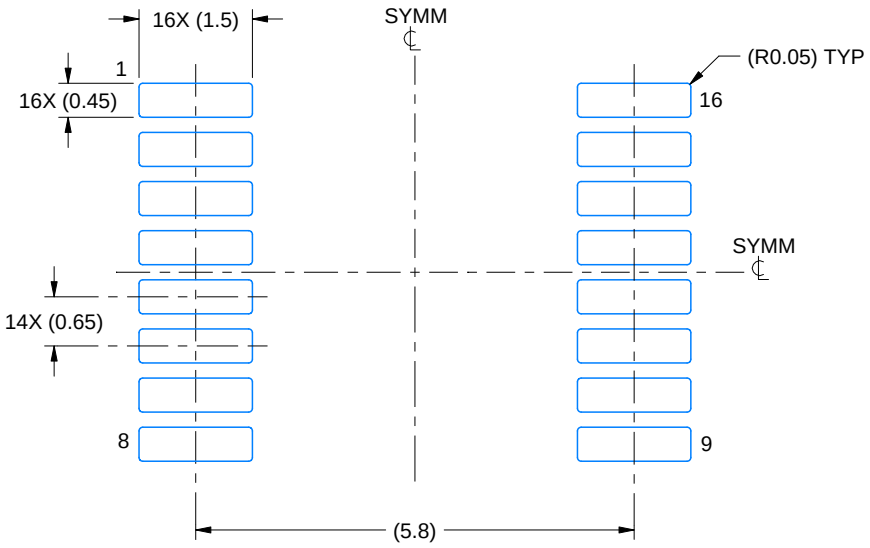
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

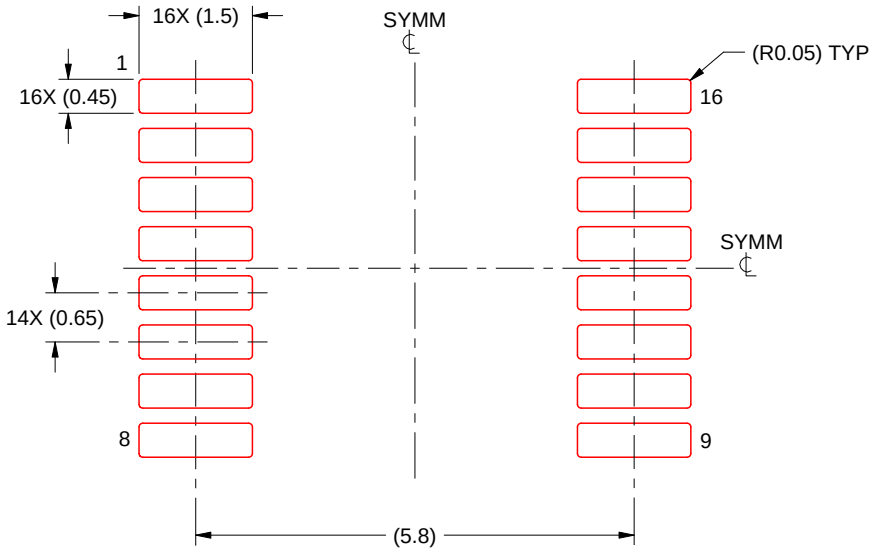


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

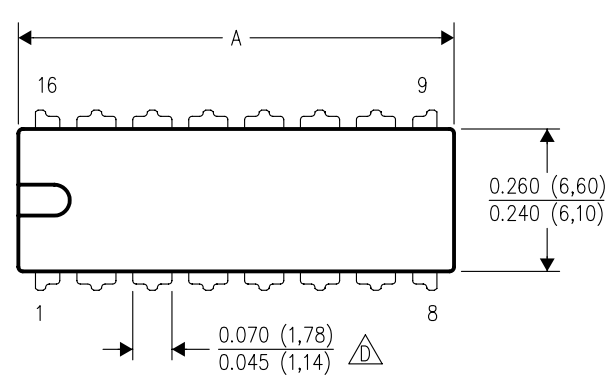
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

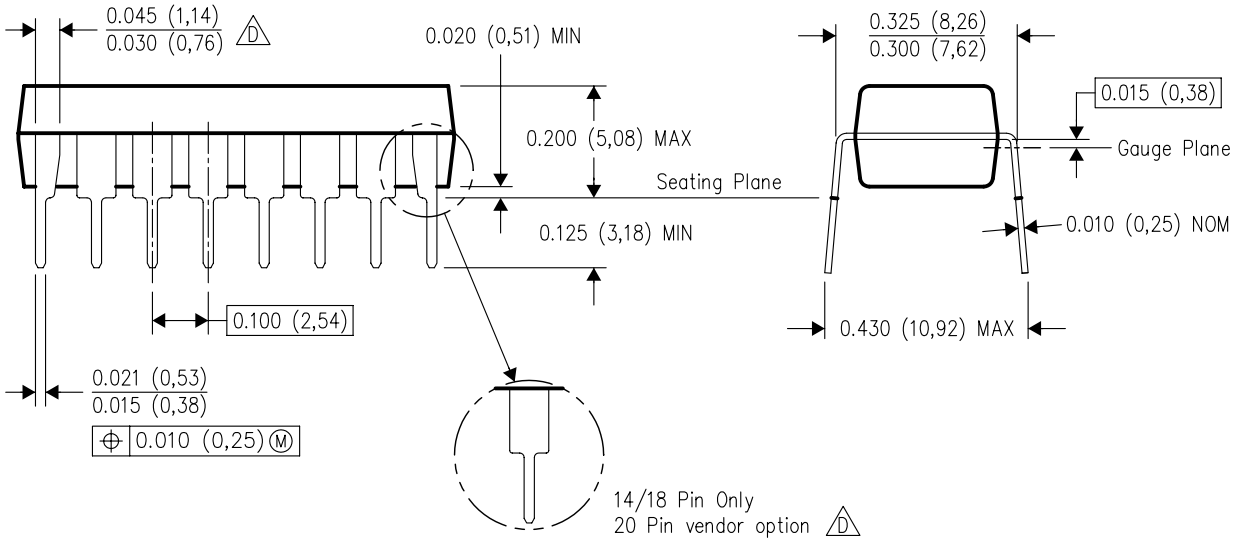
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

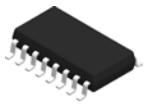


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

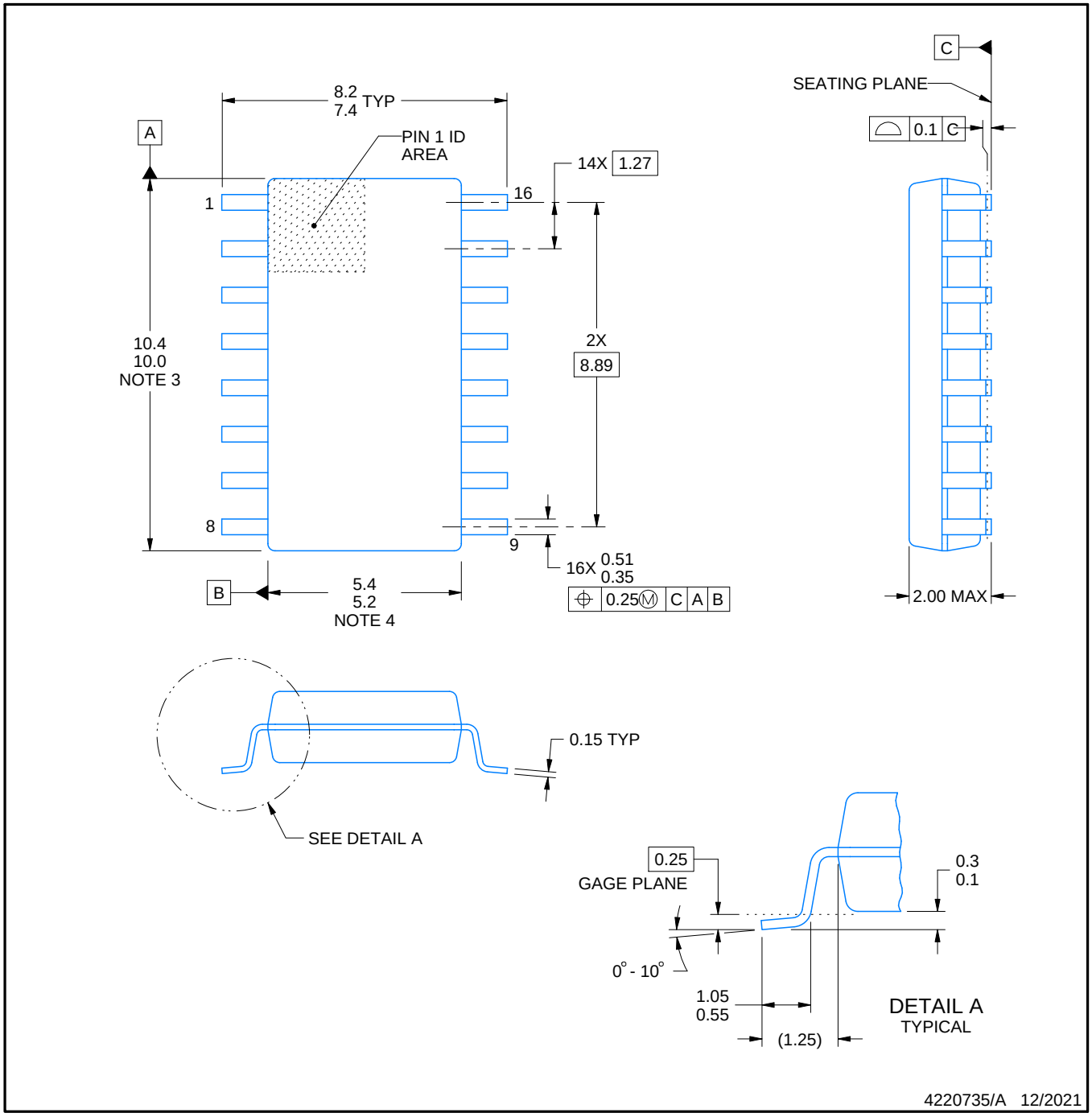


PACKAGE OUTLINE

NS0016A

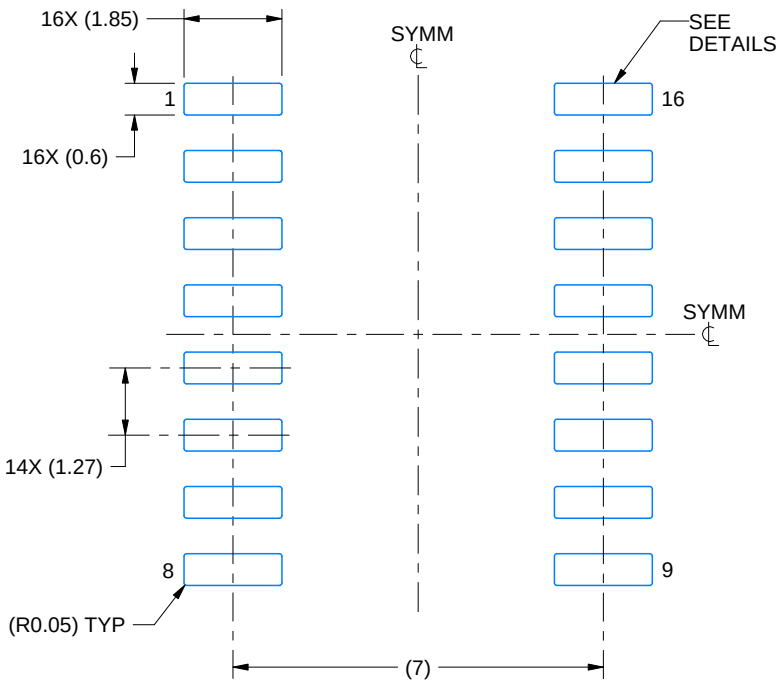
SOP - 2.00 mm max height

SOP

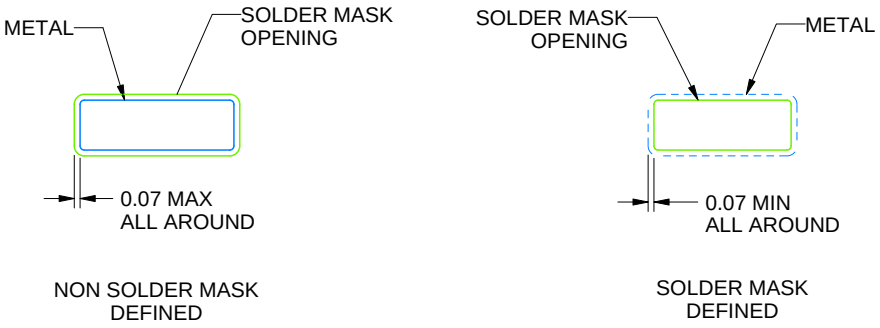


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

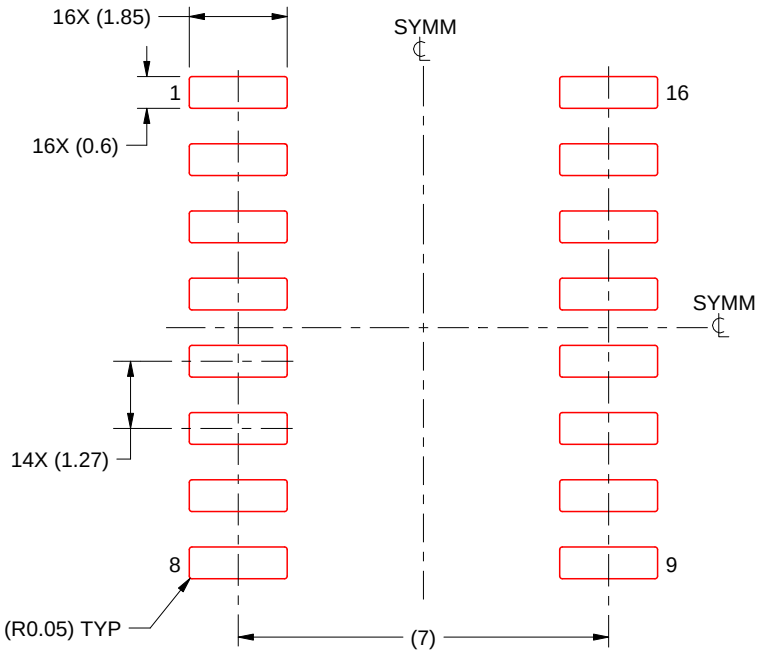
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

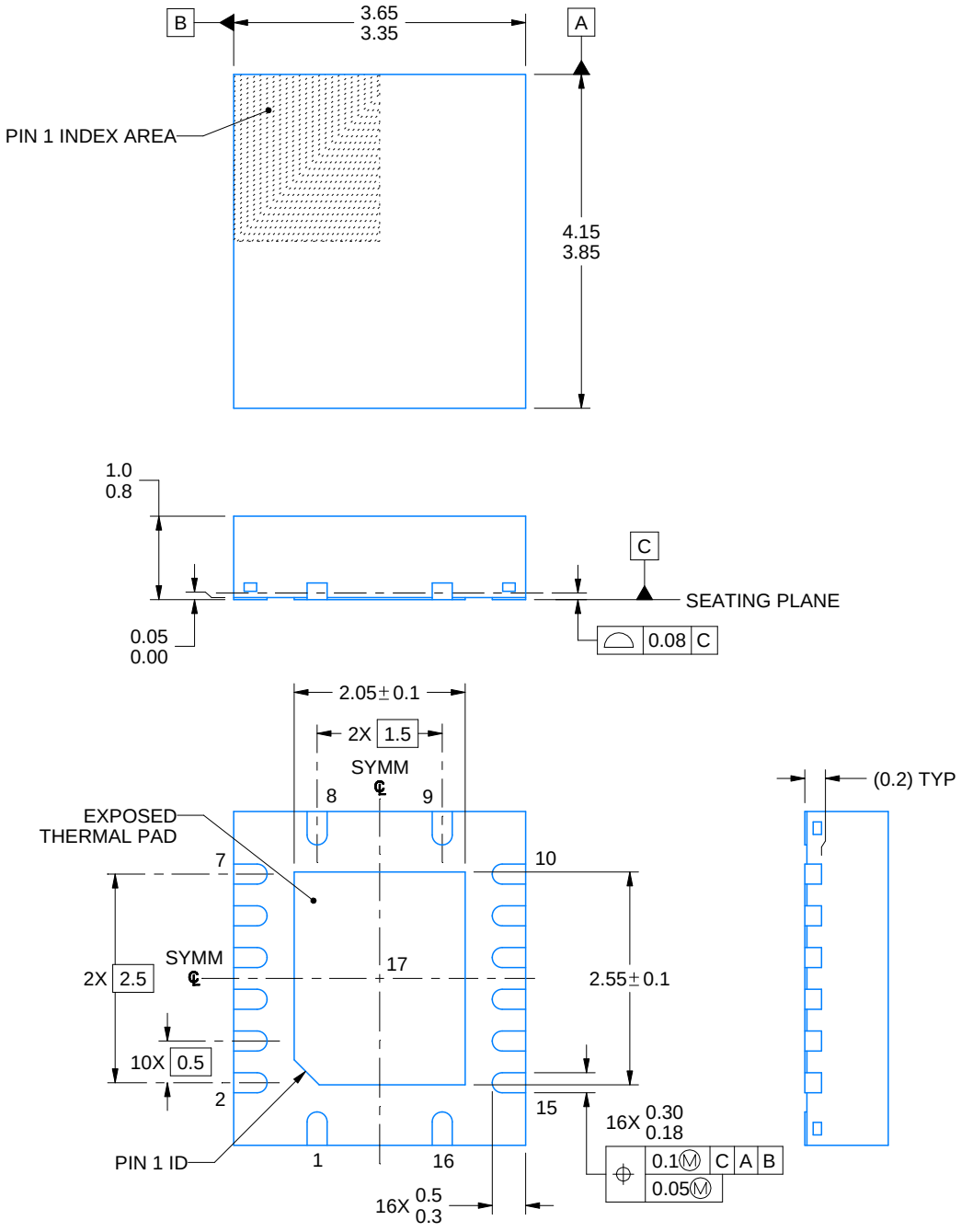
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

RGY0016A

PACKAGE OUTLINE

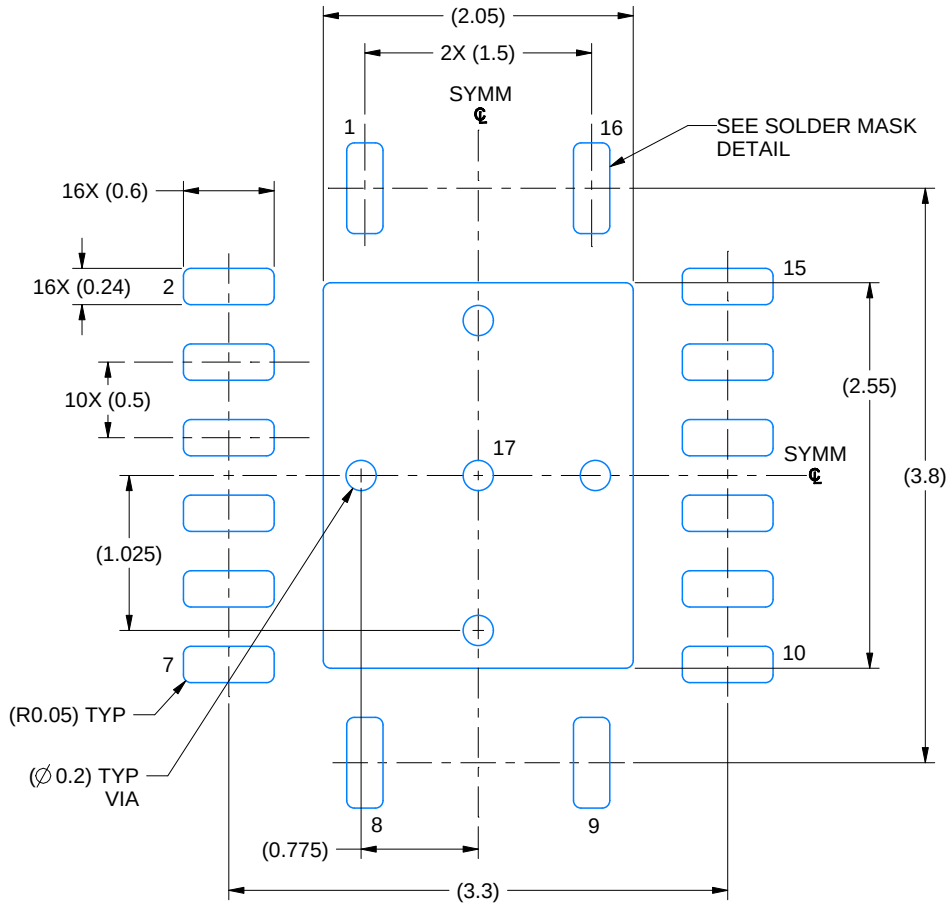
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

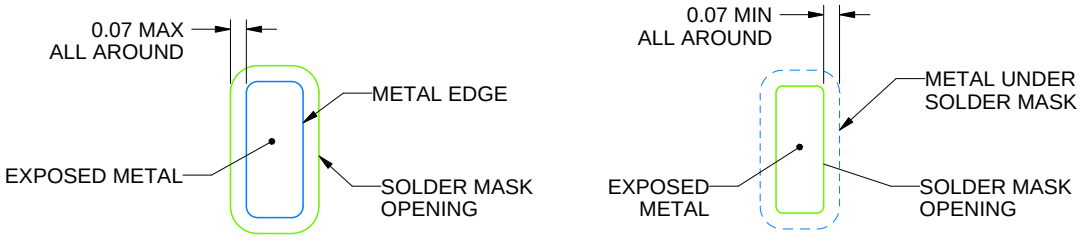


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

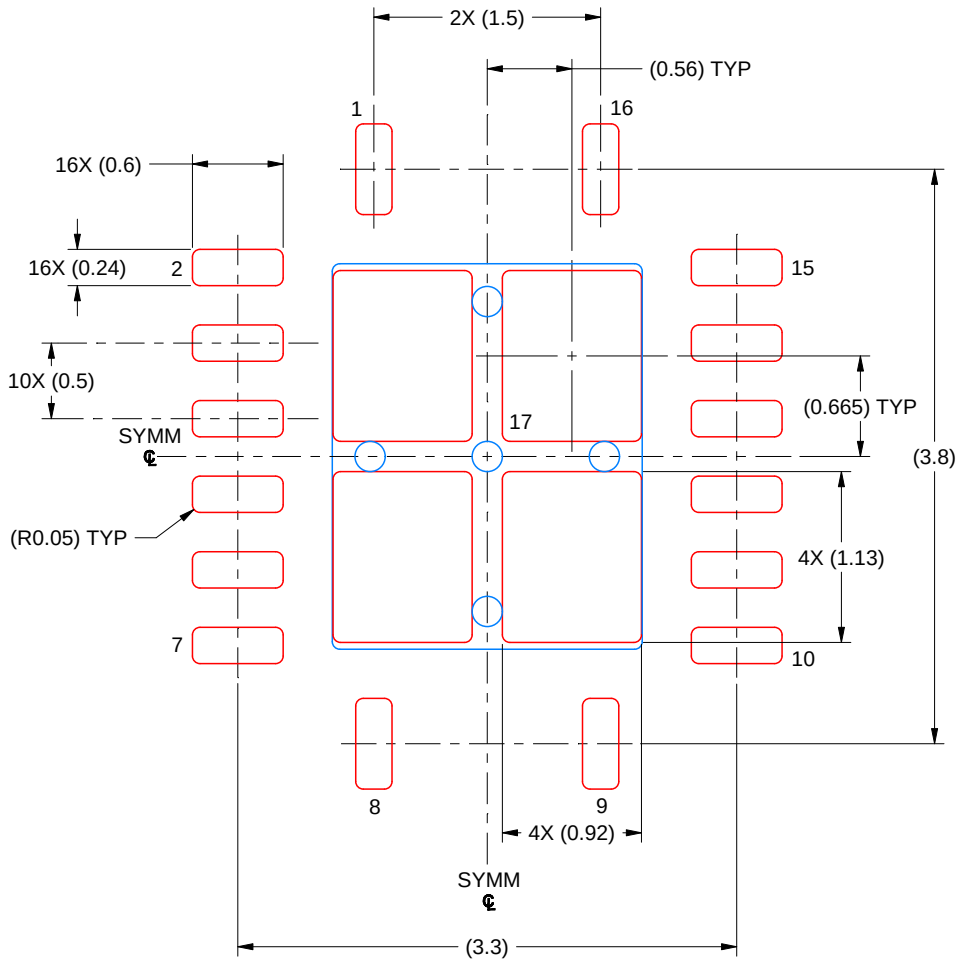


SOLDER MASK DETAILS

4225140/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 17
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225140/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月