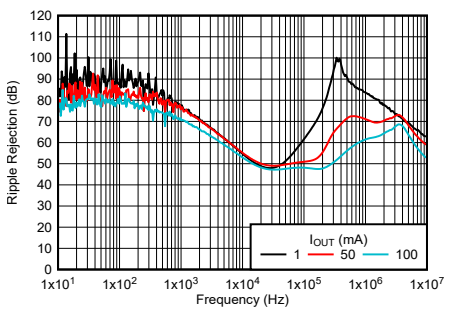
TPS769 100mA 16V 低压降线性稳压器

1 特性

- 输入电压范围：
  - 旧芯片：2.7V 至 10V（绝对最大值 13.5V）
  - 新芯片：2.5V 至 16V（绝对最大值 18V）
- 输出电压范围（可调节）：
  - 旧芯片：1.25V 至 5.5V
  - 新芯片：1.2V 至 5.5V
- 输出电压范围（固定）：
  - 旧芯片：1.5V 至 5V
  - 新芯片：1.2V 至 5V
- 最大输出电流：高达 100mA
- 高 PSRR（新芯片）：1MHz 时为 46dB
- 输出精度：
  - 旧芯片：3%（整个负载和温度范围）
  - 新芯片：1.2%（整个负载和温度范围）
- 压降电压：
  - 旧芯片：100mA 时为 71mV（典型值）(TPS76950)
  - 新芯片：100mA 时为 215mV（典型值）(TPS76950)
- 集成故障保护：
  - 热关断
  - 过流保护
- 内部软启动时间（新芯片）：750µs（典型值）
- 用于实现稳定运行的输出电容器：
  - 旧芯片：≥ 4.7 µF
  - 新芯片：≥ 2.2 µF
- 封装：
  - 5 引脚 SOT-23，$R_{\theta JA}$ = 178.6°C/W（新芯片）

2 应用

- 家用空调
- HVAC 系统
- 洗衣机和烘干机
- 工业运输



TPS76933 PSRR 与输出电流间的关系（新芯片）

3 说明

TPS769 是低压降 (LDO) 线性稳压器，支持 2.5V 至 16V 的输入电压范围（新芯片）和高达 100mA 的负载电流。对于新芯片，支持的输出范围为 1.2V 至 5.0V（固定版本）或 1.2V 至 5.5V（可调版本）。

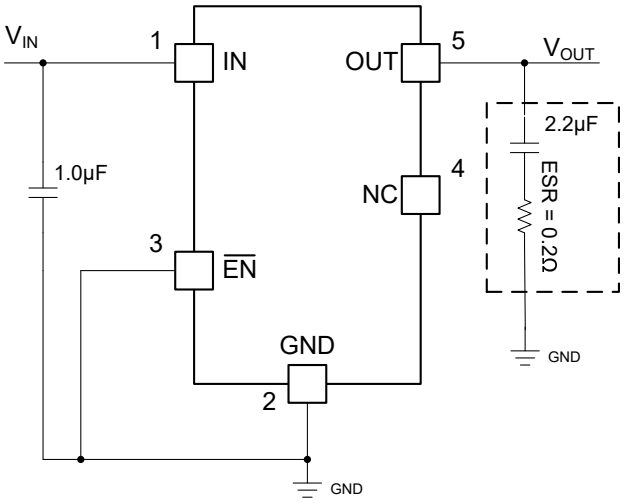
该器件具有宽输入电压范围，非常适合在稳压电源轨（例如 10V 或 12V）下运行。新芯片的电压范围高达 16V。该范围允许 LDO 为各种应用产生偏置电压。这些应用包括电源微控制器 (MCU) 和处理器。

高带宽 PSRR 性能在 1kHz 时大于 70dB，在 1MHz 时大于 46dB（新芯片）。此性能有助于衰减上游直流/直流转换器的开关频率，并更大限度减少后置稳压器滤波。新芯片支持内部软启动电路机制，该机制可减小启动期间的浪涌电流，从而降低输入电容。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS769	DBV（SOT-23，5）	2.9mm × 2.8mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用电路

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....3
5.1 绝对最大额定值.....3
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息（新芯片）.....4
5.5 热性能信息（旧芯片）.....5
5.6 电气特性.....5
5.7 典型特性.....8
5.8 典型特性：支持的 ESR 范围.....16
6 详细说明.....20
6.1 概述.....20
6.2 功能方框图.....20
6.3 特性说明.....21
6.4 器件功能模式.....24
7 应用和实施.....25
7.1 应用信息.....25
7.2 典型应用.....25
7.3 电源相关建议.....32
7.4 布局.....32
8 器件和文档支持.....33
8.1 器件支持.....33
8.2 文档支持.....33
8.3 接收文档更新通知.....33
8.4 支持资源.....33
8.5 商标.....33
8.6 静电放电警告.....34
8.7 术语表.....34
9 修订历史记录.....34
10 机械、封装和可订购信息.....34

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

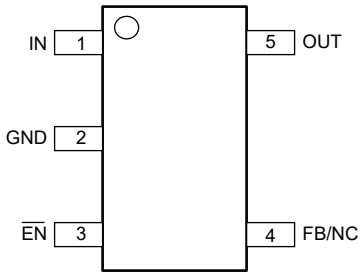


图 4-1. DBV 封装，5 引脚 SOT-23（顶视图）

表 4-1. 引脚功能

引脚		I/O	说明
编号	名称		
1	IN	I	输入引脚。使用 *建议运行条件* 中列出的推荐电容值。将输入电容器放置在尽可能靠近器件的 IN 引脚和 GND 引脚的位置上。更多信息请参阅*输入和输出电容器要求* 部分。
2	GND	—	地。
3	$\overline{EN}$	I	使能引脚。将使能引脚驱动为低电平会启用器件。将此引脚驱动为高电平会禁用器件。 *电气特性* 表中列出了低阈值和高阈值。
4	FB/NC	I	可调版本 (TPS76901-Q1)：反馈引脚。控制环路误差放大器的输入。该引脚使用外部电阻器设置器件的输出电压。请勿将该引脚悬空。 固定版本：无连接（旧芯片）。请勿连接（新芯片）。
5	OUT	O	输出引脚。使用 *建议运行条件* 中列出的推荐电容值。将输出电容器放置在尽可能靠近器件的 OUT 引脚和 GND 引脚的位置上。更多信息请参阅*输入和输出电容器要求* 部分。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
V_{IN}	连续输入电压（旧芯片）	-0.3	13.5	V
	连续输入电压（新芯片）	-0.3	18	
V_{OUT}	输出电压（旧芯片）	-0.3	7	V
	输出电压（新芯片）	-0.3	V_{IN} + 0.3 或 7（以较低者为准）	
V_{FB}	FB 引脚电压（旧芯片）	-0.3	7	V
	FB 引脚电压（新芯片）	-0.3	3	
$V_{\overline{EN}}$	$\overline{EN}$ 引脚电压（旧芯片）	-0.3	V_{IN} + 0.3	V
	$\overline{EN}$ 引脚电压（新芯片）	-0.3	18	
电流	最大输出	受内部限制		A
温度	工作结温，T_J（旧芯片）	-40	150	°C
	工作结温，T_J（新芯片）	-55	150	
	贮存温度，T_{stg}	-65	150	

(1) 应力超出*绝对最大额定值* 下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议运行条件* 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 所有电压均以 GND 为基准。

Copyright © 2025 Texas Instruments Incorporated

5.2 ESD 等级

			值（旧芯片）	值（新芯片）	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	±3000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	不适用	±1000	

(1) JEDEC 文档 JEP155 指出：2kV HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：500V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	标称值	最大值	单位
V_{IN}	电源输入电压（旧芯片）	2.7		10	V
	电源输入电压（新芯片）	2.5		16	
V_{OUT}	输出电压（旧芯片）	1.25		5.5	V
	输出电压（新芯片）	1.2		5.5	
V_{FB}	FB 电压（旧芯片）		1.224		V
	FB 电压（新芯片）		1.2		
$V_{\overline{EN}}$	使能电压（旧芯片）	0		V_{IN}	V
	使能电压（新芯片）	0		16	
I_{OUT}	输出电流	0		100	mA
C_{IN} (1)	输入电容器		1		µF
C_{OUT} (1)	输出电容器（旧芯片）	4.7			µF
	输出电容器（新芯片）	2.2		200	
ESR	ESR 范围（旧芯片）	0.2		10	Ω
	ESR 范围（新芯片）	0		3	
T_J	工作结温	-40		125	°C

(1) 所有电容值均假设降额至标称电容值的 50%。为实现稳定性，将有效最小输出电容保持在 1 µF。

5.4 热性能信息（新芯片）

热指标(1) (2)		新芯片 DBV (SOT-23-5) 5 引脚	单位
$R_{\theta JA}$	结至环境热阻	178.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	77.9	°C/W
$R_{\theta JB}$	结至电路板热阻	47.2	°C/W
ψ_{JT}	结至顶部特征参数	15.9	°C/W
ψ_{JB}	结至电路板特征参数	46.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) 热性能结果基于 2s2p PCB 配置的 JEDEC 标准。根据热优化型 PCB 布局设计，这些热指标参数可进一步提高 35% 至 55%。请参阅电路板布局布线对 LDO 热性能的影响应用报告的分析。

Copyright © 2025 Texas Instruments Incorporated

5.5 热性能信息（旧芯片）

耗散额定值			
热指标	DBV (SOT-23) 5 引脚		单位
	低 K (1)	高 K (2)	
$R_{\theta JC}$（结至外壳热阻）	65.8	65.8	℃/W
$R_{\theta JA}$（结至环境热阻）	259	180	℃/W
降额因子高于 T_A = +25℃	3.9	5.6	mW/℃
额定功率 (T_A < 25℃)	386	555	mW
额定功率 (T_A = 70℃)	212	305	
额定功率 (T_A = 85℃)	154	222	

(1) 用于推导这些数据的 JEDEC 低 K (1s) 板设计是一个 3 英寸 × 3 英寸的双层电路板，该电路板顶部具有 2 盎司铜迹线。
(2) 用于推导这些数据的 JEDEC 高 K (2s2p) 电路板设计是一个 3 英寸 x 3 英寸的多层电路板，该电路板具有 1 盎司的内部电源层和接地层，顶层和底层上有 2 盎司的铜迹线。

5.6 电气特性

规定 T_J = –40°C 至 125°C、V_{IN} = $V_{OUT(nom)}$ + 1.0V 或 V_{IN} = 2.5V（以较大者为准）、I_{OUT} = 10μA、$\overline{EN}$ = 0V、C_{IN} = 1.0μF、C_{OUT} = 4.7μF（除非另有说明）；典型值在 T_J = 25ºC 条件下测得

参数			测试条件	最小值	典型值	最大值	单位
V_{OUT}	输出电压	可调节，旧芯片	1.2V ≤ V_{OUT} ≤ 5.5V，10μA ≤ I_{OUT} ≤ 100mA，T_J = 25°C		V_{OUT}		V
			1.2V ≤ V_{OUT} ≤ 5.5V，10μA ≤ I_{OUT} ≤ 100mA	0.97 × V_{OUT}		1.03 × V_{OUT}	
		固定，旧芯片	10μA ≤ I_{OUT} ≤ 100mA，T_J = 25°C，$V_{OUT(nom)}$ + 1V < V_{IN} < 10V		V_{OUT}		
			10μA ≤ I_{OUT} ≤ 100mA，$V_{OUT(nom)}$ + 1V < V_{IN} < 10V	0.97 × V_{OUT}		1.03 × V_{OUT}	
		新芯片	10μA ≤ I_{OUT} ≤ 100mA，$V_{OUT(nom)}$ + 1V < V_{IN} < 16V	0.988 × V_{OUT}		1.012 × V_{OUT}	
V_{FB}	反馈电压	旧芯片			1.224		V
		新芯片			1.2		
I_Q	静态电流（GND 电流）	旧芯片	$\overline{EN}$ = 0V，0mA < I_{OUT} < 100mA，T_J = +25°C		17		μA
			$\overline{EN}$ = 0V，I_{OUT} = 100mA			28	
		新芯片	$\overline{EN}$ = 0V，I_{OUT} = 0mA（可调节）		50	80	
			$\overline{EN}$ = 0V，I_{OUT} = 0mA（固定）		55	95	
			$\overline{EN}$ = 0V，I_{OUT} = 100mA		620		
$\Delta V_{OUT(\Delta VOUT)}$	输出电压线性调整率（ΔV_{OUT}/V_{OUT}）	旧芯片	$V_{OUT(NOM)}$ +1.0V ≤ V_{IN} ≤ 10V，I_{OUT} = 100mA，T_J = 25℃		0.04	0.07	%/V
						0.1	
		新芯片	$V_{OUT(NOM)}$ +1.0V ≤ V_{IN} ≤ 16V，I_{OUT} = 10μA			0.032	
$\Delta V_{OUT(\Delta IOUT)}$	输出电压负载调整率	旧芯片	0mA ≤ I_{OUT} ≤ 100mA，T_J = 25°C		12		mV
		新芯片			20		
V_n	输出噪声电压	旧芯片	BW = 300Hz 至 50kHz，C_{OUT} = 10μF，T_J = 25℃		190		μV_{RMS}
		新芯片	BW = 300Hz 至 50kHz，I_{OUT} = 100mA，C_{OUT} = 4.7μF		165		
			BW = 10Hz 至 100kHz，I_{OUT} = 100mA，C_{OUT} = 4.7μF		195		

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

规定 T_J = –40°C 至 125°C、V_{IN} = $V_{OUT(nom)}$ + 1.0V 或 V_{IN} = 2.5V（以较大者为准）、I_{OUT} = 10μA、$\overline{EN}$ = 0V、C_{IN} = 1.0μF、C_{OUT} = 4.7μF（除非另有说明）；典型值在 T_J = 25ºC 条件下测得

参数			测试条件	最小值	典型值	最大值	单位
$T_{SD(shutdown)}$	热关断温度	新芯片	温度升高		173		ºC
$T_{SD(reset)}$	热关断复位温度	新芯片	温度下降		157		ºC
I_{CL}	输出电流限制	旧芯片	V_{OUT} = 0V		350	750	mA
		新芯片			370	450	
$I_{STANDBY}$	待机电流	旧芯片	$\overline{EN}$ = V_{IN}，2.7V < V_{IN} < 10V		1		μA
			$\overline{EN}$ = V_{IN}，2.7V < V_{IN} < 10V			2	
		新芯片	$\overline{EN}$ = V_{IN}，2.5V < V_{IN} < 16V		0.9		
			$\overline{EN}$ = V_{IN}，2.5V < V_{IN} < 16V			2.75	
I_{FB}	反馈引脚电流	旧芯片	V_{FB} = 1.224V	-1		1	μA
		新芯片	V_{FB} = 1.2V	-0.1		0.1	μA
$\overline{EN}$	高电平使能输入电压	旧芯片	2.7V ⩽ V_{IN} ⩽ 10V	1.7			V
	低电平使能输入电压					0.9	
	高电平使能输入电压	新芯片	2.5V ⩽ V_{IN} ⩽ 16V	1.6			
	低电平使能输入电压					0.415	
PSRR	电源纹波抑制	旧芯片	I_{OUT} = 100mA，f = 1kHz，C_{OUT} = 10μF，T_J = 25 ℃		60		dB
		新芯片	I_{OUT} = 100mA，f = 1kHz，C_{OUT} = 4.7μF，T_J = 25 ℃		58		
I_{EN}	输入电流 ($\overline{EN}$)	旧芯片	$\overline{EN}$ = 0V	-1	0	1	μA
			$\overline{EN}$ = V_{IN}	-1		1	
		新芯片	$\overline{EN}$ = 0V	-0.75	-0.4	0.02	
			$\overline{EN}$ = 6V	-0.01		0.01	

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

规定 T_J = –40°C 至 125°C、V_{IN} = $V_{OUT(nom)}$ + 1.0V 或 V_{IN} = 2.5V（以较大者为准）、I_{OUT} = 10μA、$\overline{EN}$ = 0V、C_{IN} = 1.0μF、C_{OUT} = 4.7μF（除非另有说明）；典型值在 T_J = 25ºC 条件下测得

参数			测试条件	最小值	典型值	最大值	单位
V_{DO}	压降电压	TPS76928（旧芯片）	I_{OUT} = 50mA		60		mV
			I_{OUT} = 50mA，T_J = –40℃ 至 125℃			125	
			I_{OUT} = 100mA		122		
			I_{OUT} = 100mA，T_J = –40℃ 至 125℃			245	
		TPS76928（新芯片）	I_{OUT} = 50mA		120		
			I_{OUT} = 50mA，T_J = –40℃ 至 125℃			184	
			I_{OUT} = 100mA		150		
			I_{OUT} = 100mA，T_J = –40℃ 至 125℃			218	
		TPS76930（旧芯片）	I_{OUT} = 50mA		57		
			I_{OUT} = 50mA，T_J = –40℃ 至 125℃			115	
			I_{OUT} = 100mA		115		
			I_{OUT} = 100mA，T_J = –40℃ 至 125℃			230	
		TPS76930（新芯片）	I_{OUT} = 50mA		120		
			I_{OUT} = 50mA，T_J = –40℃ 至 125℃			184	
			I_{OUT} = 100mA		150		
			I_{OUT} = 100mA，T_J = –40℃ 至 125℃			218	
		TPS76933（旧芯片）	I_{OUT} = 50mA		48		
			I_{OUT} = 50mA，T_J = –40℃ 至 125℃			100	
			I_{OUT} = 100mA		98		
			I_{OUT} = 100mA，T_J = –40℃ 至 125℃			200	
		TPS76933（新芯片）	I_{OUT} = 50mA		120		
			I_{OUT} = 50mA，T_J = –40℃ 至 125℃			184	
			I_{OUT} = 100mA		150		
			I_{OUT} = 100mA，T_J = –40℃ 至 125℃			218	
		TPS76950（旧芯片）	I_{OUT} = 50mA		35		
			I_{OUT} = 50mA，T_J = –40℃ 至 125℃			85	
			I_{OUT} = 100mA		71		
			I_{OUT} = 100mA，T_J = –40℃ 至 125℃			170	
		TPS76950（新芯片）	I_{OUT} = 50mA		120		
			I_{OUT} = 50mA，T_J = –40℃ 至 125℃			184	
			I_{OUT} = 100mA		150		
			I_{OUT} = 100mA，T_J = –40℃ 至 125℃			218	
V_{UVLO+}	上升辅助电源 UVLO	TPS769（新芯片）	V_{IN} 上升，–40℃ ≤ T_J ≤ 125℃		2.2	2.4	V
V_{UVLO-}	下降辅助电源 UVLO		V_{IN} 下降，–40℃ ≤ T_J ≤ 125℃	1.9	2.07		
$V_{UVLO(HYST)}$	UVLO 迟滞		–40°C ≤ T_J ≤ 125°C		0.130		

5.7 典型特性

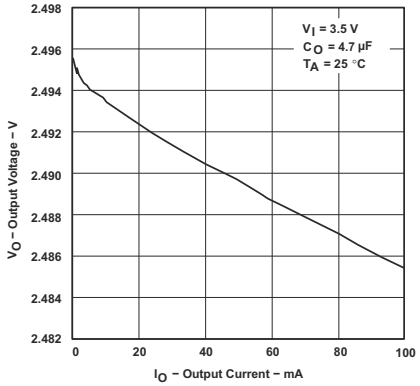


图 5-1. TPS76925 输出电压与输出电流间的关系（旧芯片）

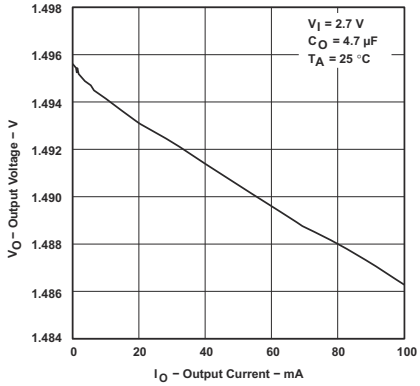


图 5-2. TPS76915 输出电压与输出电流间的关系（旧芯片）

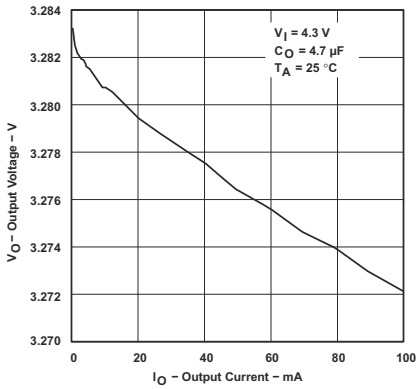


图 5-3. TPS76933 输出电压与输出电流间的关系（旧芯片）

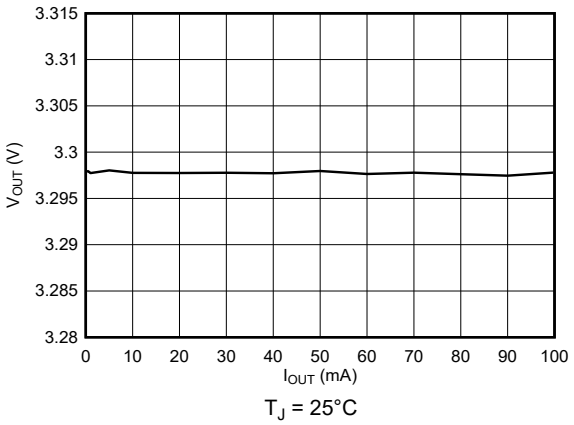


图 5-4. TPS76933 输出电压与输出电流间的关系（新芯片）

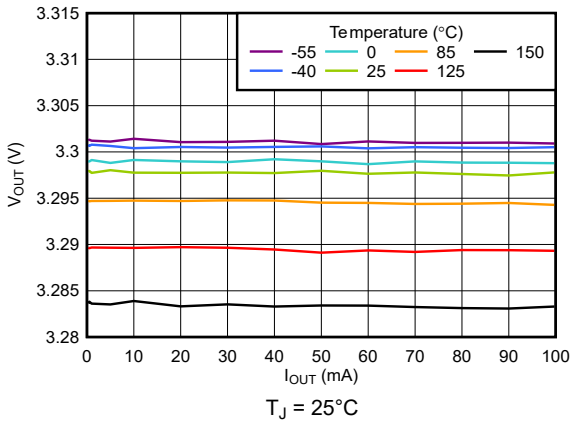


图 5-5. TPS76933 输出电压与输出电流间的关系（新芯片）

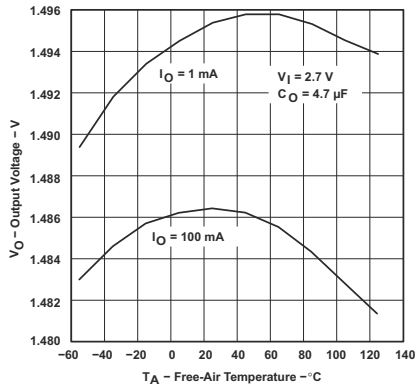


图 5-6. TPS76915 输出电压与自然通风温度间的关系（旧芯片）

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

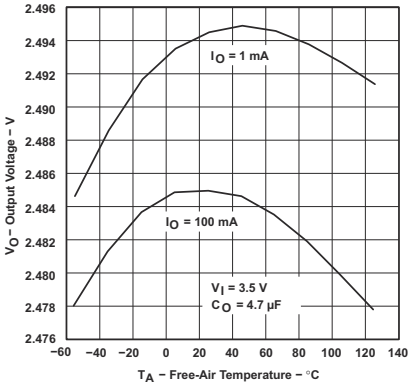


图 5-7. TPS76925 输出电压与自然通风温度间的关系（旧芯片）

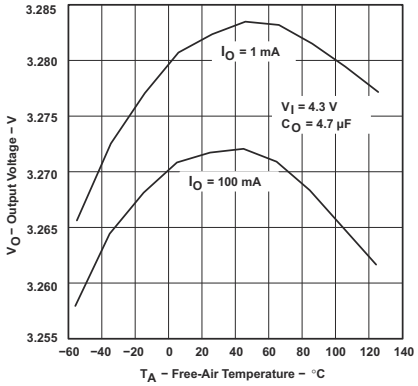


图 5-8. TPS76933 输出电压与自然通风温度间的关系（旧芯片）

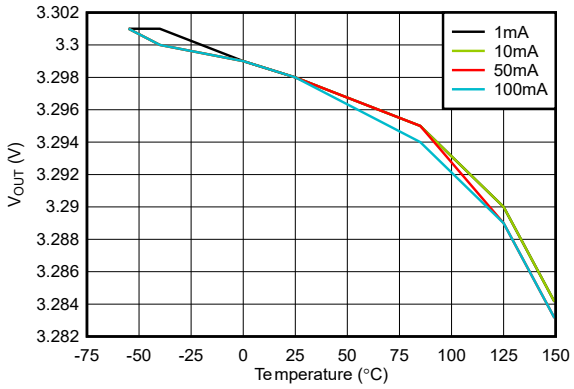


图 5-9. TPS76933 输出电压与自然通风温度间的关系（新芯片）

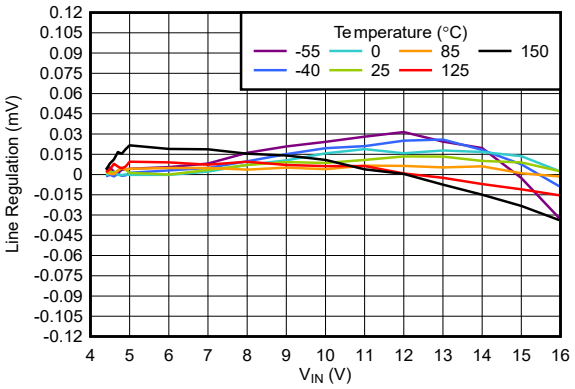


图 5-10. TPS76933 线性调整率与自然通风温度间的关系（新芯片）

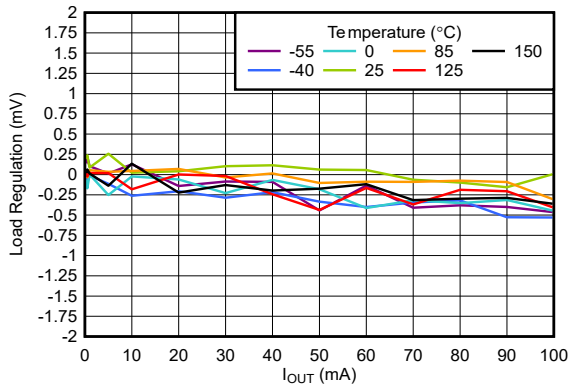


图 5-11. TPS76933 负载调整率与自然通风温度间的关系（新芯片）

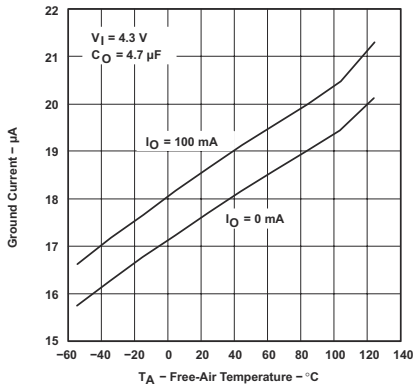


图 5-12. TPS76933 接地电流与自然通风温度间的关系（旧芯片）

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

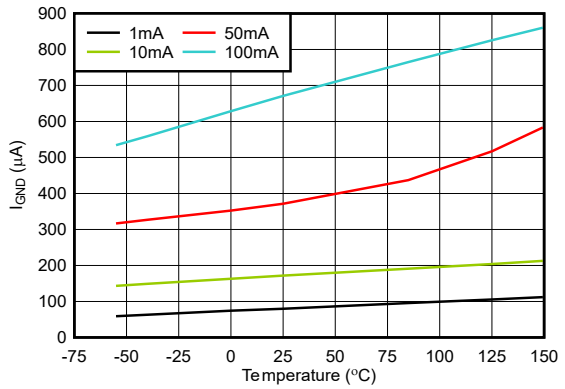


图 5-13. TPS76933 接地电流与自然通风温度间的关系（新芯片）

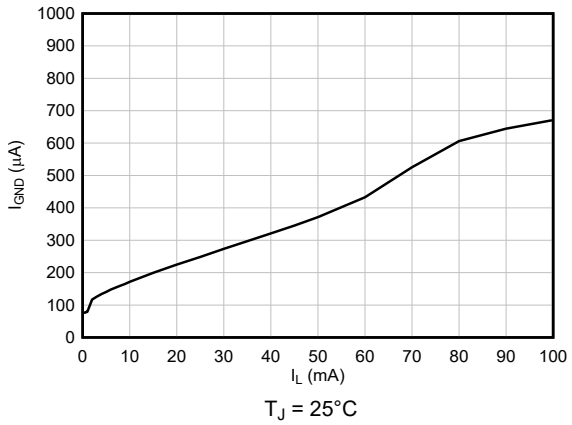


图 5-14. TPS76933 接地电流与输出电流间的关系（新芯片）

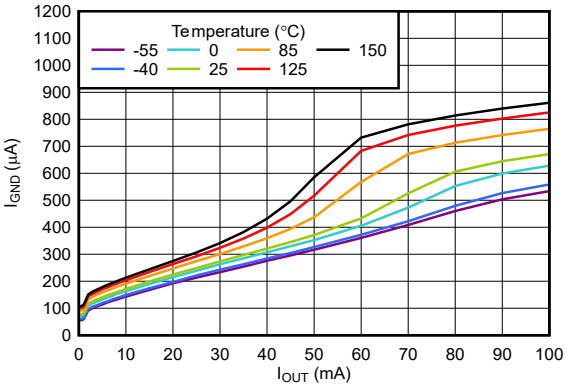


图 5-15. TPS76933 接地电流与输出电流间的关系（新芯片）

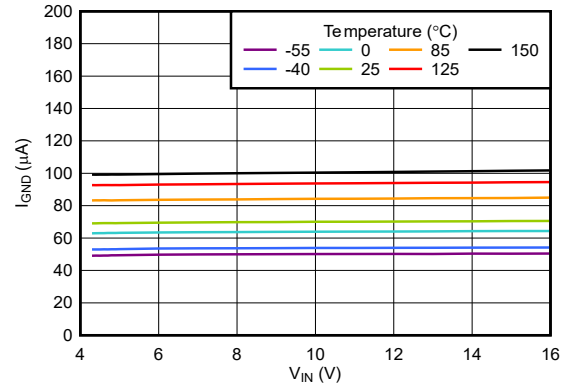


图 5-16. TPS76933 接地电流与输入电源间的关系（新芯片）

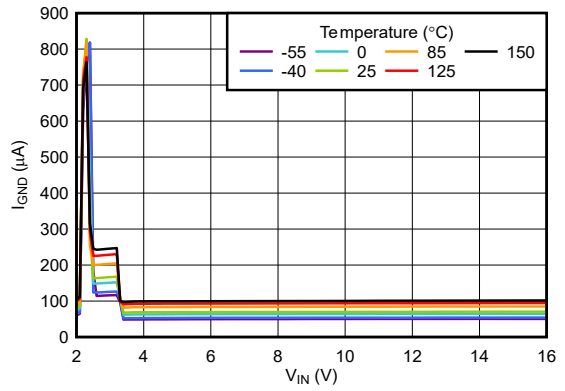


图 5-17. TPS76933 接地电流与输入电源间的关系（新芯片）

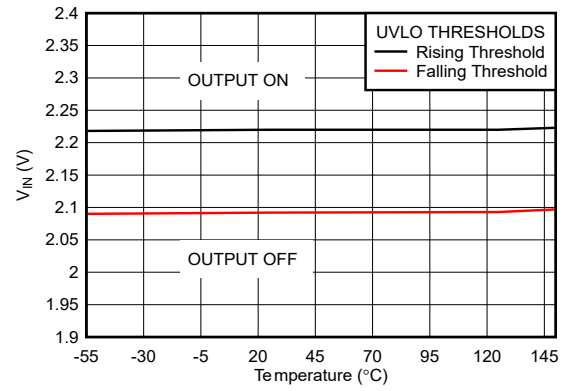


图 5-18. TPS76933 UVLO 阈值与自然通风温度间的关系（新芯片）

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

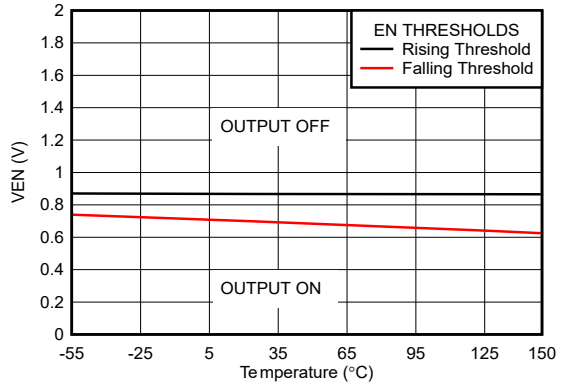


图 5-19. TPS76933 EN 阈值与自然通风温度间的关系（新芯片）

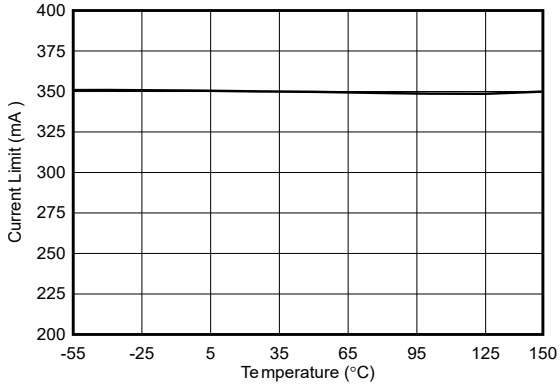


图 5-20. TPS76933 电流限制与自然通风温度间的关系（新芯片）

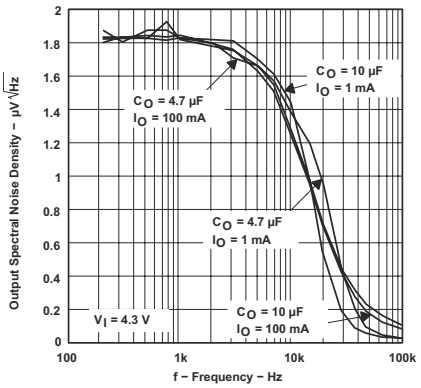


图 5-21. TPS76933 输出频谱噪声密度与频率间的关系（旧芯片）

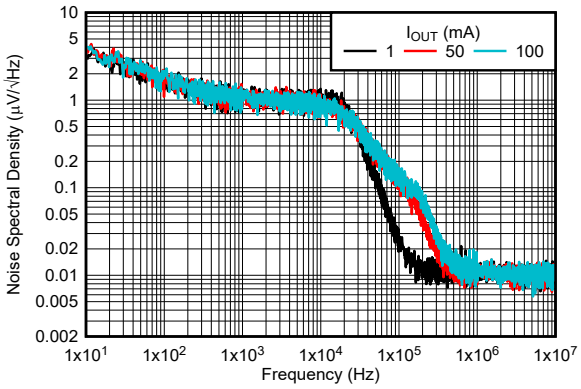


图 5-22. TPS76933 输出频谱噪声密度与输出电流间的关系（新芯片）

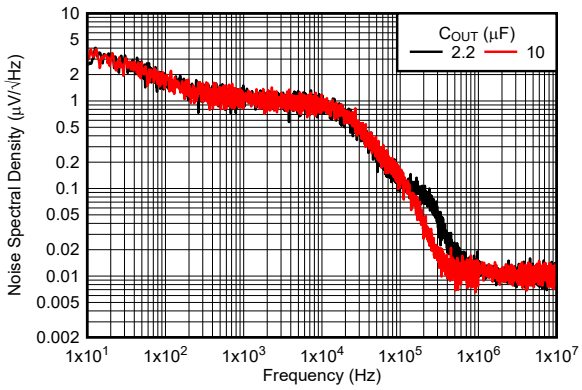


图 5-23. TPS76933 输出频谱噪声密度与输出电容器间的关系（新芯片）

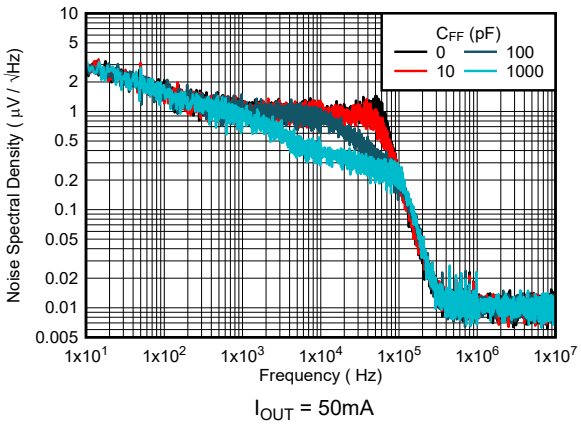


图 5-24. TPS76901 输出频谱噪声密度与前馈电容器间的关系（新芯片）

5.7 典型特性（续）

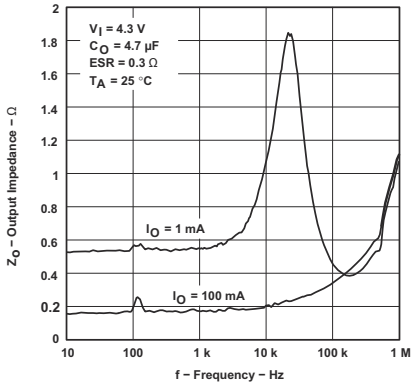


图 5-25. 输出阻抗与频率间的关系（旧芯片）

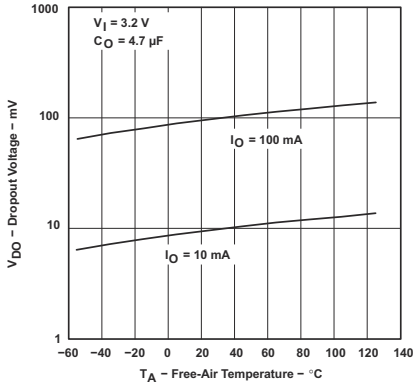


图 5-26. TPS76933 压降电压与自然通风温度间的关系（旧芯片）

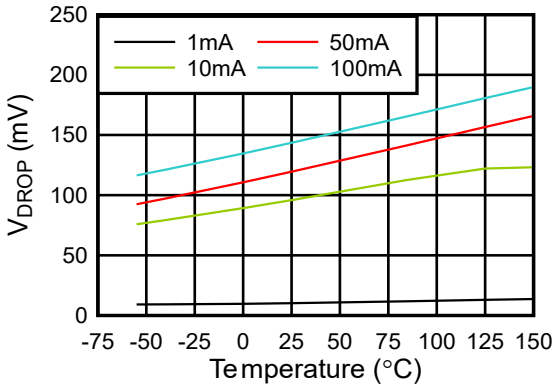


图 5-27. TPS76933 压降电压与自然通风温度间的关系（新芯片）

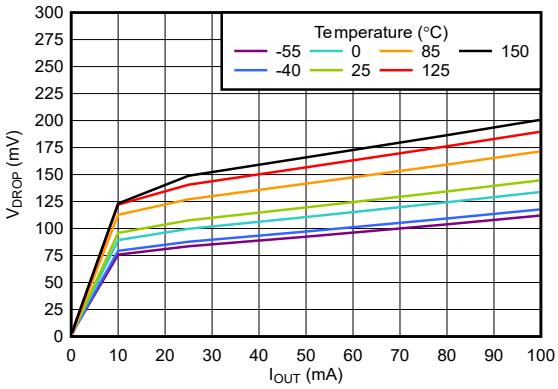


图 5-28. TPS76933 压降电压与输出电流间的关系（新芯片）

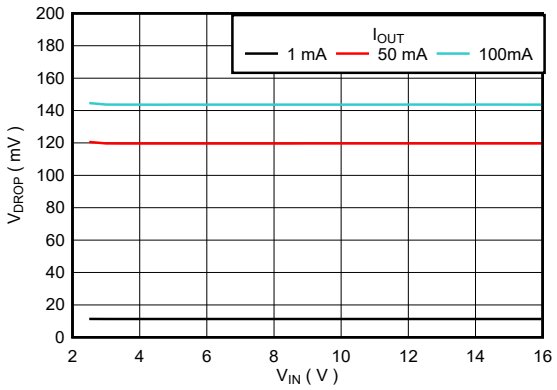


图 5-29. TPS76901 压降电压与输入电源间的关系（新芯片）

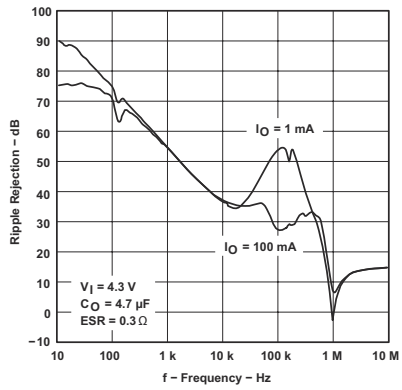


图 5-30. TPS76933 纹波抑制与频率间的关系（旧芯片）

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

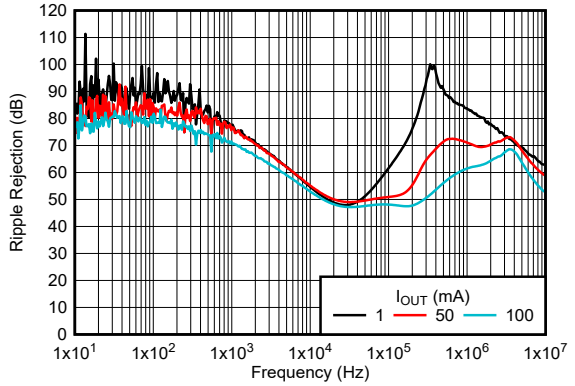


图 5-31. TPS76933 纹波抑制与输出电流间的关系（新芯片）

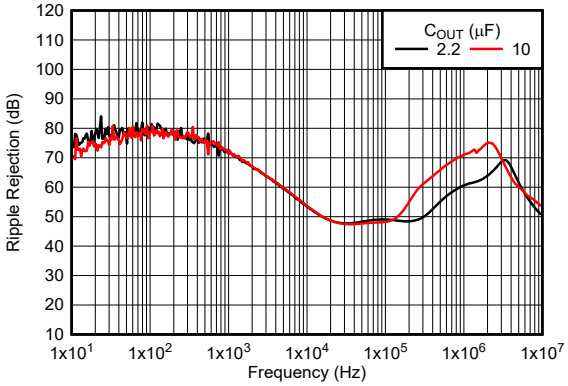


图 5-32. TPS76933 纹波抑制与输出电容器间的关系（新芯片）

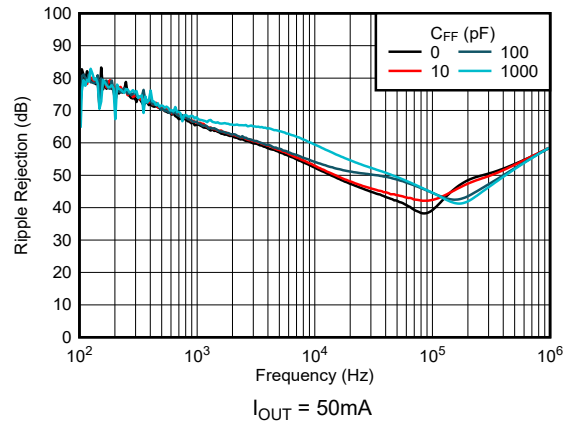


图 5-33. TPS76901 纹波抑制与前馈电容器间的关系（新芯片）

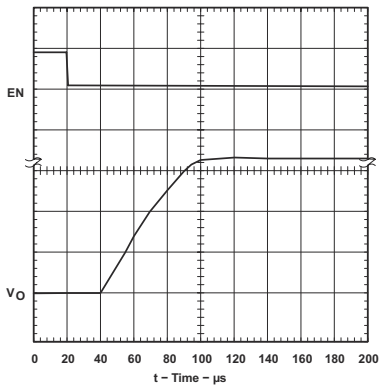


图 5-34. LDO 启动时间（旧芯片）

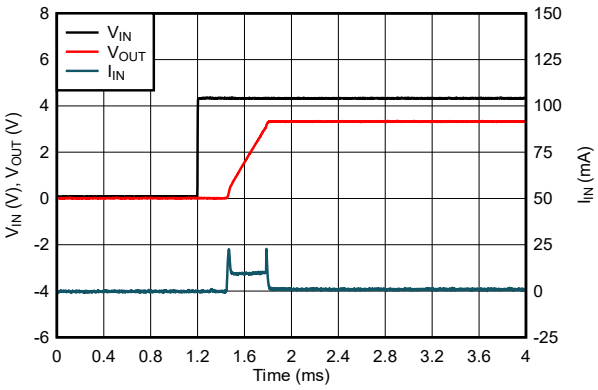


图 5-35. 采用输入电源时的 LDO 启动时间（新芯片）

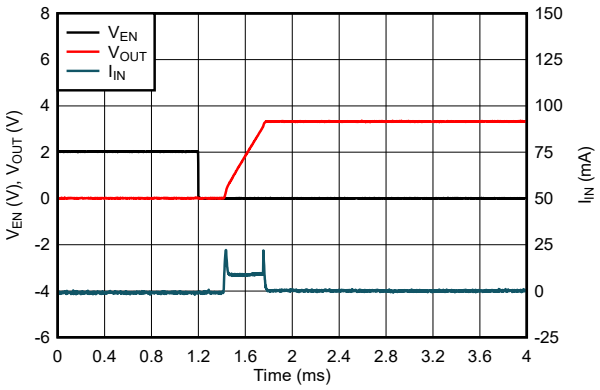


图 5-36. 采用 EN 时的 LDO 启动时间（新芯片）

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

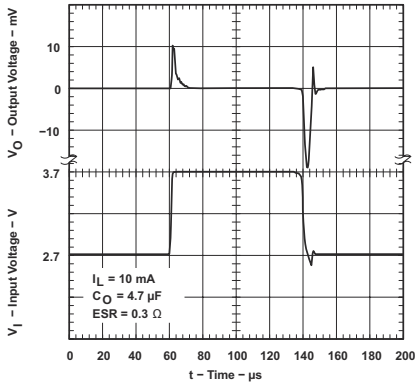


图 5-37. TPS76915 线路瞬态响应（旧芯片）

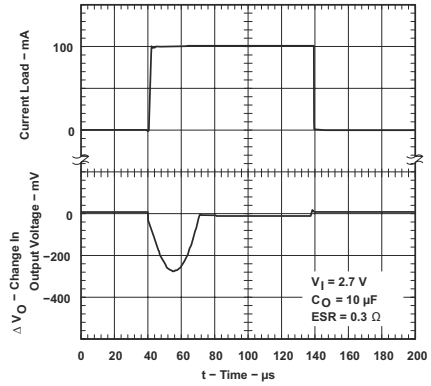


图 5-38. TPS76915 负载瞬态响应（旧芯片）

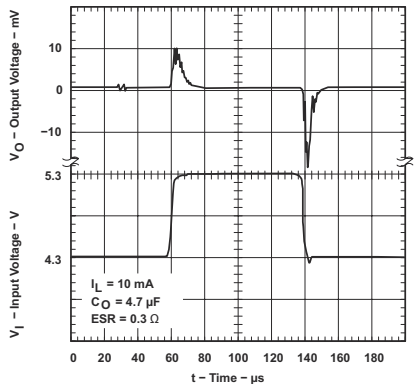
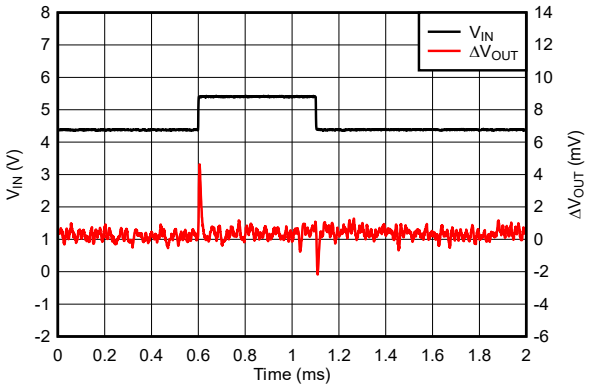
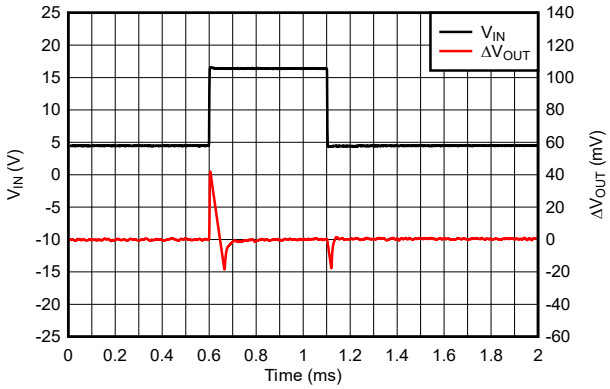


图 5-39. TPS76933 线路瞬态响应（旧芯片）



1V/µs 时为 4.3V 至 5.3V

图 5-40. TPS76933 线路瞬态响应（新芯片）



1V/µs 时为 4.3V 至 16.0V

图 5-41. TPS76933 线路瞬态响应（新芯片）

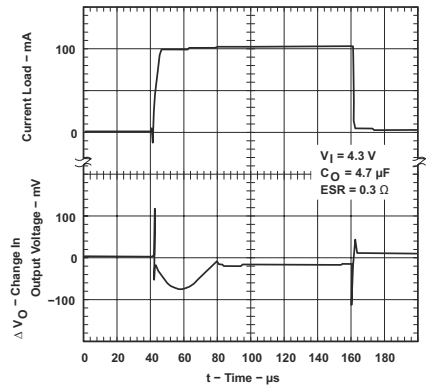
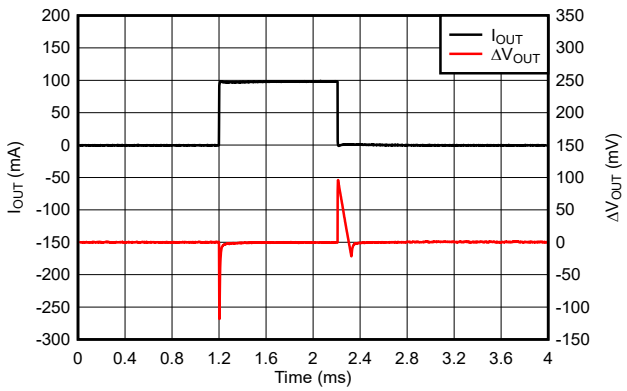


图 5-42. TPS76933 负载瞬态响应（旧芯片）

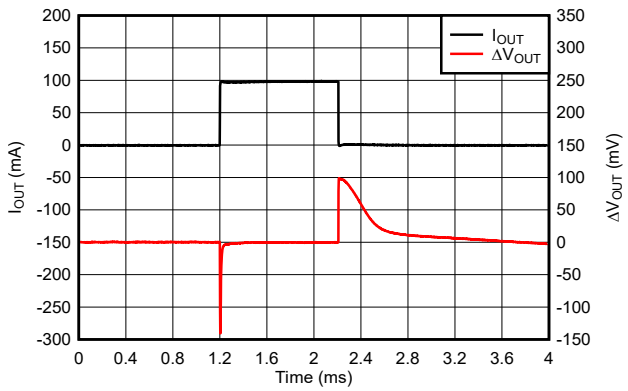
Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）



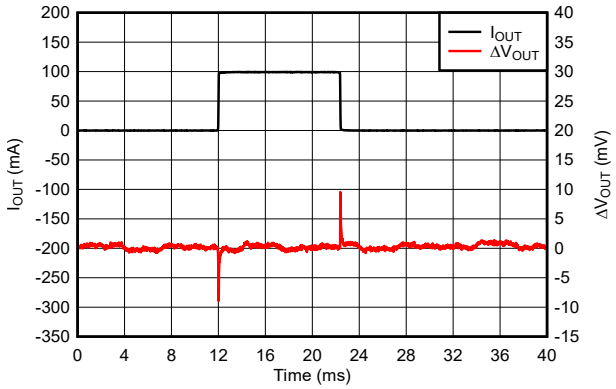
1A/μs 时为 1mA 至 100mA

图 5-43. TPS76933 负载瞬态响应（新芯片）



1A/μs 时为 1μA 至 100mA

图 5-44. TPS76933 负载瞬态响应（新芯片）



1mA/μs 时为 1mA 至 100mA

图 5-45. TPS76933 负载瞬态响应（新芯片）

5.8 典型特性：支持的 ESR 范围

等效串联电阻 (ESR) 是指总串联电阻。该电阻包括电容器的 ESR、外部添加的任何串联电阻以及 C_O 的 PCB 布线电阻。

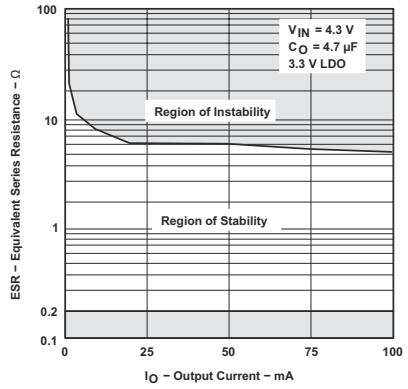


图 5-46. TPS76933 典型稳定性 ESR 区域与输出电流间的关系（旧芯片）

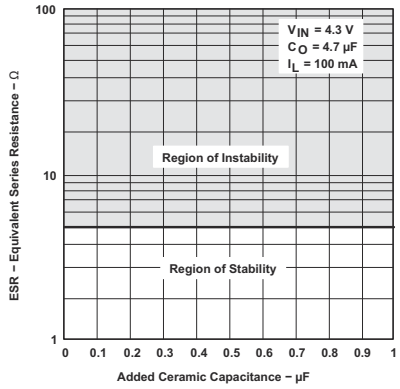


图 5-47. TPS76933 典型稳定性 ESR 区域与添加的陶瓷电容间的关系（旧芯片）

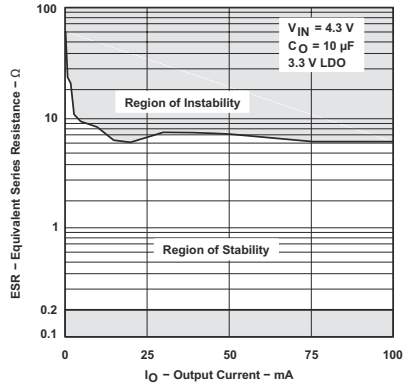


图 5-48. TPS76933 典型稳定性 ESR 区域与输出电流间的关系（旧芯片）

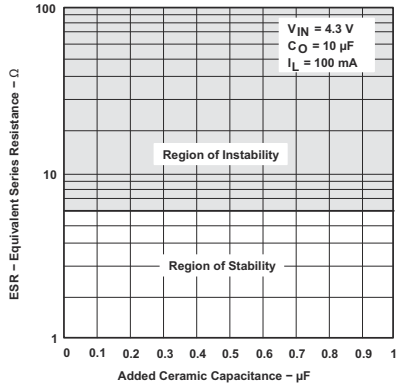


图 5-49. TPS76933 典型稳定性 ESR 区域与添加的陶瓷电容间的关系（旧芯片）

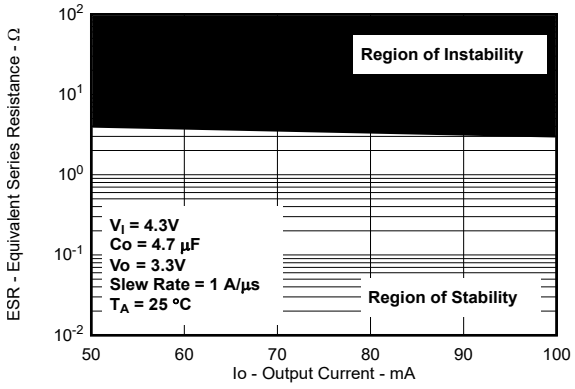


图 5-50. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

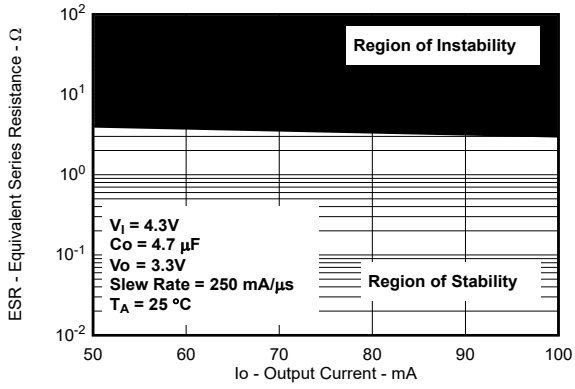


图 5-51. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性：支持的 ESR 范围（续）

等效串联电阻 (ESR) 是指总串联电阻。该电阻包括电容器的 ESR、外部添加的任何串联电阻以及 C_O 的 PCB 布线电阻。

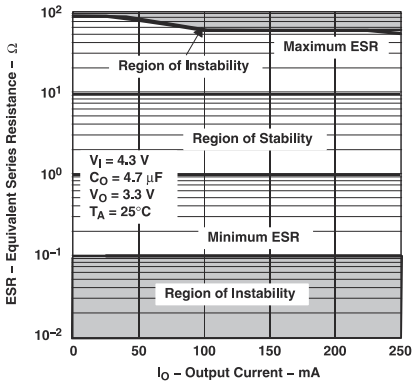


图 5-52. 典型稳定性 ESR 区域与输出电流间的关系（旧芯片）

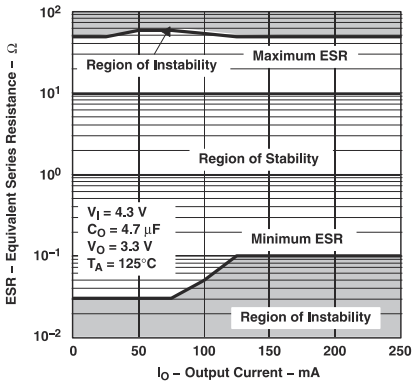


图 5-53. 典型稳定性 ESR 区域与输出电流间的关系（旧芯片）

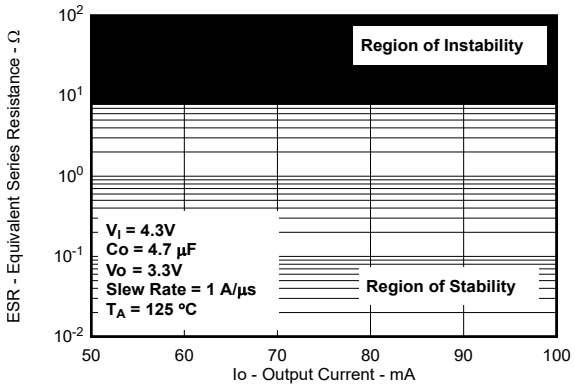


图 5-54. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

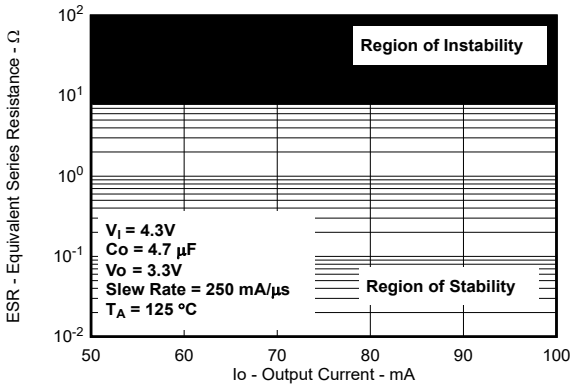


图 5-55. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

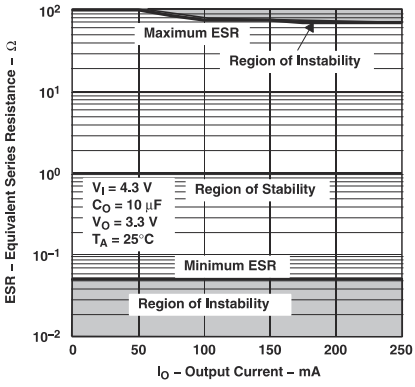


图 5-56. 典型稳定性 ESR 区域与输出电流间的关系（旧芯片）

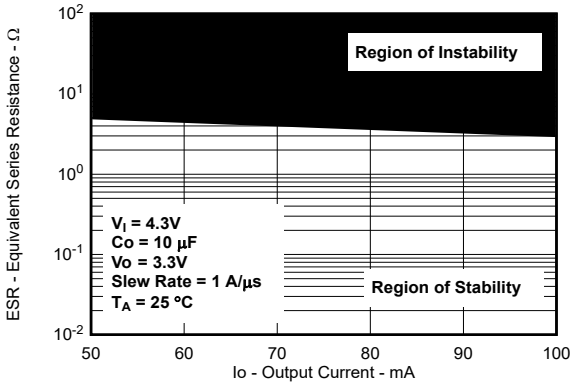


图 5-57. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性：支持的 ESR 范围（续）

等效串联电阻 (ESR) 是指总串联电阻。该电阻包括电容器的 ESR、外部添加的任何串联电阻以及 C_O 的 PCB 布线电阻。

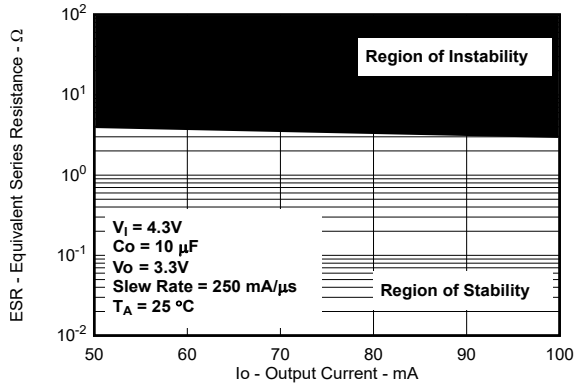


图 5-58. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

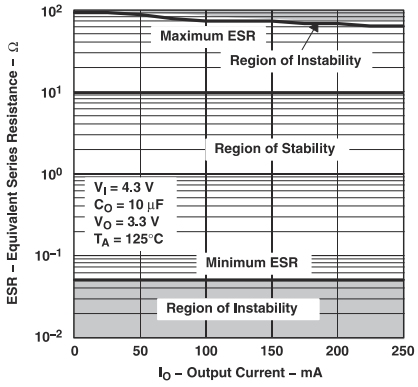


图 5-59. 典型稳定性 ESR 区域与输出电流间的关系（旧芯片）

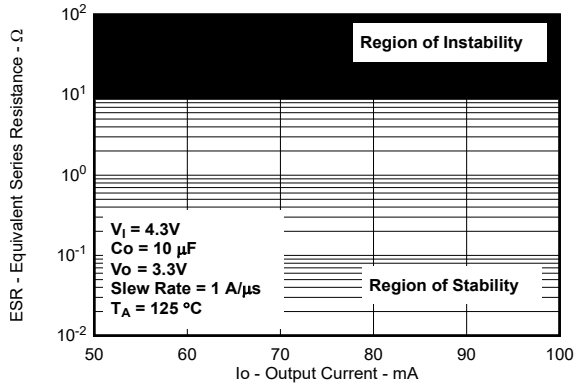


图 5-60. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

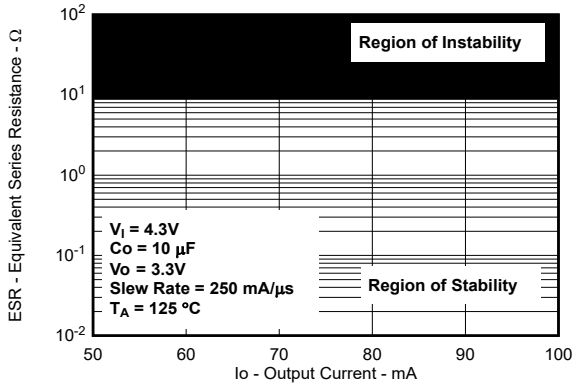


图 5-61. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

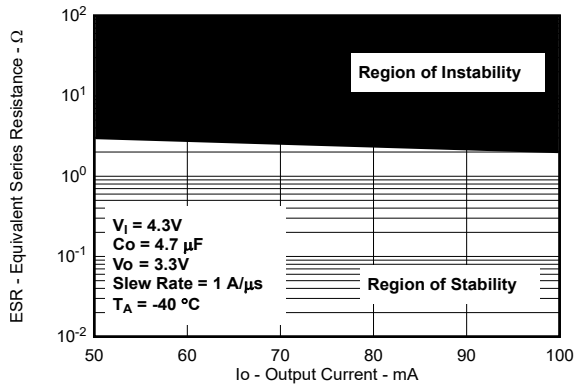


图 5-62. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

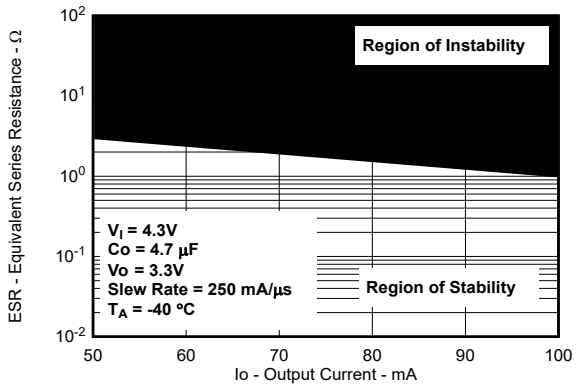


图 5-63. 典型稳定性 ESR 区域与输出电流间的关系（旧芯片）

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性：支持的 ESR 范围（续）

等效串联电阻 (ESR) 是指总串联电阻。该电阻包括电容器的 ESR、外部添加的任何串联电阻以及 C_O 的 PCB 布线电阻。

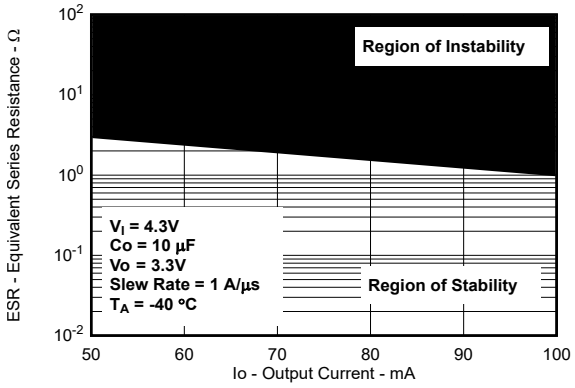


图 5-64. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

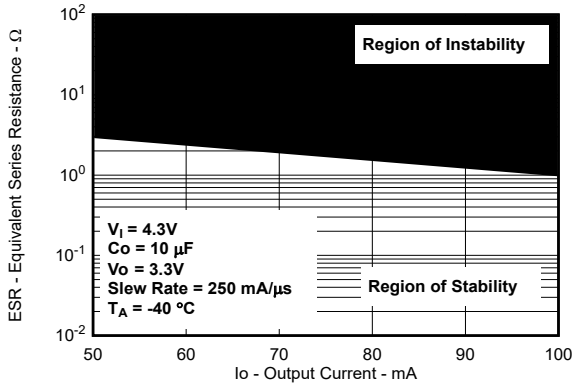


图 5-65. 典型稳定性 ESR 区域与输出电流间的关系（新芯片）

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS769 是一款低静态电流、高 PSRR、低压降 (LDO) 稳压器，能够处理高达 100mA 的负载电流。TPS769 经过优化，可用于电池供电和汽车应用。

TPS769 具有集成的过流限制、热关断、输出使能、内部输出下拉和欠压锁定（UVLO，对于新芯片）功能。该器件提供出色的线路和负载瞬态性能，并支持宽范围的 ESR（对于新芯片高达 2Ω）。该器件的工作环境温度范围为 –40°C 至 +125°C。

6.2 功能方框图

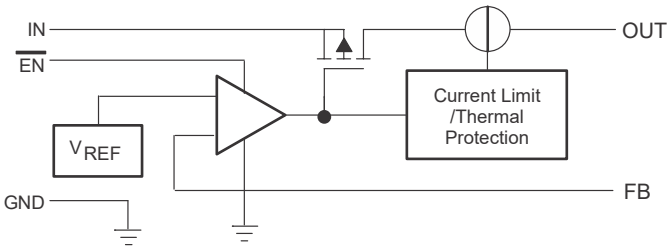


图 6-1. TPS76901 功能方框图（旧芯片）

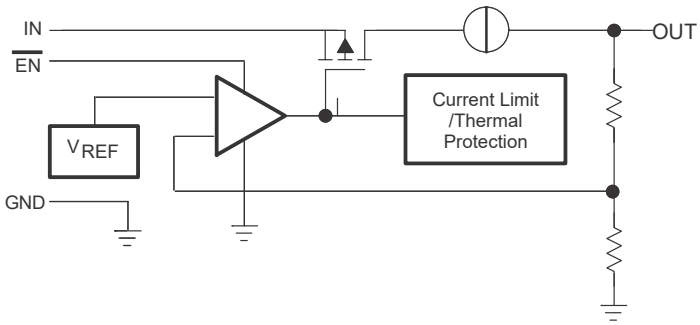


图 6-2. TPS769 功能方框图（旧芯片）

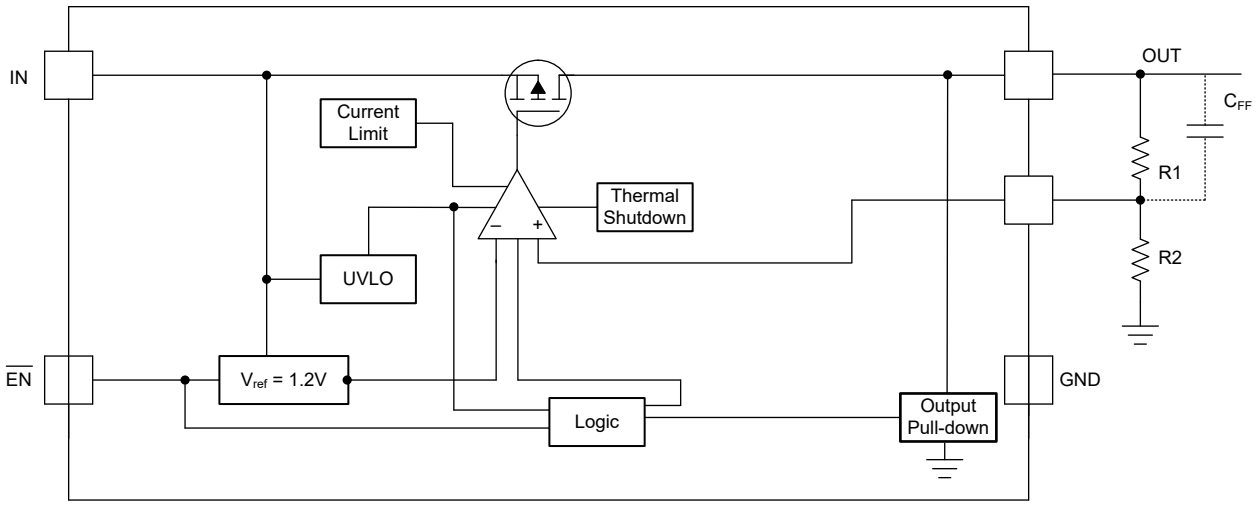


图 6-3. TPS76901 可调节功能方框图（新芯片）

Copyright © 2025 Texas Instruments Incorporated

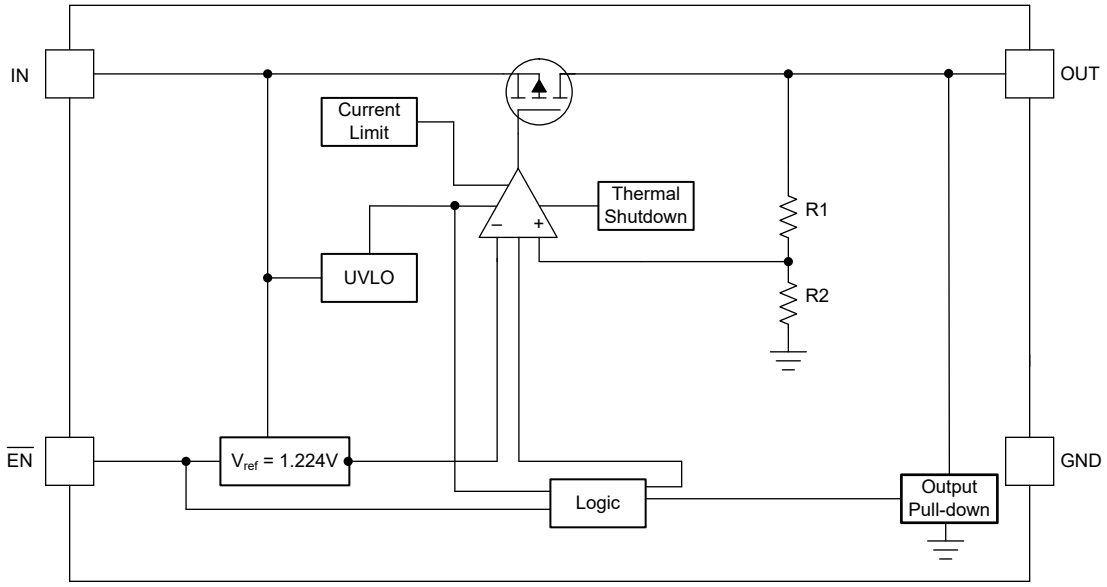


图 6-4. TPS769 固定功能方框图（新芯片）

6.3 特性说明

6.3.1 输出使能

器件的使能引脚是低电平有效引脚。当使能引脚的电压低于 $\overline{EN}$ 引脚的低电平输入电压时，将启用输出电压。当使能引脚电压高于 $\overline{EN}$ 引脚的高电平输入电压时，输出电压被禁用。如果不需要 $\overline{EN}$ 功能，请将使能引脚连接到器件的 GND。

对于新芯片，$\overline{EN}$ 引脚上有一个内部上拉电流。因此，将 $\overline{EN}$ 引脚悬空。如果 $\overline{EN}$ 引脚保持悬空，则禁用 LDO。

在新芯片中，器件具有一个内部输出下拉电路，该电路会在器件被禁用时激活，以便主动对输出电压进行放电。更多信息请参阅*输出下拉电阻*部分。

6.3.2 压降电压

压降电压 (V_{DO}) 定义为额定输出电流 (I_{RATED}) 下的 V_{IN} – V_{OUT} 之差，此时，导通晶体管完全导通。V_{IN} 是输入电压、V_{OUT} 是输出电压、I_{RATED} 是*建议运行条件*表中列出的最大 I_{OUT}。在该运行点，导通晶体管驱动为完全导通。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 电流限值

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。*电气特性*表中列出了 I_{CL}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。更多有关电流限制的信息，请参阅*了解限制*应用手册。

图 6-5 展示了电流限制图。

Copyright © 2025 Texas Instruments Incorporated

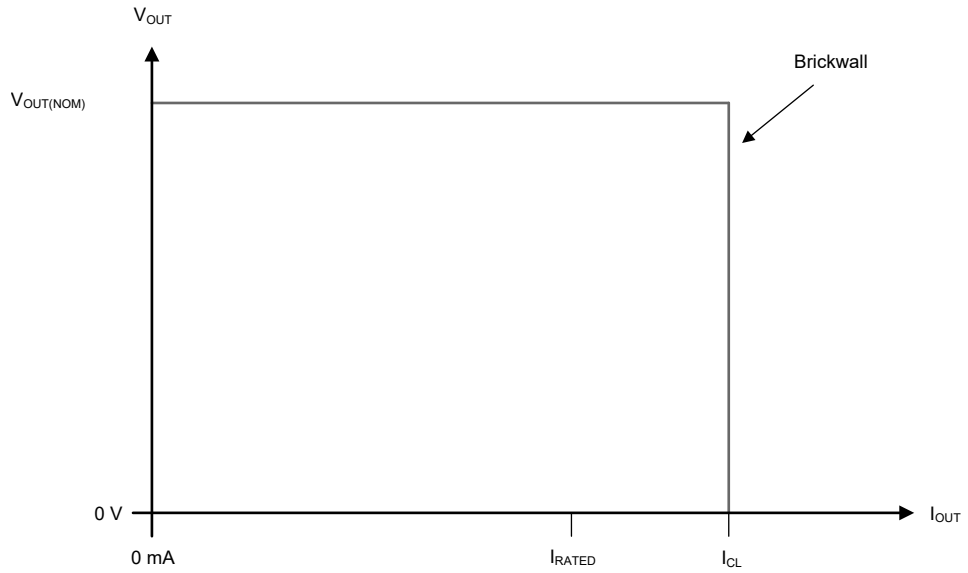


图 6-5. 电流限值

6.3.4 欠压锁定 (UVLO)

该器件具有一个独立的欠压锁定 (UVLO) 电路，用于监控输入电压。因此，可实现受控且一致的输出电压导通和关断。UVLO 电路具有迟滞功能，可防止器件在导通期间输入下降时关闭。

6.3.5 输出下拉电阻

此器件（新芯片）有一个输出下拉电路。在以下情况下会激活输出下拉电路：

- 器件与 $\overline{EN}$ 逻辑一同禁用
- $1.0V < V_{IN} < V_{UVLO}$

如 *电气特性* 表中所列，该器件的输出下拉电阻为 1.5kΩ（典型值）。

反向电流从输出端流至输入端。因此，不要依赖输出下拉电路在输入电源崩溃后释放大量输出电容。这种反向电流会导致器件损坏。更多详细信息，请参阅*反向电流* 部分。

Copyright © 2025 Texas Instruments Incorporated

6.3.6 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞可确保在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以上电下电，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在 *建议运行条件* 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅 *电气特性* 表。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} < V_{EN(LOW)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} < V_{EN(LOW)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{EN} > V_{EN(HI)}$	不适用	$T_J > T_{SD(shutdown)}$

6.4.1 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)。
- 来自 OUT 的电流小于电流限制 ($I_{OUT} < I_{CL(OUT)}$)。
- 器件结温低于热关断温度 ($T_J < T_{SD}$)。
- 使能电压先前已经落后于使能低电平阈值电压，而且尚未上升到高于使能高电平阈值。或者，$\overline{EN}$ 引脚接地。

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。在此模式下，输出电压会跟踪输入电压。在此模式下，器件的瞬态性能会显著下降。在此模式下，导通晶体管驱动为完全导通。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态时，导通晶体管驱动为完全导通。此状态定义为器件直接在正常稳压状态后，而*非*启动期间处于压降状态。当 $V_{IN} < V_{OUT(NOM)} + V_{DO}$ 时，发生压降。当稳压器退出压降状态时，输入电压恢复为 $\geqslant V_{OUT(NOM)} + V_{DO}$ 的值。在此期间，输出电压可能会在短时间内过冲。$V_{OUT(NOM)}$ 是标称输出电压，V_{DO} 是压降电压。在退出压降状态期间，该器件使导通晶体管从完全导通状态恢复。

6.4.3 禁用

通过强制使能引脚的电压低于最大 EN 引脚低电平输入电压，可以关断器件的输出（请参阅 *电气特性* 表）。禁用时，导通晶体管关断，内部电路关断。输出电压还通过从输出端到接地端的内部放电电路对地主动放电。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

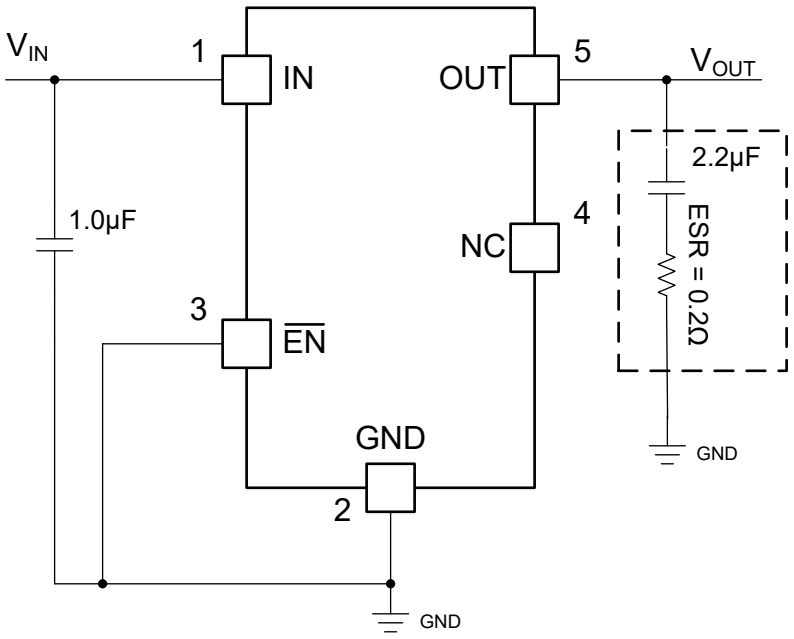
备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

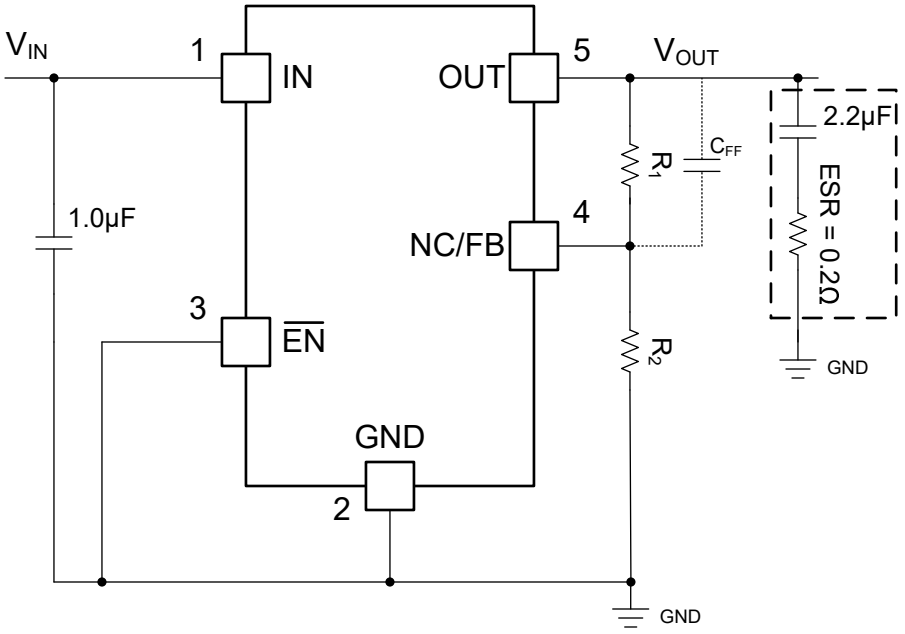
TPS769 低压降 (LDO) 稳压器经过优化，适用于电池供电类设备。该器件具有极低压降电压、低静态电流（额定值为 55 µA，新芯片）和使能输入。当稳压器关闭时，使能输入可将电源电流减小至 1 µA。

7.2 典型应用



仅适用于固定输出电压选项。

图 7-1. 典型应用电路（固定电压选项）



仅适用于可调节输出电压选项。虚线表示可选的 C_{FF} 电容器（新芯片）。请参阅*前馈电容器 (C_{FF})* 部分。

图 7-2. 典型应用电路（可调节电压选项）

表 7-1 列出了可调节电压版本的 R_1 和 R_2 电阻值。

表 7-1. 电阻器 R_1 和 R_2 的可调节输出电压

输出电压	R_1 (kΩ)	R_2 (kΩ)
2.5V	174	169
3.3V	287	169
3.6V	324	169
4.0V	383	169
5.0V	523	169

Copyright © 2025 Texas Instruments Incorporated

7.2.1 设计要求

表 7-2 列出了此示例的设计参数。

表 7-2. 设计参数

参数	示例值
输入电压范围	4V 至 10V
输出电压	2.5V 至 5V
输出电流额定值	100mA
输出电容器	4.7µF 至 10 µ F
输出电容器 ESR 范围	200mΩ 至 2Ω

7.2.2 详细设计过程

7.2.2.1 可调器件反馈电阻器

可调版本的器件需要外部反馈分压电阻器来设置输出电压。V_{OUT} 根据以下公式使用反馈分压电阻 R_1 和 R_2 进行设置：

$$V_{OUT} = V_{REF} \times (1 + R_1 / R_2) \quad (2)$$

其中：

- 内部基准电压的 V_{REF} = 1.205V（典型值）（对于新芯片）

为了忽略 V_{OUT} 公式中的 FB 引脚电流误差项，请将反馈分压器电流设置为 FB 引脚电流的 100 倍。 *电气特性* 表中列出了该电流。该设置提供了最大反馈分压器串联电阻，如以下公式所示：

$$R_1 + R_2 \leqslant V_{OUT} / (I_{FB} \times 100) \quad (3)$$

在表 7-1 中，为不同输出电压选项提供了 R_1 和 R_2 值示例，其中反馈分压器电流设计为 7 µ A。

7.2.2.2 建议的电容器类型

该器件（新芯片）设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这类应用的业界标准并推荐使用，但要经过良好的判断后使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性。但是，由于电容变化较大，因此不建议使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。通常，预计有效电容会降低多达 50%。 *建议运行条件* 表中列出的输入和输出电容器的有效电容大约为标称值的 50%。

7.2.2.3 输入和输出电容器要求

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果源阻抗大于 0.5Ω，请使用输入电容器。如果预计会有较大且快速的上升时间负载或线路瞬变，请使用更高容值的电容。此外，如果器件距离输入电源几英寸，请使用容值更高的电容器。

与大多数低压降稳压器一样，TPS769 需要在 OUT 和 GND 之间连接一个输出电容器，以稳定内部控制环路。

对于旧芯片，该器件需要在 OUT 和 GND 之间连接一个输出电容器，以稳定内部控制环路。建议的最小电容为 4.7µF。确保电容器的等效串联电阻 (ESR) 介于 0.2Ω 和 10Ω 之间，以提供稳定性。大于 4.7µF 的电容值是可接受的，并且允许使用更小的 ESR 值。不建议使用小于 4.7µF 的电容，因为这些元件需要仔细选择 ESR 来提供稳定性。固态钽电解电容器、铝电解电容器和多层陶瓷电容器都适用，前提是这些电容器满足所述的要求。市售 4.7µF 表面贴装固态钽电容器（包括 Sprague、Kemet 和 Nichico 的器件）大多符合上述 ESR 要求。多层陶瓷电容器可能具有非常小的等效串联电阻，因此需要添加一个低值串联电阻器来提供稳定性。

Copyright © 2025 Texas Instruments Incorporated

对于新芯片，该器件被设计为在输入和输出端使用低 ESR 陶瓷电容器实现稳定性。最小建议电容值为 2.2 µF，ESR 范围高达 2 Ω。支持的 ESR 范围取决于输出电容、工作结温和负载电流条件。*典型特性：支持的 ESR 范围* 介绍了在支持的负载电流范围内、与整个温度范围内的输出电容相关的支持的 ESR 范围。

通过使用输出电容器来提升器件的动态性能。为确保稳定性，请使用 *建议运行条件* 表中指定范围内的输出电容器。

7.2.2.4 反向电流

反向电流过大可能会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leq V_{IN}$ + 0.3V 的绝对最大额定值。

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，请使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则使用外部限制。

图 7-3 展示了保护器件的一种方法。

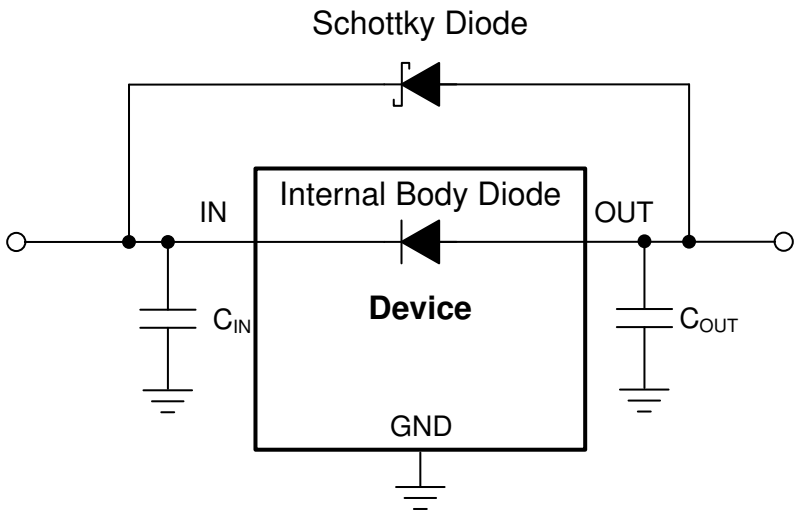


图 7-3. 使用肖特基二极管的反向电流保护示例电路

7.2.2.5 前馈电容器 (C_{FF})

对于可调节电压版本器件，将前馈电容器 (C_{FF}) 从 OUT 引脚连接到 FB 引脚。C_{FF} 可改善瞬态、噪声和 PSRR 性能，但不是实现稳压器稳定性所必需的。*建议运行条件* 表中列出了建议的 C_{FF} 值。如果使用更高的电容 C_{FF}，启动时间会增加。有关 C_{FF} 权衡的详细说明，请参阅 *使用前馈电容器和低压降稳压器的优缺点* 应用手册。

C_{FF} 和 R_1 在频率 f_Z 处的环路增益中形成一个零点。C_{FF}、R_1 和 R_2 在频率 f_P 处的环路增益中形成一个极点。通过以下公式计算 C_{FF} 零点和极点频率：

$$f_Z = 1 / (2 \times \pi \times C_{FF} \times R_1) \quad (4)$$

$$f_P = 1 / (2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)) \quad (5)$$

如果反馈分压器电流小于 5 µA，则需要 $C_{FF} \geq$ 10pF 才能保持稳定。以下公式用于计算反馈分压器电流。

$$I_{FB_Divider} = V_{OUT} / (R_1 + R_2) \quad (6)$$

Copyright © 2025 Texas Instruments Incorporated

为避免 C_{FF} 导致启动时间增加，请将产品 $C_{FF} \times R_1$ 限制在 50µs 以下。

对于 FB 引脚连接至 OUT 引脚时的输出电压 1.2V（对于新芯片），不使用 C_{FF}。

7.2.2.6 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。在稳压器周围的 PCB 区域放置少量或不放置其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (7)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域包含一组镀通孔，这些通孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。功率耗散和结温通常与 PCB 和器件封装组合的 $R_{\theta JA}$ 和环境空气温度 (T_A) 有关。$R_{\theta JA}$ 是结至环境热阻。以下公式可计算此关系。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (8)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，$R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。*热性能信息（新芯片）* 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定。$R_{\theta JA}$ 用作封装热性能的相对测量值。通过优化 PCB 电路板布局布线，与 *热性能信息（新芯片）* 表中的值相比，$R_{\theta JA}$ 提高了 35% 至 55%。有关更多信息，请参阅 *电路板布局布线对 LDO 热性能影响的经验分析* 应用手册。

7.2.2.7 估算结温

JEDEC 现在建议使用 psi (Ψ)热指标。这些指标估算了在典型 PCB 电路板应用的电路中的线性稳压器结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。*热性能信息（新芯片）* 表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \quad (9)$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

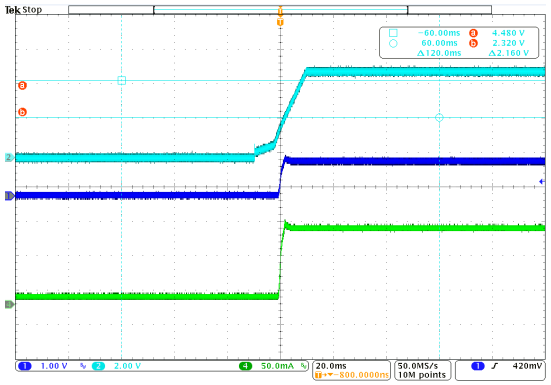
$$T_J = T_B + \psi_{JB} \times P_D \quad (10)$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

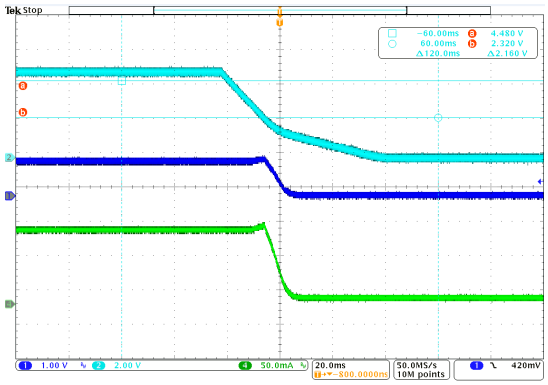
有关热指标及其使用方法的详细信息，请参阅 *半导体和 IC 封装热指标* 应用手册。

7.2.3 应用曲线



通道 1 = V_{OUT}，通道 2 = V_{IN}，通道 4 = I_{OUT}

图 7-4. 上电波形（旧芯片）



通道 1 = V_{OUT}，通道 2 = V_{IN}，通道 4 = I_{OUT}

图 7-5. Pow

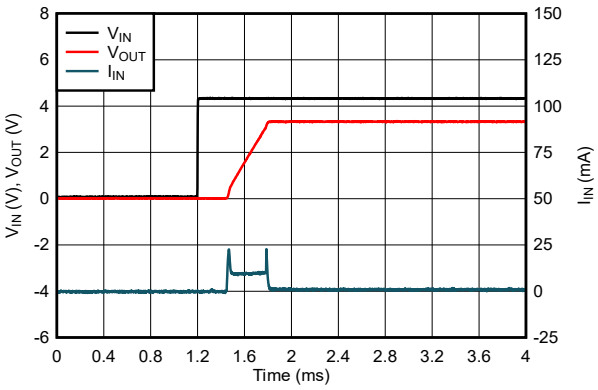


图 7-6. 采用输入电源时的 LDO 启动时间（新芯片）

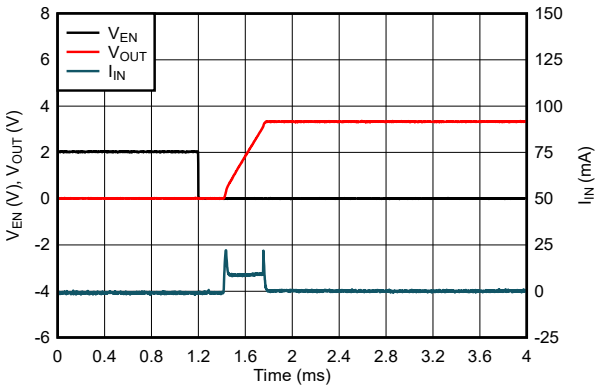


图 7-7. 采用 EN 时的 LDO 启动时间（新芯片）

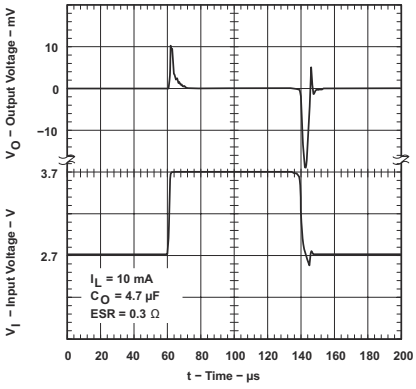


图 7-8. TPS76915 线路瞬态响应（旧芯片）

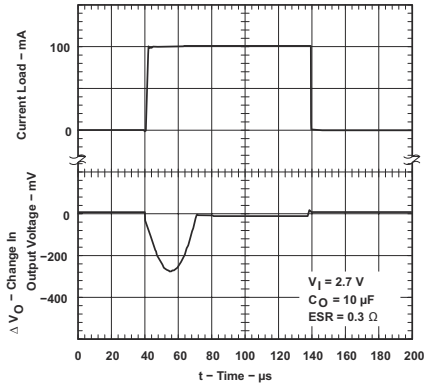


图 7-9. TPS76915 负载瞬态响应（旧芯片）

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线（续）

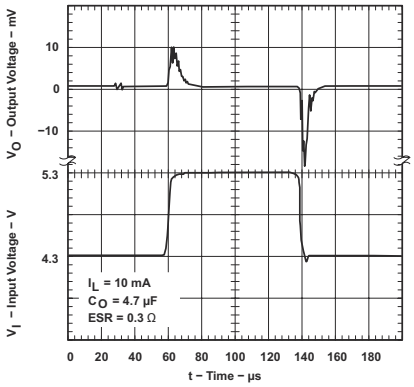
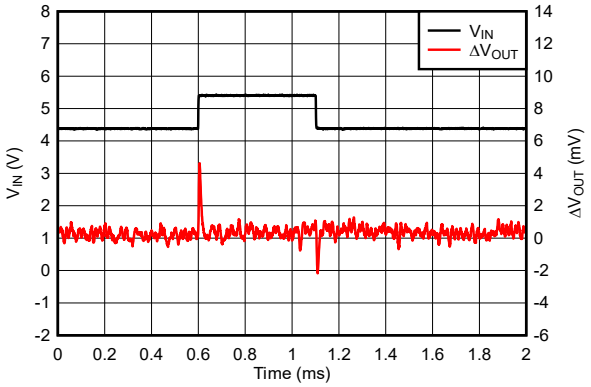
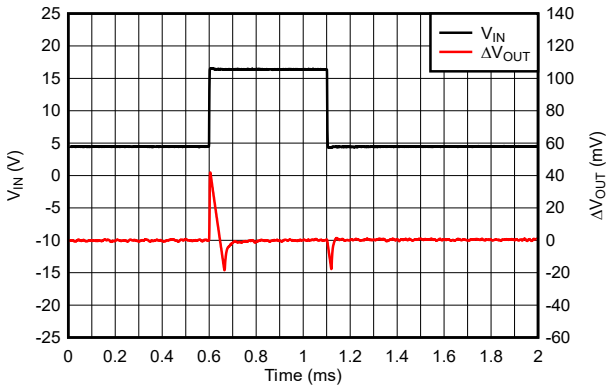


图 7-10. TPS76933 线路瞬态响应（旧芯片）



1V/µs 时为 4.3V 至 5.3V

图 7-11. TPS76933 线路瞬态响应（新芯片）



1V/µs 时为 4.3V 至 16.0V

图 7-12. TPS76933 线路瞬态响应（新芯片）

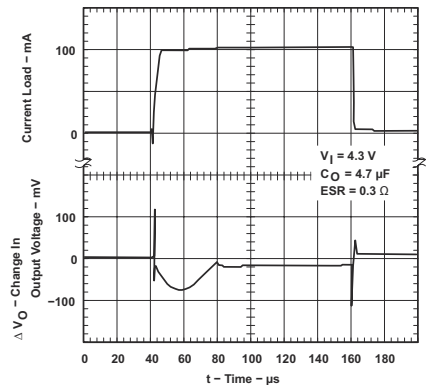
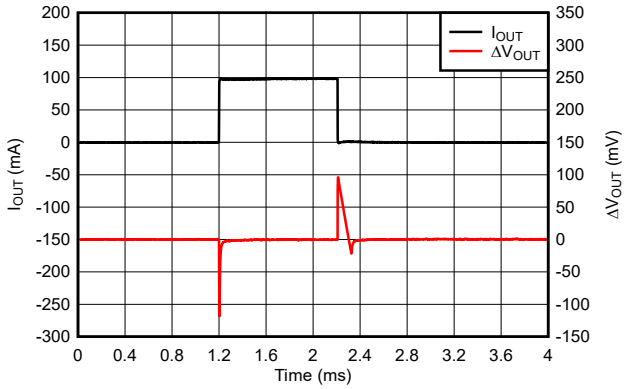
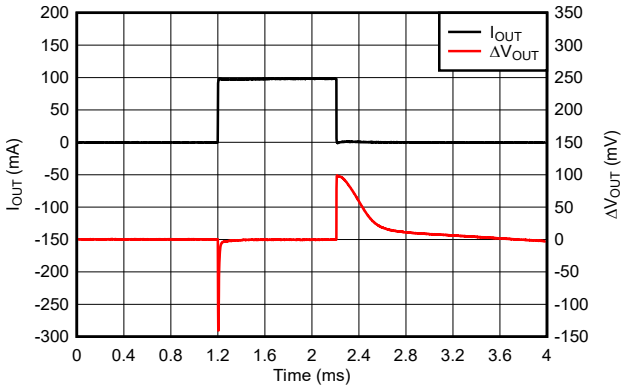


图 7-13. TPS76933 负载瞬态响应（旧芯片）



1A/µs 时为 1mA 至 100mA

图 7-14. TPS76933 负载瞬态响应（新芯片）

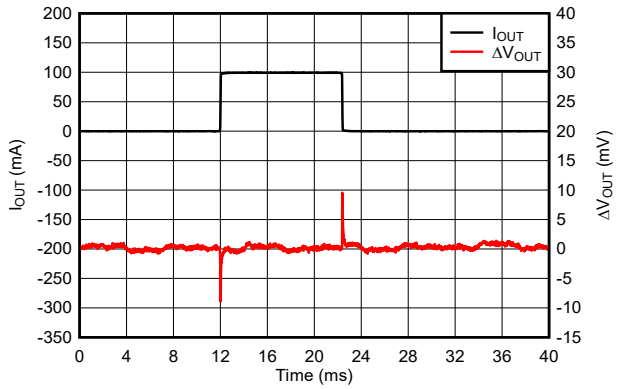


1A/µs 时为 1µA 至 100mA

图 7-15. TPS76933 负载瞬态响应（新芯片）

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线（续）



1mA/μs 时为 1mA 至 100mA

图 7-16. TPS76933 负载瞬态响应（新芯片）

7.3 电源相关建议

TPS769 设计为在 2.5V 至 16V 的输入电源电压范围内运行（新芯片）。输入电压范围为器件提供了足够的余量，以实现稳定的输出。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

7.4 布局

7.4.1 布局指南

对于 LDO 电源，尤其是高电压和大电流电源，布局是重要的一步。如果布局设计不当，稳压器可能会由于热限制而无法提供足够的输出电流。尽可能扩大 GND 层，并在散热焊盘上放置足够的散热过孔。这些步骤有助于提高器件热性能，并更大限度地提高高环境温度下的电流输出。图 7-17 展示了示例布局。

7.4.2 布局示例

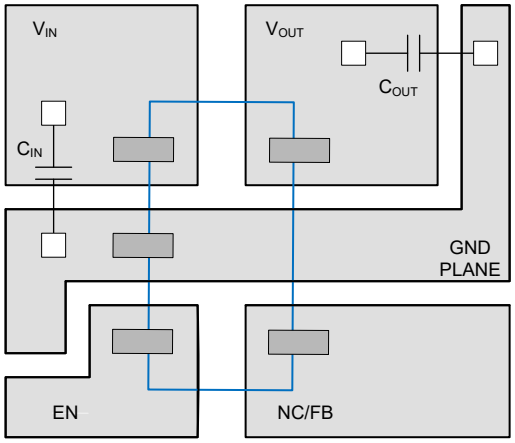


图 7-17. 布局建议

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 评估模块

评估模块 (EVM) 可与 TPS769 配套使用，帮助评估初始电路性能。在 TI 网站上的产品文件夹中申请 TPS76901EVM-127 评估模块（和相关的用户指南），也可直接从 TI 网上商店购买。

8.1.1.2 Spice 模型

分析模拟电路和系统的性能时，使用 SPICE 模型通常有利于对电路性能进行计算机仿真。您可以从产品文件夹中的*工具与软件*下获取 TPS769 的 SPICE 模型。

8.1.1.3 器件命名规则

表 8-1. 器件命名规则

产品(1)	V_{OUT}
TPS769**xxyyy** 旧芯片	**xx** 为标称输出电压（例如，28 = 2.8V、285 = 2.85V、01 = 可调节）。 **yyy** 为封装指示符。 **z** 为封装数量。
TPS769**xxyyyM3** 新芯片	**xx** 为标称输出电压（例如，28 = 2.8V、285 = 2.85V、01 = 可调节）。 **yyy** 为封装指示符。 **z** 为封装数量。 **M3** 是采用最新 TI 工艺技术制造的新芯片重新设计的后缀指示符。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录或访问 TI 网站 www.ti.com。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TPS709-Q1 具有使能功能的 150mA、30V、1μA IQ 稳压器* 数据表
- 德州仪器 (TI)，*通用 LDO 评估模块* 用户指南
- 德州仪器 (TI)，*使用前馈电容器和低压降稳压器的优缺点* 应用手册
- 德州仪器 (TI)，*了解限制* 应用手册

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

Copyright © 2025 Texas Instruments Incorporated

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (May 2001) to Revision F (January 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 添加了*封装信息*表、*引脚配置和功能*、*规格*、*ESD 等级*、*热性能信息*、*详细说明*、*概述*、*功能方框图*、*特性说明*、*器件功能模式*、*应用和实现*、*典型应用*、*电源相关建议*、*布局*、*布局指南*、*布局示例*、*器件和文档支持*，以及*机械、封装和可订购信息*部分	1
• 删除了*提供的选项*表，请参阅数据表末尾的 POA	1
• 更改了整个文档以与当前系列格式保持一致	1
• 向文档添加了 M3 器件	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS76901DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCFI
TPS76901DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PCFI
TPS76901DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCFI
TPS76901DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCFI
TPS76901DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	PCFI
TPS76912DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCGI
TPS76912DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCGI
TPS76912DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCGI
TPS76912DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCGI
TPS76912DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	PCGI
TPS76915DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCHI
TPS76915DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PCHI
TPS76915DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCHI
TPS76918DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCII
TPS76918DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PCII
TPS76918DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCII
TPS76918DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCII
TPS76925DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCJI
TPS76925DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PCJI
TPS76925DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	PCJI
TPS76927DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCKI
TPS76927DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCKI
TPS76927DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCKI
TPS76927DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCKI
TPS76928DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCLI
TPS76928DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCLI
TPS76928DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCLI
TPS76928DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCLI
TPS76928DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCLI

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS76930DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCMI
TPS76930DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PCMI
TPS76930DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCMI
TPS76930DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCMI
TPS76930DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	PCMI
TPS76933DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCNI
TPS76933DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCNI
TPS76933DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCNI
TPS76933DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCNI
TPS76933DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCNI
TPS76933DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PCNI
TPS76950DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PCOI
TPS76950DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PCOI
TPS76950DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	PCOI

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS769 :

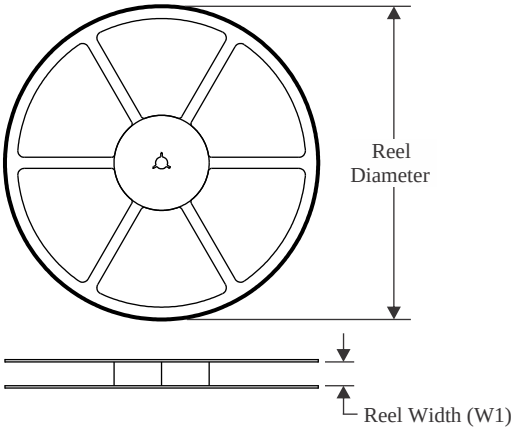
- Automotive : TPS769-Q1

NOTE: Qualified Version Definitions:

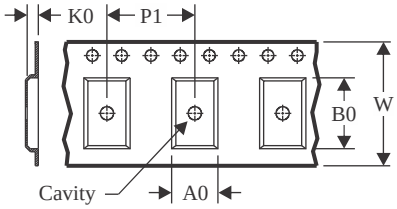
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

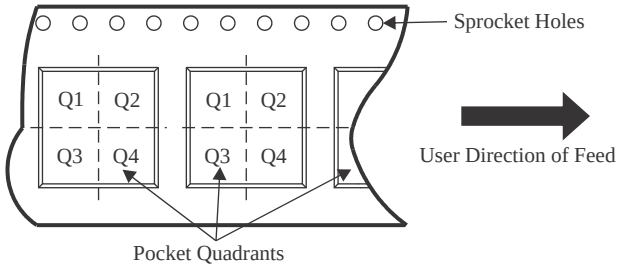


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

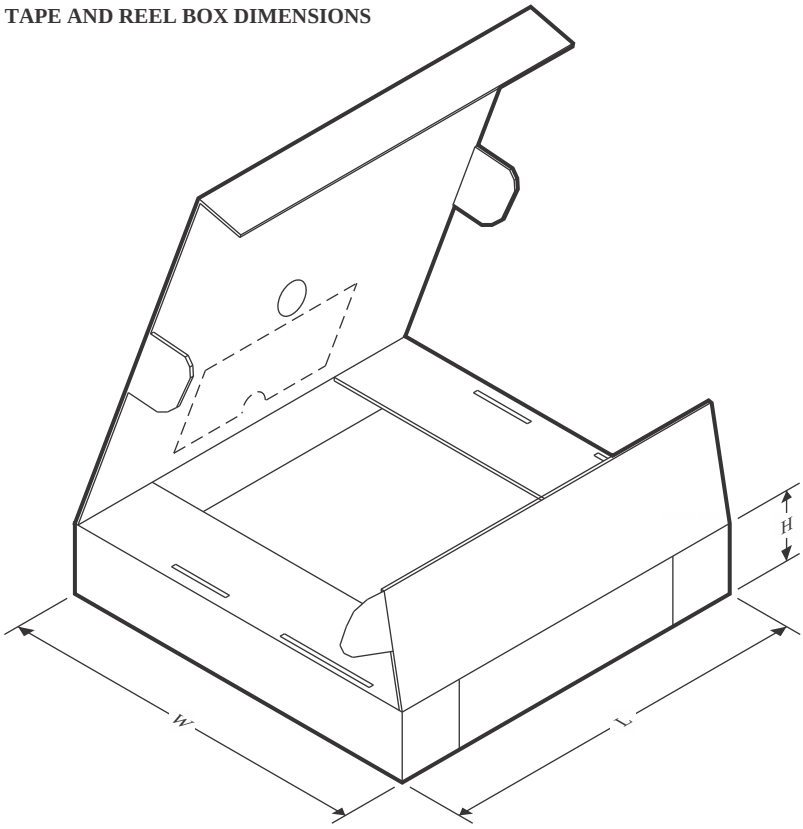


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS76901DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76901DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76901DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76912DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76912DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76912DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76912DBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76912DBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76915DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76915DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76915DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76918DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76918DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76918DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76925DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76925DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS76927DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS76927DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS76928DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76928DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76930DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76930DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76930DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76933DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76933DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76933DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76933DBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76933DBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76933DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76933DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS76950DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS76950DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS76901DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76901DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76901DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76912DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76912DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76912DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76912DBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76912DBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76915DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76915DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76915DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76918DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76918DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76918DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76925DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76925DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76927DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76927DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0

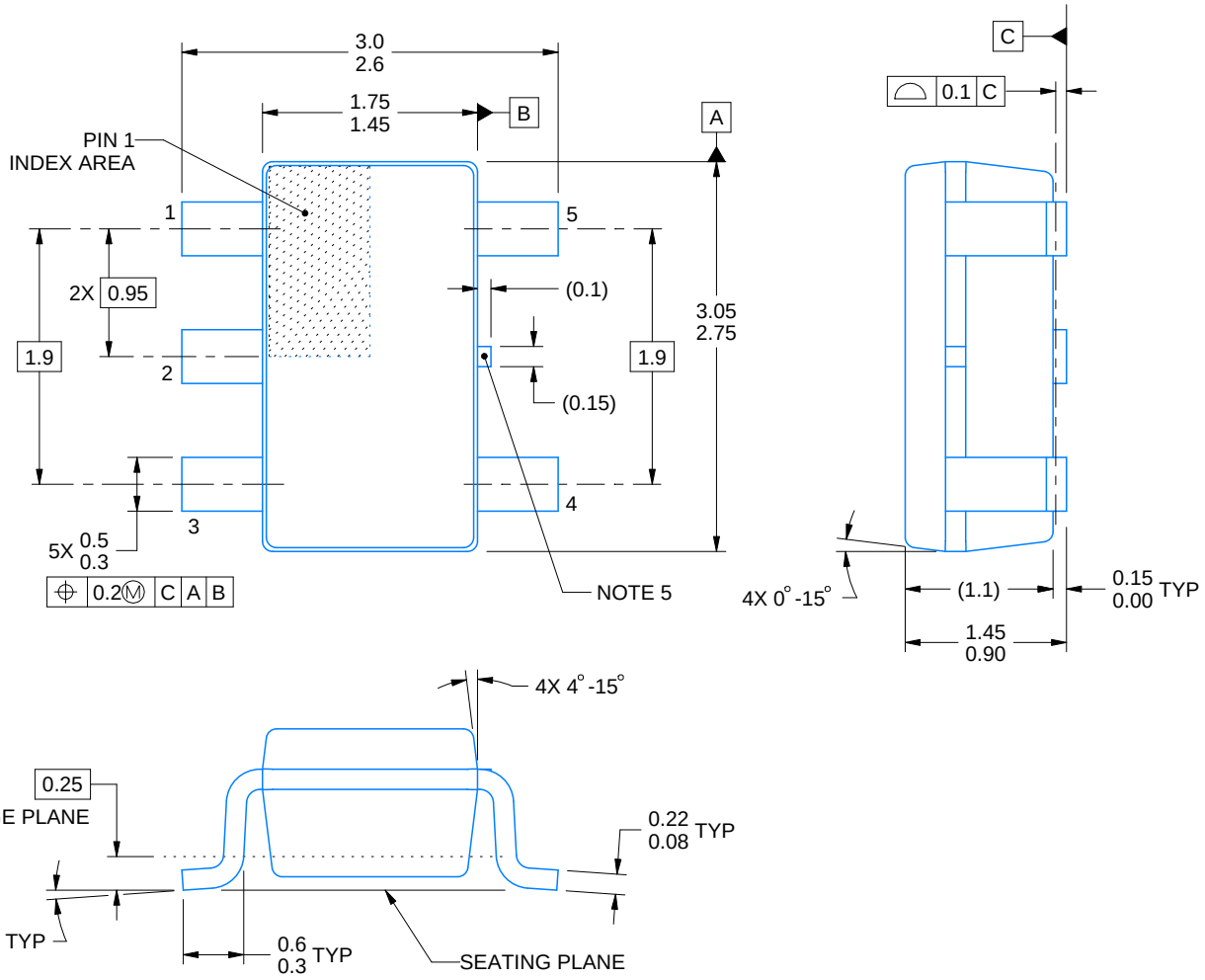
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS76928DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76928DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS76930DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76930DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76930DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76933DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76933DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76933DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76933DBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76933DBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS76933DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS76933DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS76950DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS76950DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

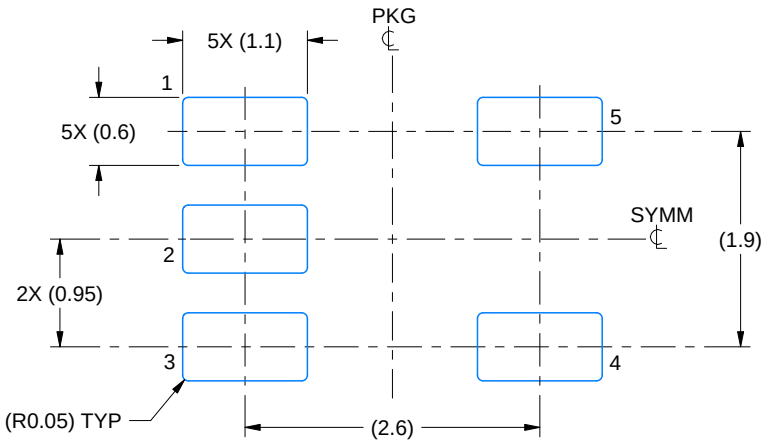
SMALL OUTLINE TRANSISTOR



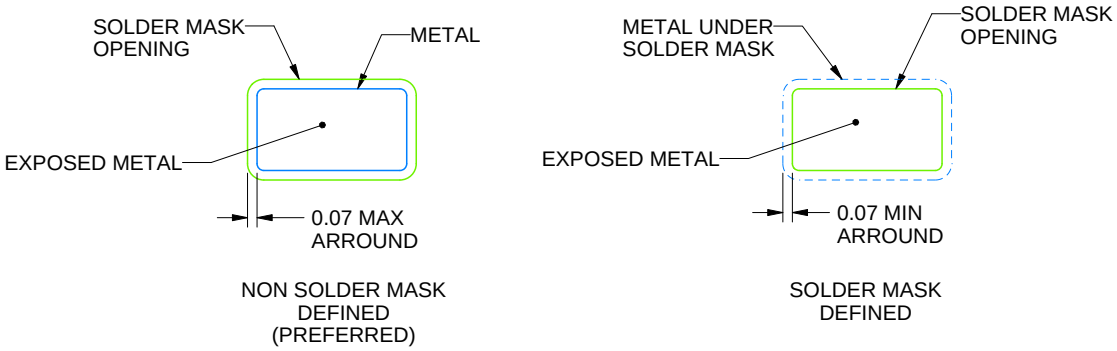
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

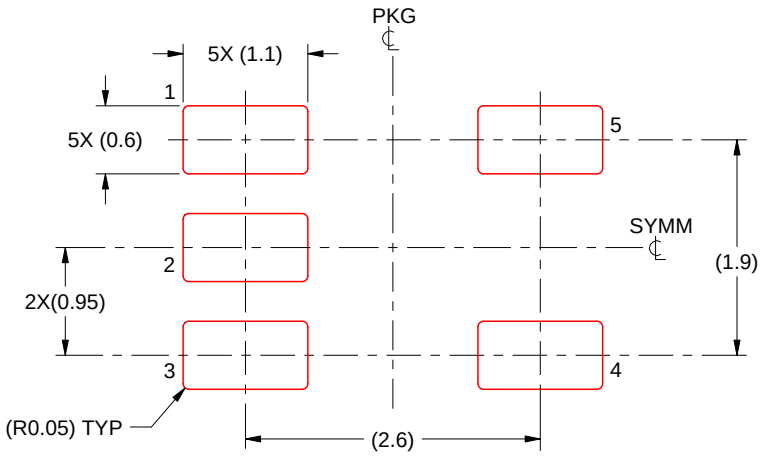


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月